

Universidade do Minho

João Luís Torre Manso

**Desenvolvimento de um Filtro Ativo de
Potência Série Monofásico sem Fontes
Externas**

Dissertação submetida na Universidade do Minho
para a obtenção do grau de
Mestre em Engenharia Eletrónica Industrial e de
Computadores

Trabalho realizado sob orientação do
Doutor José Gabriel Oliveira Pinto

Abril 2019

DECLARAÇÃO

João Luís Torre Manso

Endereço eletrónico: a71080@alunos.uminho.pt

Título da Dissertação:

Desenvolvimento de um Filtro Ativo de Potência Série Monofásico sem Fontes Externas

Orientador:

Doutor José Gabriel Oliveira Pinto

Dissertação submetida na Universidade do Minho para a obtenção do grau de Mestre em Engenharia Eletrónica Industrial e de Computadores

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA TESE/TRABALHO APENAS PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE DECLARAÇÃO ESCRITA DO INTERESSADO, QUE A TAL SE COMPROMETE;

Universidade do Minho, ___/___/_____

Assinatura: _____

DIREITOS DE AUTOR E CONDIÇÕES DE UTILIZAÇÃO DO TRABALHO POR TERCEIROS

Este é um trabalho académico que pode ser utilizado por terceiros desde que respeitadas as regras e boas práticas internacionalmente aceites, no que concerne aos direitos de autor e direitos conexos.

Assim, o presente trabalho pode ser utilizado nos termos previstos na licença abaixo indicada.

Caso o utilizador necessite de permissão para poder fazer um uso do trabalho em condições não previstas no licenciamento indicado, deverá contactar o autor, através do RepositóriUM da Universidade do Minho.

Licença concedida aos utilizadores deste trabalho



Atribuição

CC BY

<https://creativecommons.org/licenses/by/4.0/>

“Nada bate um Astronauta”

“Genius: 1% inspiration, 99% perspiration”

Thomas A. Edison

Agradecimentos

A elaboração deste trabalho de dissertação de mestrado apenas foi possível ser realizado graças ao apoio e cooperação de algumas pessoas, às quais pretendo transmitir os meus sinceros agradecimentos.

Em primeiro lugar, quero agradecer ao meu orientador Doutor José Gabriel Oliveira Pinto, pelo seu auxílio, disponibilidade e prontidão ao longo do desenvolvimento desta dissertação, assim como pelos seus sábios conselhos e conhecimentos que permitiram beneficiar esta dissertação.

Agradeço ao Doutor João Luiz Afonso por me permitir usufruir da experiência de trabalhar no laboratório do GEPE, bem como pela motivação transmitida por desde início.

Desejo transmitir um agradecimento especial ao Engenheiro Luís Barros por todo o auxílio prestado nas horas de maior aflição, bem como por todos os conselhos, incentivos e excelentes explicações.

Desejo expressar o meu agradecimento ao Engenheiro Tiago Sousa pelas sugestões relacionadas com o dimensionamento com o filtro passivo e pela disponibilidade nos momentos de dúvidas e auxílio.

Agradeço a todos os meus colegas e amigos de universidade com quem pude estabelecer laços fortes de amizade ao longo do meu percurso académico, dos quais destaco os meus amigos do Residencial Evil: BTT, Alex, Hugo, Joana, Duque, Pedro, Tiago, Sérgio e em especial, o Astronauta que, embora não se encontre presente entre nós, fará sempre parte de um grupo que sempre me alegrou, acompanhou e apoiou, tanto nos momentos de folia e como nos de maior stress.

Desejo agradecer aos meus colegas e amigos do laboratório do GEPE, em especial ao Tiago Carvalho, ao Luís Mota, ao Rafael Leite, à Ana Rodrigues e à Cátia Oliveira pelo companheirismo, pelo bom ambiente de trabalho, pelo espírito de entreajuda, pelas trocas de ideias e pelos momentos de lazer.

Agradeço aos meus pais e ao meu irmão pela oportunidade concedida para a realização do meu percurso académico bem como pela compreensão e apoio em todas as minhas decisões, nunca esquecendo todos os esforços realizados, pois sem eles esta dissertação não seria uma realidade.

Por fim, este trabalho de dissertação está enquadrado no projeto de IC&DT “Quality4Power - Enhancing the Power Quality for Industry 4.0 in the era of Microgrids”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/28813/2017.

DECLARAÇÃO DE INTEGRIDADE

Declaro ter atuado com integridade na elaboração do presente trabalho académico e confirmo que não recorri à prática de plágio nem a qualquer forma de utilização indevida ou falsificação de informações ou resultados em nenhuma das etapas conducentes à sua elaboração. Mais declaro que conheço e que respeitei o Código de Conduta Ética da Universidade do Minho.

Resumo

A Qualidade de Energia Elétrica (QEE) tem vindo a receber cada vez mais atenção por parte dos consumidores, operadores de sistemas de distribuição, operadores de sistemas de transmissão e outras entidades competentes relacionadas com o sistema elétrico. Uma vez que os problemas de QEE têm implicações diretas na produtividade empresarial, causando grandes perdas económicas, é mandatário desenvolver soluções que atenuem esses problemas. Os Filtros Ativos de Potência são equipamentos baseados em eletrónica de potência que permitem compensar problemas de QEE e têm a capacidade de ajustar os seus modos de operação, dinamicamente, em resposta às mudanças da carga ou do sistema elétrico. De entre as várias soluções, salienta-se um equipamento especialmente concebido para lidar com problemas relacionados com a forma de onda da tensão do sistema elétrico, o Filtro Ativo Série (FAS). Apesar da sua capacidade para compensar subtensões momentâneas, sobretensões momentâneas, harmónicos de tensão e desequilíbrios de tensão em sistemas trifásicos, o FAS não tem tido muito sucesso e nem tem sido amplamente adotado. A falta de interesse por este equipamento pode ser amplamente justificada pelo alto custo e por algumas limitações da topologia convencional do FAS. Na sua topologia original, o FAS é composto por um conversor CA-CC que se conecta em série com o sistema de potência por meio de transformadores de acoplamento a operar à frequência de rede. O barramento CC do FAS é conectado a uma fonte de alimentação CC que fornece energia para a compensação dos problemas de QEE relacionados com as tensões do sistema elétrico. Nesta dissertação é apresentada uma nova topologia, bem como os algoritmos de controlo de um FAS monofásico sem fontes de energia externas que é ligado diretamente à rede elétrica sem transformador de acoplamento nem fontes externas de energia. A topologia e os algoritmos de controlo descritos nesta dissertação foram primeiramente avaliados por meio dos resultados de simulação obtidos com o software *PSIM*. Além disso, foi desenvolvido um protótipo laboratorial do qual são apresentados os resultados experimentais para confirmar a viabilidade do FAS.

Com esta dissertação, pretende-se contribuir para o desenvolvimento de tecnologia relacionada com os FASs com o intuito de torná-los numa solução eficaz e competitiva num futuro próximo.

Palavras-Chave: Qualidade de Energia Elétrica, Filtros Ativos de Potência, Filtro Ativo Série Monofásico

Abstract

The Power Quality (PQ) is receiving more and more attention from the part of consumers, distribution system operators, transmission system operators and other competent entities related to the electrical system. Once the electrical PQ problems have direct implications for business productivity, causing high economic losses, it is mandatory to develop solutions that mitigate these problems. Active Power Filters are power electronics-based equipment that can compensate PQ problems and have the ability to adjusting their operation modes dynamically in response to load or power system changes. Among these solutions, exists an equipment specially conceived to deal with problems related to the power system voltage waveform, the Series Active Power Filter (SeAPF). Despite the ability to compensate voltage sags, voltage swells, voltage harmonics, and voltage imbalances in three-phase systems, the SeAPF has not had much success and has not been widely adopted. The lack of interest in this equipment can be largely justified by the high cost and some limitations of the SeAPF traditional topology. In its conventional topology, the SeAPF is composed of an AC-DC power electronic converter that connects in series with the power system by means of grid frequency transformers. The DC-link of the SeAPF is connected to a DC power supply that provides the energy for the compensations of the PQ problems related with the system voltages. In this master thesis is presented a novel topology, as well as the control algorithms, of a single-phase SeAPF that is connected directly to the power grid without coupling transformers and does not require the use of external power sources. The topology and the control algorithms of the SeAPF described in this master thesis were firstly evaluated by means of simulations results obtained with PSIM software. A laboratory prototype was developed and some experimental results are presented to confirm the feasibility of the SeAPF.

With this master thesis, it is intended to contribute to the development of SeAPFs technology in order to make them an effective solution in the near future.

Keywords: Power Quality, Active Power Filters, Single-Phase Series Active Power Filter.

Índice

Agradecimentos	v
Resumo	vii
Abstract	viii
Índice	ix
Lista de Figuras.....	xii
Lista de Tabelas	xvi
Acrónimos e Siglas	xvii
Nomenclatura	xx
Capítulo 1 Introdução	1
1.1 Qualidade da Energia Elétrica	1
1.1.1 Sobretensão Momentânea	2
1.1.2 Subtensão Momentânea	3
1.1.3 Flutuação da Tensão	4
1.1.4 Micro-cortes	4
1.1.5 Harmónicos de Tensão	5
1.1.6 Desequilíbrios de Tensão em Sistemas de Alimentação Trifásicos	6
1.1.7 Norma EN50160	7
1.2 Topologias de Filtros Ativos de Potência	9
1.2.1 Filtro Ativo Paralelo	10
1.2.2 Filtro Ativo Série	11
1.2.3 Filtro Ativo Híbrido	12
1.2.4 Condicionador Unificado de Qualidade de Energia	13
1.3 Enquadramento	14
1.4 Motivações	14
1.5 Objetivos e Contribuições	16
1.6 Organização da Dissertação	16
Capítulo 2 Semicondutores de Potência, Inversores e Técnicas de Modulação de Tensão	18
2.1 Introdução	18
2.2 Tecnologias de Semicondutores de Potência	19
2.3 Topologias de Conversores Monofásicos CC-CA Fonte de Tensão	20
2.3.1 Conversor CC-CA em Meia Ponte	21
2.3.2 Conversor CC-CA em Ponte Completa	23
2.3.3 Conversor CC-CA Multinível	25
2.4 Técnicas de Modulação de Tensão PWM Sinusoidal	35
2.4.1 Modulação SPWM Bipolar	37
2.4.2 Modulação SPWM Unipolar	38
2.4.3 Modulação SPWM Multinível	39
2.5 Conclusão	41
Capítulo 3 Condicionadores Ativos do Tipo Série e Sistemas de Controlo	43
3.1 Introdução	43
3.2 Compensadores Estáticos Série	44
3.2.1 Condensador Série Controlado a Tiristor	45
3.2.2 Condensador Série Comutado a Tiristor	46
3.3 Restaurador Dinâmico de Tensão	46

3.4	Fontes de Alimentação Ininterrupta	47
3.4.1	UPS <i>Offline</i>	48
3.4.2	UPS <i>Line-Interactive</i>	49
3.4.3	UPS <i>Online</i>	51
3.5	Filtro Ativo Série Monofásico	52
3.6	Métodos de Sincronização com a Rede Elétrica	53
3.6.1	Tabela de Senos	54
3.6.2	Série de <i>Fourier</i>	55
3.6.3	<i>Phase-Locked Loop</i>	56
3.7	Teorias de Controlo para Determinação das Tensões de Compensação	56
3.7.1	Controlo por PLL	57
3.7.2	Teoria da Potência Instantânea	57
3.8	Conclusão	61
Capítulo 4	Simulações do Filtro Ativo de Potência Série Monofásico	63
4.1	Introdução	63
4.2	Modelo de Simulação do Filtro Ativo de Potência Série Monofásico	64
4.3	Sistema de Sincronização com a Rede Elétrica	66
4.4	Sistema de Pré-Carga do Barramento CC	68
4.5	Funcionamento como Filtro Ativo de Potência Série	70
4.5.1	Regulação do Barramento CC	71
4.5.2	Funcionamento em Regime Permanente	72
4.5.3	Compensação de Distúrbios na Tensão da Rede Elétrica	75
4.5.4	Sistema de Troca de Cargas	81
4.6	Conclusão	83
Capítulo 5	Desenvolvimento do Sistema de Controlo e Hardware de Potência	85
5.1	Introdução	85
5.2	Desenvolvimento do Sistema de Controlo	85
5.2.1	Placa do Sensor de Tensão	86
5.2.2	Placa do Sensor de Corrente	88
5.2.3	Placa de Condicionamento de Sinal e Detecção de Erros	89
5.2.4	Placa de Controlo Digital de Sinal	92
5.2.5	Placa de Suporte de <i>DSC</i>	93
5.2.6	Placa de Comando	94
5.2.7	Placa de Disparo do FAS Monofásico	95
5.2.8	Caixa de Controlo	96
5.2.9	Placa de DAC	97
5.2.10	Construção do Sistema de Controlo	97
5.2.11	Implementação do Algoritmo de Controlo	100
5.3	Desenvolvimento do Hardware de Potência	102
5.3.1	Módulo de IGBT	104
5.3.2	Placa e Circuito de Driver de IGBT	104
5.3.3	Circuito de Proteção de IGBT	105
5.3.4	Condensador de Snubber	106
5.3.5	Condensador de Barramento CC	107
5.3.6	Placa de Adaptação do Barramento CC	107
5.3.7	Construção do Andar de Potência	108
5.4	Filtro Passivo RLC	108
5.5	Integração do Sistema	111
5.6	Conclusão	114
Capítulo 6	Resultados Experimentais	116
6.1	Introdução	116
6.2	Resultados Experimentais	117

6.2.1	Resultados Experimentais do Sistema de Sincronização com a Rede Elétrica.....	118
6.2.2	Resultados Experimentais do Sistema de Pré-Carga do Barramento CC	119
6.2.3	Resultados Experimentais do Sistema em Funcionamento como Filtro Ativo Série	121
6.3	Conclusões	122
Capítulo 7	Conclusão e Sugestões de Trabalho Futuro	125
7.1	Conclusões	125
7.2	Sugestões de Trabalho Futuro.....	128
	Lista de Referências.....	131

Lista de Figuras

Figura 1.1 - Sobretensão momentânea da rede elétrica.	3
Figura 1.2 - Subtensão momentânea da rede elétrica.	3
Figura 1.3 - Problema de flutuação da tensão da rede elétrica.	4
Figura 1.4 - Micro-cortes na tensão de alimentação.	5
Figura 1.5 - Tensão da rede elétrica no Laboratório do Grupo de Eletrónica de Potência e Energia da Universidade do Minho (GEPE-UM).	6
Figura 1.6 - Espectro de frequências da tensão da rede elétrica.	6
Figura 1.7 - Desequilíbrios nas tensões da rede elétrica.	7
Figura 1.8 - Topologia tradicional de um filtro ativo paralelo trifásico.	11
Figura 1.9 - Topologia tradicional de um filtro ativo série trifásico.	12
Figura 1.10 - Topologia tradicional de um filtro ativo híbrido trifásico.	12
Figura 1.11 - Topologia tradicional de um condicionador unificado de qualidade de energia trifásico.	13
Figura 1.12 - Custos anuais dos problemas de QEE em forma percentual.	15
Figura 2.1 - Comparação de parâmetros de frequência, corrente e tensão de semicondutores de potência.	20
Figura 2.2 - Circuito elétrico de um conversor CC-CA: (a) Tipo fonte de tensão; (b) Tipo fonte de corrente.	20
Figura 2.3 - Esquema elétrica do conversor CC-CA em meia ponte.	21
Figura 2.4 - Modos de operação do conversor CC-CA em meia ponte nos quatro quadrantes: (a) Conversor a fornecer energia no estado 1 ($v_{out} > 0, i_{out} > 0$) – 1.º Quadrante; (b) Conversor a receber energia no estado 1 ($v_{out} > 0, i_{out} < 0$) – 2.º Quadrante; (c) Conversor a fornecer energia no estado 2 ($v_{out} < 0, i_{out} < 0$) – 3.º Quadrante; (d) Conversor a receber energia no estado 2 ($v_{out} < 0, i_{out} > 0$) – 4.º Quadrante.	22
Figura 2.5 - Esquema elétrico do conversor CC-CA em ponte completa.	23
Figura 2.6 - Modos de operação do conversor CC-CA em ponte completa nos quatro quadrantes: (a) Conversor a fornecer energia no estado 1 ($v_{out} > 0, i_{out} > 0$); (b) Conversor a receber energia no estado 1 ($v_{out} > 0, i_{out} < 0$); (c) Conversor a fornecer energia no estado 2 ($v_{out} < 0, i_{out} < 0$); (d) Conversor a receber energia no estado 2 ($v_{out} < 0, i_{out} > 0$); (e) Conversor sem troca de energia no estado 3 ($v_{out} = 0, i_{out} > 0$); (f) Conversor sem troca de energia no estado 3 ($v_{out} = 0, i_{out} < 0$); (g) Conversor sem troca de energia no estado 4 ($v_{out} = 0, i_{out} > 0$); (h) Conversor sem troca de energia no estado 4 ($v_{out} = 0, i_{out} > 0$).	25
Figura 2.7 - Topologias clássicas de conversores CC-CA multinível.	26
Figura 2.8 - Circuito elétrico de um conversor CC-CA multinível do tipo NPC de três níveis.	27
Figura 2.9 - Circuito elétrico de um conversor CC-CA multinível do tipo NPC de cinco níveis.	28
Figura 2.10 - Circuito elétrico de um conversor CC-CA do tipo <i>Flying-Capacitor</i> de três níveis.	30
Figura 2.11 - Circuito elétrico de um conversor CC-CA do tipo <i>Flying-Capacitor</i> de cinco níveis.	31
Figura 2.12 - Circuito elétrico de um conversor CC-CA do tipo CHB de cinco níveis.	33
Figura 2.13 - Princípio de funcionamento da técnica de modulação SPWM.	36
Figura 2.14 - Modulação SPWM.	36
Figura 2.15 - Princípio de funcionamento da técnica de modulação SPWM bipolar.	37
Figura 2.16 - Modulação SPWM bipolar.	37
Figura 2.17 - Princípio de funcionamento da técnica de modulação SPWM unipolar.	38

Figura 2.18 - Modulação SPWM unipolar.	38
Figura 2.19 - Distribuição vertical das ondas portadoras da técnica de modulação SPWM multinível: (a) IPD; (b) IPOD; (c) IAPOD.	40
Figura 2.20 - Distribuição horizontal das ondas portadoras da técnica de modulação SPWM multinível.	41
Figura 3.1 - Método de distribuição de energia elétrica sem compensação série: (a) Esquema elétrico; (b) Diagrama fasorial.	44
Figura 3.2 - Método de distribuição de energia elétrica com compensação série: (a) Esquema elétrico; (b) Diagrama fasorial.	44
Figura 3.3 - Esquema elétrico de um condensador série controlado a tiristor.	45
Figura 3.4 - Zonas de operação de um TCSC.	45
Figura 3.5 - Esquema elétrico de um condensador série comutado a tiristor.	46
Figura 3.6 - Esquema elétrico de um restaurador dinâmico de tensão.	47
Figura 3.7 - Diagrama de blocos de uma UPS <i>offline</i> .	49
Figura 3.8 - Diagrama de blocos de uma UPS <i>line-interactive</i> .	50
Figura 3.9 - Diagrama de blocos de uma UPS <i>line interactive</i> do tipo <i>delta conversion</i> .	50
Figura 3.10 - Diagrama de blocos de uma UPS <i>online</i> .	51
Figura 3.11 - Topologia tradicional de um filtro ativo série monofásico.	52
Figura 3.12 - Topologia proposta de um filtro ativo série monofásico.	53
Figura 3.13 – Esquema de alguns métodos de sincronização com a rede elétrica.	53
Figura 3.14 - Diagrama de blocos do algoritmo de sincronização da tabela de senos.	54
Figura 3.15 - Diagrama de blocos do algoritmo de sincronização com recurso à análise de <i>Fourier</i> .	55
Figura 3.16 - Diagrama de blocos do algoritmo de sincronização da PLL monofásica.	56
Figura 3.17 - Teoria de controlo baseada no algoritmo de sincronização PLL.	57
Figura 4.1 - Andar de potência do FAS no modelo de simulação em PSIM.	65
Figura 4.2 - Sistema de controlo do FAS no modelo de simulação em PSIM.	66
Figura 4.3 - Sistema de troca de cargas do FAS no modelo de simulação em PSIM.	66
Figura 4.4 - Diagrama de blocos referente à <i>Enhanced Phase-Locked Loop (E-PLL)</i> .	67
Figura 4.5 - Simulação do sistema de sincronização (E-PLL) com a rede elétrica: (a) Regime permanente; (b) Regime transitório devido à ocorrência de uma sobretensão momentânea.	67
Figura 4.6 - Fluxo de energia referente ao processo de carregamento do barramento CC.	68
Figura 4.7 - Diagrama de blocos do algoritmo de controlo do sistema de pré-carga do barramento CC.	69
Figura 4.8 - Resultados de simulação da sintetização da tensão do FAS durante a pré-carga do barramento CC.	70
Figura 4.9 - Diagrama de blocos relativo ao funcionamento do filtro ativo série em regime permanente.	70
Figura 4.10 - Diagrama de blocos do sistema de regulação do barramento CC.	71
Figura 4.11 - Resultados de simulação do sistema de regulação da tensão do barramento CC, v_{CC} .	72
Figura 4.12 - Diagrama de bloco do sistema de cálculo da tensão de compensação.	73
Figura 4.13 - Resultados de simulação da tensão de referência, v_{Ref} , e a tensão produzida pelo filtro, v_F , com o filtro ativo série a operar em regime permanente.	74
Figura 4.14 - Resultados de simulação da tensão na carga, v_{Load} , da tensão da rede elétrica, v_S , com o FAS a operar em regime permanente.	74
Figura 4.15 – Resultados de simulação da tensão de regulação do barramento CC, v_{Reg} , no momento da ocorrência de um distúrbio da rede elétrica e respetiva deteção por parte do sistema de controlo.	75

Figura 4.16 - Resultados de simulação do filtro ativo série em regime transitório: (a) Tensão na fonte, v_S , e na carga, v_{Load} , durante uma subtensão momentânea dos 8,3 s aos 8,41 s; (b) Recuperação lenta da energia do condensador do barramento CC após a subtensão momentânea.	76
Figura 4.17 - Resultados de simulação do filtro ativo série em regime transitório: (a) Tensão na fonte, v_S , e na carga, v_{Load} , durante uma sobretensão momentânea dos 16 s aos 16,5 s; (b) Recuperação lenta da energia do condensador do barramento CC após a sobretensão momentânea.	77
Figura 4.18 - Resultados de simulação da tensão de recuperação, $v_{Recovery}$, no momento da ocorrência de um distúrbio da rede elétrica, v_S .	79
Figura 4.19 - Resultados de simulação do filtro ativo série em regime transitório utilizando o algoritmo alternativo de compensação de distúrbios da rede elétrica: (a) Variação da tensão no barramento CC, v_{CC} , durante um evento de subtensão e sobretensão; (b) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante um evento de subtensão; (c) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante o tempo de recuperação após o evento de subtensão; (d) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante um evento de sobretensão; (e) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante o tempo de recuperação após o evento de sobretensão.	80
Figura 4.20 – Resultados de simulação relativos ao sistema de troca de cargas: (a) Instantes relativos aos momentos de conexão das diferentes cargas; (b) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga RL entre os 18 s e 18,5 s. (c) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga RC entre os 18,5 s e 19 s. (d) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga não-linear RL entre os 19 s e 19,5 s. (e) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga não-linear RC entre os 19,5 s e 20 s.	82
Figura 5.1 -Visão geral do sistema de controlo.	85
Figura 5.2 - Sensor de tensão CYHVS5-25A: (a) Esquema operacional; (b) Aspeto físico.	86
Figura 5.3 - PCB de aquisição dos sinais dos sensores de tensão CYHVS5-25.	87
Figura 5.4 - Sensor de corrente LA-100P: (a) Esquema operacional; (b) Aspeto físico com quatro espiras do fio condutor através da abertura do sensor.	88
Figura 5.5 - PCB de aquisição dos sinais dos sensores de corrente LA-100P.	89
Figura 5.6 - Circuito de condicionamento de sinal.	90
Figura 5.7 – Circuito comparador em janela utilizado na deteção de erros.	91
Figura 5.8 - PCB de condicionamento de sinal e deteção de erros.	92
Figura 5.9 - Placa de controlo digital de sinal <i>TMS320F28335</i> .	93
Figura 5.10 - Placa de suporte baseada no DSC <i>TMS320F28335</i> .	94
Figura 5.11 - Placa de comando monofásica.	95
Figura 5.12 - Placa de disparo do filtro ativo série monofásico.	96
Figura 5.13 - Caixa de controlo do sistema.	96
Figura 5.14 - Placa de DAC.	97
Figura 5.15 - <i>Design</i> 2D da distribuição das PCBs que constituem o sistema de controlo.	98
Figura 5.16 - <i>Design</i> 2D da parte traseira do <i>rack</i> do sistema de controlo.	99
Figura 5.17 - <i>Design</i> 2D da parte frontal da <i>rack</i> do sistema de controlo.	99
Figura 5.18 - Aspeto final do rack contendo o sistema de controlo: (a) Vista de cima, (b) Vista lateral.	100
Figura 5.19 - Fluxograma geral relativo ao algoritmo de controlo implementado no DSC.	101
Figura 5.20 - Fluxograma central relativo ao algoritmo do filtro ativo série.	102
Figura 5.21 - Circuito referente ao andar de potência.	103
Figura 5.22 - Visão geral da interligação dos componentes do andar de potência.	103
Figura 5.23 - Módulo de IGBTs SKM100GB125DN: (a) Aspeto físico; (b) Esquema elétrico.	104
Figura 5.24 - Circuito de driver de IGBTs SKHI 22AH4 R: (a) Aspeto real; (b) Aspeto estrutural [85].	105

Figura 5.25 - Placa de circuito de <i>driver</i> dos IGBTs.	105
Figura 5.26 - Placa de proteção de IGBT: (a) Aspecto físico; (b) Esquema elétrico.	106
Figura 5.27 - Condensador de <i>snubber</i> utilizado.	106
Figura 5.28 - Condensador eletrolítico utilizado no barramento CC.	107
Figura 5.29 - PCB de adaptação entre o barramento CC e os semicondutores de potência.	107
Figura 5.30 - Aspeto final do inversor de potência construído: (a) Vista frontal; (b) Vista traseira.	108
Figura 5.31 - Topologia do filtro passivo RLC de acoplamento à rede elétrica.	109
Figura 5.32 – Diagrama de bode da resposta em frequência do filtro passivo RLC com diferentes valores de resistência: (a) Módulo; (b) Fase;	110
Figura 5.33 - Implementação do filtro passivo RLC.	111
Figura 5.34 - Esquema elétrico do circuito de comando do filtro ativo série.	112
Figura 5.35 - Esquema elétrico do circuito de potência do filtro ativo série.	113
Figura 5.36 - Protótipo do filtro ativo série monofásico desenvolvido.	113
Figura 6.1 - Bancada de ensaios do filtro ativo série monofásico sem fontes externas.	117
Figura 6.2 - Esquema multifilar da montagem implementada para a realização dos ensaios experimentais.	117
Figura 6.3 - Resultado experimental do sistema de sincronização, v_{PLL} , (CH2: 1V/div) com a rede elétrica, v_S , (CH1: 1V/div) em regime transitório.	118
Figura 6.4 - Resultado experimental relativo à deteção do momento de sincronismo da amplitude \hat{A} , (CH2: 1V/div) do sistema de sincronização, v_{PLL} , (CH1: 1V/div) com a rede elétrica.	119
Figura 6.5 - Resultado experimental referente ao processo de pré-carga da tensão barramento CC, v_{CC} , (CH3: 10 V/div) e respetivas tensão de referência, v_{ref} , (CH1: 500 mV/div) e tensão de sintetização do FAS, v_f , (CH2: 500 mV/div) obtidos pela placa de DAC.	120
Figura 6.6 - Resultado experimental referente ao processo de pré-carga da tensão barramento CC, v_{CC} , (CH3: 10 V/div) e respetivas tensão de saída do FAS, v_f , (CH4: 5 V/div), tensão de entrada, v_S , (CH1: 20 V/div) e tensão na carga, v_{Load} , (CH2: 20 V/div).	121
Figura 6.7 – Resultado experimental do sistema em regime permanente: (a) Visualização pelo DAC da sintetização teórica da tensão na carga, $v_{teórico}$, (MATH: 1V/div) através da soma do sinal da rede elétrica, v_S , (CH1: 1V/div) com a tensão de referência, v_{ref} , (CH2: 100mV/div); (b) Tensão do filtro, v_F , (CH1: 100mV/div) e tensão de referência, v_{ref} , (CH2: 100mV/div) e respetiva comparação entre a tensão da rede elétrica, v_S , (CH3: 20V/div) e a tensão na carga, v_{Load} , (CH4: 20V/div).	122
Figura 6.8 - Espectro harmónico da tensão na carga, v_{Load} : (a) anteriormente ao processo de compensação; (b) posteriormente ao processo de compensação.	122

Lista de Tabelas

Tabela 1.1 - Características da frequência fundamental da rede elétrica.	8
Tabela 1.2 - Limites dos harmónicos de tensão da rede elétrica.	9
Tabela 1.3 - Estimativa do prejuízo anual provocados por problemas de QEE (valores em €) [27].	15
Tabela 2.1 - Semicondutores de potência [29].	19
Tabela 2.2 - Estados de operação de um conversor CC-CA em meia ponte.	22
Tabela 2.3 - Estados de operação de um conversor CC-CA em ponte completa.	24
Tabela 2.4 - Estados de operação de um conversor CC-CA do tipo NPC de três níveis.	27
Tabela 2.5 - Estados de operação de um conversor CC-CA do tipo NPC de cinco níveis.	29
Tabela 2.6 - Estados de operação de um conversor CC-CA do tipo <i>Flying-Capacitor</i> de três níveis.	30
Tabela 2.7 - Estados de operação de um conversor CC-CA do tipo <i>Flying-Capacitor</i> de cinco níveis.	32
Tabela 2.8 - Estados de operação de um conversor CC-CA do tipo CHB de cinco níveis.	34
Tabela 2.9 - Comparação de topologias CC-CA multinível.	35
Tabela 3.1 - Modos de operação de um TCSC.	45
Tabela 4.1 – Valores eficazes (RMS) e distorção harmónica (THD _%) das tensões na rede elétrica, no filtro ativo série e na carga com os diferentes tipos de carga em regime permanente.	83
Tabela 5.1 - Dimensionamento da resistência de entrada dos sensores de tensão.	88
Tabela 5.2 - Resistências utilizadas no circuito de condicionamento de sinal.	91
Tabela 5.3 - Resistências utilizadas no circuito de deteção de erros.	92

Acrónimos e Siglas

Acrónimo / Sigla	Significado
ADC	<i>Analog-to-Digital Converter</i>
ASD	<i>Adjustable-Speed Driver</i>
BT	Baixa Tensão
CA	Corrente Alternada
CC	Corrente Contínua
CENELEC	Comité Europeu de Normalização Eletrotécnica
CHB	<i>Cascaded H-Bridge</i>
CMOS	<i>Complementary Metal Oxide-Semiconductor</i>
CPU	<i>Control Process Unit</i>
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital-to-Analog Converter</i>
DSC	<i>Digital Signal Controller</i>
DVR	<i>Dynamic Voltage Restorer</i>
ESR	<i>Equivalent Series Resistance</i>
FA	Filtro Ativo de Potência
FACTS	<i>Flexible AC Transmission System</i>
FAP	Filtro Ativo Paralelo
FAS	Filtro Ativo Série
FPGA	<i>Field Programmable Gate Array</i>
FPU	<i>Floating-Point Unit</i>
GPIO	<i>General Purpose Input/Output</i>
GTO	<i>Gate Turn-Off Thyristor</i>
IAPOD	<i>In Alternative Phase Opposition Disposition</i>
IDE	<i>Integrated Development Environment</i>

IEC	<i>International Electrotechnical Commission</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IPD	<i>In Phase Disposition</i>
IPOD	<i>In Phase Opposition Disposition</i>
LF	<i>Loop Filter</i>
LTP	<i>Low Trip Point</i>
MOSFET	<i>Metal Oxide Field Effect Transistor</i>
MT	Média Tensão
NA	Normalmente Aberto
NF	Normalmente Fechado
NPC	<i>Neutral-Point Clamped</i>
PCB	<i>Printed Circuit Board</i>
PD	<i>Phase Detector</i>
PI	Proporcional Integral
PWM	<i>Pulse Width Modulation</i>
PLC	<i>Programmable Logic Controller</i>
PLL	<i>Phase-Locked Loop</i>
PS	<i>Phase Shifted</i>
QEE	Qualidade de Energia Elétrica
RAM	<i>Random Access Memory</i>
RMS	<i>Root Mean Square</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
TCR	<i>Thyristor Controlled Reactor</i>
TCSC	<i>Thyristor-Controlled Series Capacitor</i>
THD	<i>Total Harmonic Distortion</i>
TSSC	<i>Thyristor Switched Series Capacitor</i>
TTL	<i>Transistor-Transistor Logic</i>
UPQC	<i>Unified Power Quality Conditioner</i>

UPS	<i>Uninterruptible Power Supply</i>
USB	<i>Universal Serial Bus</i>
UTP	<i>Upper Trip Point</i>
VCO	<i>Voltage Controller Oscillator</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

Símbolo	Significado	Unidade
f	Frequência da tensão da rede elétrica	Hz
f_s	Frequência de amostragem	Hz
f_{sw}	Frequência de comutação	Hz
f_c	Frequência de corte	Hz
P_{Carga}	Potência ativa absorvida pela carga	W
P_{FAS}	Potência ativa absorvida pelo filtro ativo série	W
P_{Fonte}	Potência fornecida pela rede elétrica	W
v_{cc}	Tensão no barramento de corrente contínua	V
v_F	Tensão de saída do filtro ativo série	V
v_{Load}	Tensão aos terminais da carga	V
v_s	Tensão da rede elétrica	V
$THD\%_f$	Taxa de distorção harmónica percentual total da amplitude da fundamental do sinal	%

Capítulo 1

Introdução

1.1 Qualidade da Energia Elétrica

Hoje em dia vive-se numa era tecnologicamente avançada, onde vários dispositivos eletrónicos fazem parte do quotidiano de qualquer habitação. Além disso, com o desenvolvimento tecnológico, e para atender os novos requisitos, a indústria necessita de ser modernizada exigindo equipamento automatizado e conversores de potência. Contudo, esses equipamentos sofisticados, quando conectados à rede elétrica, consomem corrente com alto conteúdo harmónico, resultando em problemas de qualidade de energia elétrica (QEE) que, causam avarias, paragens produtivas e conseqüentemente, têm diretas implicações monetárias nos consumidores.

Atualmente, equipamentos como televisões, impressoras, balastros eletrónicos, refrigeradores e carregadores de telemóveis ou portáteis são alguns exemplos de cargas não-lineares presentes em cada habitação. Por outro lado, variadores de velocidade (*Adjustable Speed Driver* – ASD), máquinas de soldar e fornos de indução representam a gama de equipamentos presentes no setor industrial. Vários destes equipamentos têm em comum o uso de retificadores não-controlados seguidos por um barramento de corrente contínua (CC), que provoca elevado conteúdo harmónico nas correntes da rede elétrica [1]. Conseqüentemente, os harmónicos de corrente, ao circular pelas impedâncias de linha, causam distorções harmónicas na tensão da rede elétrica, o que se revela como um problema sério para os produtores de energia elétrica e, em especial, para os consumidores [2].

Adicionalmente aos harmónicos de corrente previamente referidos, existem outros problemas de QEE com implicações diretas na tensão da rede elétrica, sendo apresentados alguns exemplos tais como os seguintes [3]:

- Interferência eletromagnética (ruído eletromagnético);
- Interharmónicos;
- Interrupção momentânea;
- Sobretensão momentânea;
- Subtensão momentânea;
- Flutuação da tensão da rede elétrica;
- Micro-cortes;
- Transientes;
- Desequilíbrios de tensão em sistemas trifásicos;

Adicionalmente, os eventos de QEE causam uma perda significativa em termos monetários. De acordo com [4], cerca de 30% dos setores industriais mais sensíveis incorrem num prejuízo relacionado com os problemas de QEE de cerca de 4% dos seus lucros, sendo 60% deste prejuízo inerente de eventos de subtensão e interrupções momentâneas. Em comparação com a economia europeia, o prejuízo total associado aos problemas de QEE é estimado que exceda os 150 biliões de euros.

Embora os problemas de QEE tenham a sua principal origem nos consumidores, principalmente industriais, existe um compromisso entre os produtores e consumidores [2]-[5]. Os produtores comprometem-se com a limitação dos harmónicos de tensão de modo a fornecer energia elétrica dentro de certos limites estipulados (Norma EN 50160) [6], [7]. O mesmo é aplicado aos consumidores de energia, que são responsáveis por limitar as correntes harmónicas provocadas pelos equipamentos de eletrónicas de potência, de acordo com os limites de compatibilidade eletromagnética permitidos (Norma CEI/IEC 61000) [8].

Tendo em conta os problemas existentes na rede elétrica, vários equipamentos de compensação foram desenvolvidos, sendo os de principal interesse e em específico nesta dissertação, os filtros ativos de potência (FA). O desenvolvimento de FAs tem sido uma área de grande proveito, dado que estes equipamentos são capazes de se adaptar dinamicamente de acordo com os problemas presentes na rede elétrica. São compostos por um sistema de aquisição e controlo que, em conjunto com o hardware de potência, proporcionam, dinamicamente, uma adaptação constante às características da rede elétrica e, conseqüentemente, melhor qualidade de energia elétrica.

1.1.1 Sobretensão Momentânea

Uma sobretensão momentânea, também denominada *swell* na literatura inglesa, representa um aumento repentino do valor eficaz da tensão da rede elétrica, com uma duração entre um ciclo da rede elétrica e alguns segundos [9]. Este problema de QEE tem como principal causa o arranque/paragem de equipamentos elétricos ligadas à rede elétrica, originando a paragem ou estrago de outros equipamentos sensíveis também ligados ao mesmo sistema elétrico [3]. A Figura 1.1 ilustra o momento da sobretensão momentânea na tensão rede elétrica (230 V/50 Hz).

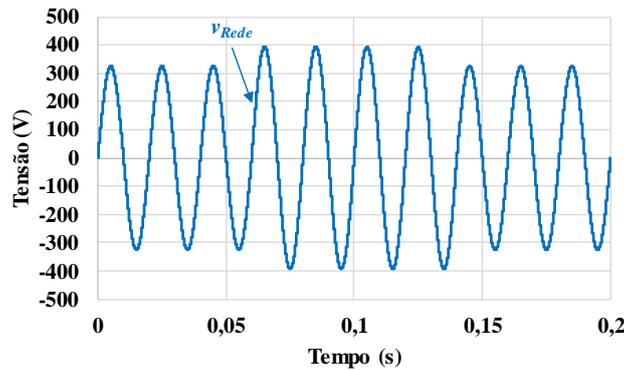


Figura 1.1 - Sobretensão momentânea da rede elétrica.

Em comparação com tensão nominal da rede elétrica, representa um aumento aproximado de 21% com uma duração de quatro ciclos da rede elétrica, o que confirma a definição anteriormente especificada.

1.1.2 Subtensão Momentânea

Uma subtensão momentânea, também denominada por cava de tensão ou *sag* na literatura inglesa, representa uma diminuição repentina da tensão, entre 10% e 90% em relação ao seu valor eficaz (*root means square* – RMS), durante 0,5 ciclos da rede elétrica até 1 minuto. A principal causa deste problema depreende-se com a ligação de cargas de elevada potência e o arranque de motores de elevada potência. Adicionalmente, falhas no sistema de transmissão/distribuição de energia e nas instalações dos consumidores provocam o aparecimento deste problema [9]. As cavas, provocam o mau funcionamento de equipamentos tecnológicos, nomeadamente, computadores pessoais, controladores lógicos programáveis (*Programmable Logic Controller* - PLC) e ASDs. O mesmo pode suceder a elementos estáticos, nomeadamente, a atuação indevida de contadores e relés mecânicos, originando a paragens não planeada de processos [9]. Deste modo, é apresentado na Figura 1.2 o momento da ocorrência de uma subtensão momentânea na rede elétrica.

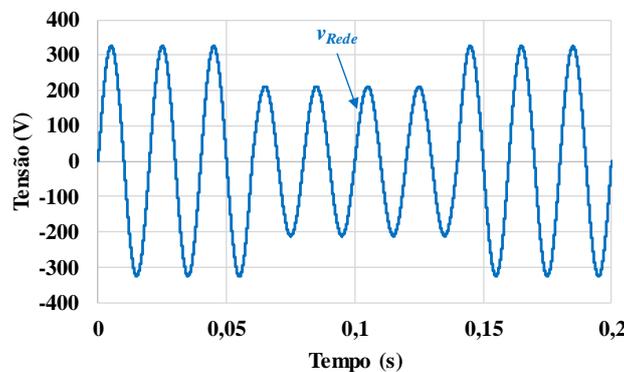


Figura 1.2 - Subtensão momentânea da rede elétrica.

Em modo comparativo com a tensão nominal da rede elétrica, esta subtensão representa uma diminuição de 35% no valor da tensão durante quatro ciclos da rede elétrica, o que sustenta a definição anterior sobre esse problema de QEE.

1.1.3 Flutuação da Tensão

A flutuação na tensão de alimentação representa oscilações no valor eficaz da tensão devido a variações intermitentes de certas cargas, como o constante arranque/paragem de motores elétricos [3]. Consequentemente, do impacto da flutuação da tensão nas fontes luminosas, é possível observar variações luminosas a olho nu. Este fenómeno denomina-se de tremulação luminosa, também denominado de *flicker* na literatura inglesa, e é muitas vezes confundido com flutuação da tensão [9]. A tremulação é considerada o problema mais significativo de flutuação de tensão, visto ter um efeito direto na alteração das condições do ambiente de produção, causando maior fadiga e menor nível de concentração. Além disso, pode sujeitar certos equipamentos eletrónicos a efeitos indesejáveis, podendo tal provocar a cessão de processos de produção, e consequentemente, elevados custos financeiros [10]. Assim, na Figura 1.3 está representada o problema de flutuação da tensão de alimentação.

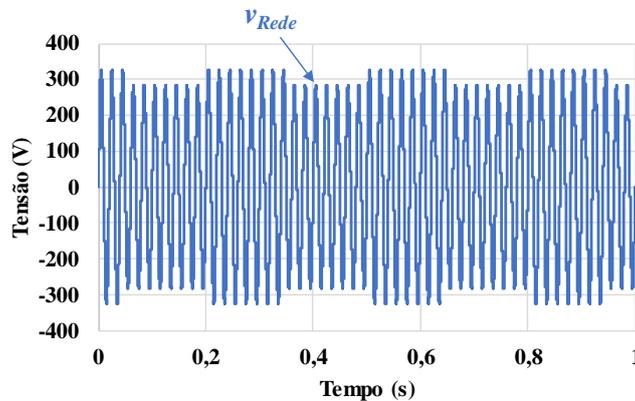


Figura 1.3 - Problema de flutuação da tensão da rede elétrica.

1.1.4 Micro-cortes

Os micro-cortes na tensão de alimentação são descritos pelo IEEE como problemas de qualidade de energia relacionados com o normal funcionamento de aparelhos de eletrónica de potência. Resultam de curto-circuitos momentâneos, que ocorrem durante intervalos de comutação dos semicondutores de potência dos retificadores [3]. A profundidade e a largura deste tipo de perturbações são influenciadas pela impedância da rede de alimentação e pelo ângulo de disparo dos semicondutores, respetivamente [11]. Os micro-cortes introduzem frequências harmónicas e não-harmónicas que são muitos superiores às encontradas em

sistemas de alta tensão. Normalmente, essas frequências causam defeitos no normal funcionamento de equipamentos (i.e., interferência eletromagnética), sendo o isolamento eletromagnético a principal abordagem para mitigar este problema. A Figura 1.4 apresenta a tensão da rede elétrica com micro-cortes devido ao normal funcionamento de retificadores de potência.

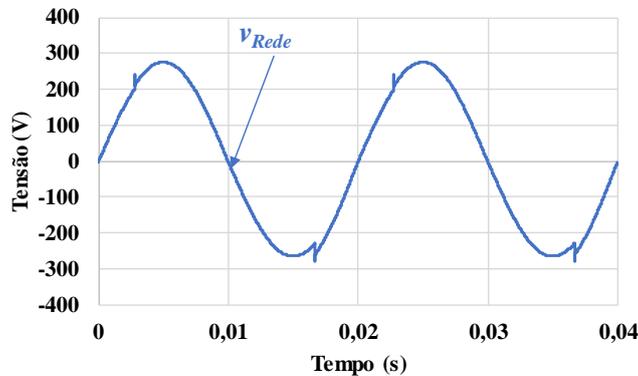


Figura 1.4 - Micro-cortes na tensão de alimentação.

1.1.5 Harmônicos de Tensão

Os harmônicos de tensão representam sinais sinusoidais de frequência múltipla inteira da frequência fundamental da rede elétrica. A principal causa deste problema relaciona-se com as cargas não lineares ligadas à rede de alimentação. Estas cargas consomem correntes não sinusoidais, que ao circularem pelas impedâncias de linha originam tensões harmônicas. Deste modo, as tensões harmônicas presentes no sistema elétrico provocam a degradação do mesmo, sendo uma das principais fontes de problemas de QEE. Esta degradação é globalmente referida como distorção harmônica total (*Total Harmonic Distortion – THD*). Esta pode ser expressa em termos absolutos e relativos. Em termos absolutos, por definição é calculada através da soma dos valores eficazes das componentes harmônicas com a exceção da componente fundamental como é apresentado na equação (1.1). Relativamente a termos relativos, é comum que o valor de THD seja expresso em relação à componente fundamental da tensão como expresso na equação (1.2). Esta abordagem permite que o valor de THD possa exceder os 100% em certos casos.

$$THD = \sqrt{\sum_{h=2}^{40} U_h^2} \quad (1.1)$$

$$THD_{\%f} = \frac{\sqrt{\sum_{h=2}^{40} U_h^2}}{U_1} * 100\% \quad (1.2)$$

Na Figura 1.5 apresenta-se a tensão registada, por um aparelho de QEE, numa das fases da tensão da rede elétrica no laboratório do Grupo de Eletrónica de Potência e Energia da Universidade do Minho (GEPE-UM). Como é possível constatar, a tensão de alimentação não é perfeitamente sinusoidal devido ao facto de existirem muitas cargas não-lineares ligadas à rede elétrica, pois estas consomem energia nos picos da tensão de alimentação. Este fator, provoca que a tensão de alimentação seja achatada nos picos superior e inferior.

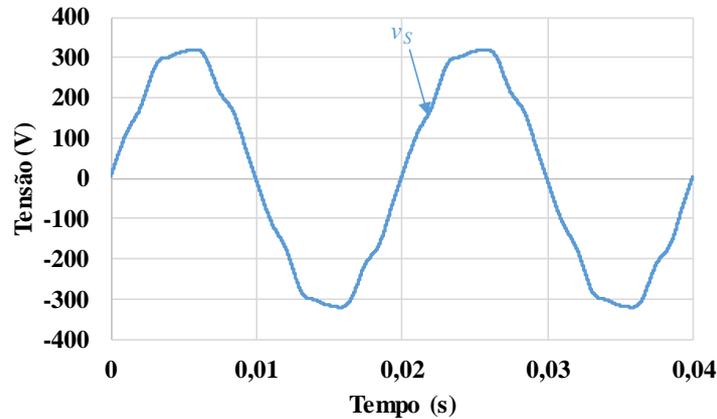


Figura 1.5 - Tensão da rede elétrica no Laboratório do Grupo de Eletrónica de Potência e Energia da Universidade do Minho (GEPE-UM).

A Figura 1.6 demonstra o espectro de frequências da tensão da rede elétrica presente na Figura 1.5. São expostos os primeiros 15 harmónicos (i.e. até aos 750 Hz) ímpares unicamente, podendo-se destacar, devido à sua amplitude, o 7º harmónico e o 11º harmónicos com 11,74 V e 5,23 V, respetivamente.

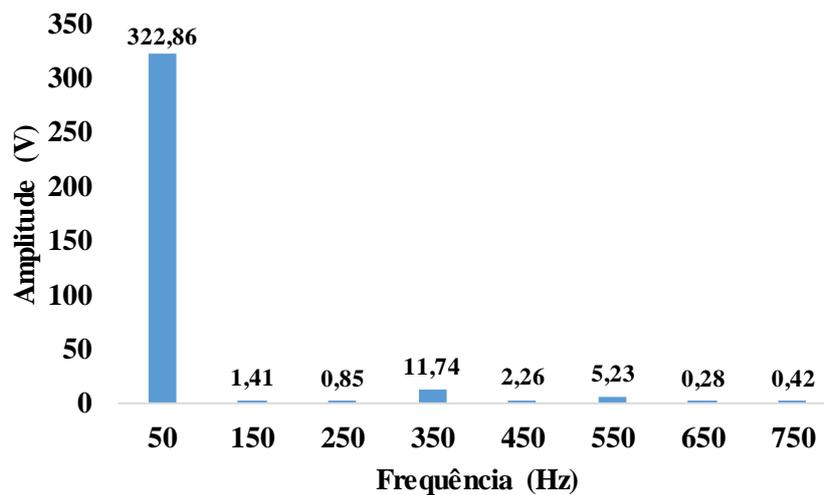


Figura 1.6 - Espectro de frequências da tensão da rede elétrica.

1.1.6 Desequilíbrios de Tensão em Sistemas de Alimentação Trifásicos

Os desequilíbrios de tensão em sistemas de alimentação trifásicos ocorrem quando os valores eficazes da tensão ou os ângulos de defasamento entre fases não são iguais. Estes

desequilíbrios estão normalmente associados a uma incorreta distribuição das cargas monofásicas pelas três fases. Consequentemente, este fator provoca a circulação de correntes de valor diferente pelas três linhas, surgindo diferentes quedas de tensão nas impedâncias de linha, originando desequilíbrios nas tensões de alimentação no ponto de consumo. Isto implica a existência de componentes de sequência negativa, prejudiciais para o bom funcionamento das cargas trifásicas [9]. A Figura 1.7 ilustra um desequilíbrio de tensões num sistema de alimentação trifásico. É possível visualizar uma diminuição no valor eficaz das tensões da fase A ($V_a = 215$ V) e fase B ($V_b = 210$ V), e por consequente um aumento nas fases C ($V_c = 250$ V).

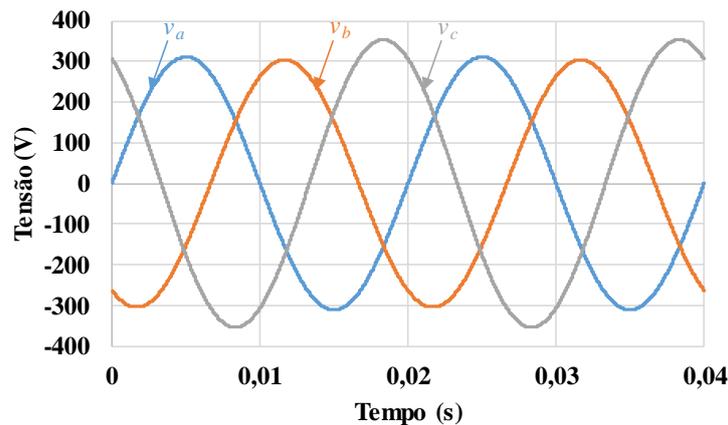


Figura 1.7 - Desequilíbrios nas tensões da rede elétrica.

1.1.7 Norma EN50160

De forma a garantir uma uniformidade mínima ao nível da distribuição da energia elétrica, os distribuidores de energia necessitam de cumprir certos parâmetros relativamente à onda de tensão, para que a QEE seja o mais constante possível. Desta forma, a CENELEC (Comité Europeu de Normalização Eletrotécnica) desenvolveu uma norma europeia, EN 50160, que define, em detalhe, as características da rede elétrica para média tensão (MT) e baixa tensão (BT), sendo esta última de maior interesse, visto que todo o trabalho a realizar no âmbito desta dissertação é efetuado em BT. Relativamente às características do fornecimento de energia em BT, é necessário cumprir certos parâmetros, como evidenciado em [7].

- **Frequência fundamental**

A frequência fundamental da rede elétrica em BT deve ser 50 Hz. De forma a garantir uma boa qualidade de energia, o valor médio da frequência da rede elétrica deve ser medido por 10s, e este estar entre os limites apresentados na Tabela 1.1.

Tabela 1.1 - Características da frequência fundamental da rede elétrica.

Sistemas com métodos de sincronização		
Frequência ± Tolerância	Intervalo de frequência	Intervalo de tempo
50 Hz ± 1%	49,5 ... 50,5 Hz	99,5% das vezes durante 1 ano
50 Hz ± 4%/-6%	47 ... 52 Hz	100% do tempo
Sistemas sem métodos de sincronização		
Frequência ± Tolerância	Intervalo de frequência	Intervalo de tempo
50 Hz ± 2%	49 ... 51 Hz	95% das vezes durante 1 semana
50 Hz ± 15%	42,5 ... 57,5 Hz	100% do tempo

- **Valor eficaz da tensão**

Relativamente à normalização do valor eficaz da tensão em BT, esta define que para sistemas trifásicos com/sem neutro, o valor da tensão é 400 V, tanto entre fases, como entre fases e 230 V, entre fases e neutro.

- **Variações na tensão de distribuição**

De acordo com esta Norma, as variações de tensão por parte dos distribuidores de energia, estão condicionadas a uma variação máxima de $\pm 10\%$. Deste modo, a tensão deve estar compreendida entre esta tolerância 95% dos valores eficazes médios de 10 minutos da tensão durante 1 semana. Além disto, todos os valores eficazes médios de 10 minutos da tensão devem estar compreendidos entre $+10\%$ / -15% .

- **Tremulações**

As tremulações sucedidas na rede elétrica são causadas por mudanças de cargas nos consumidores originando flutuações que não excedem $\pm 5\%$ da tensão da rede elétrica. Porventura, estas flutuações podem exceder $\pm 10\%$ da tensão da rede elétrica, mas com duração curta.

- **Tensão harmónica**

Devido à constante evolução do número de cargas não lineares ligadas à rede elétrica, o surgimento de correntes harmónicas é inevitável, provocando harmónicos de tensão na rede elétrica. Assim sendo, esta norma define que durante o período de 1 semana, 95% dos valores eficazes médios de 10 minutos de cada tensão harmónica devem ser iguais ou inferiores aos da seguinte tabela. Além disso, o THD da tensão de alimentação, até ao harmónico 40, não

deve ser superior a 8%. A Tabela 1.2 apresenta, em detalhe, os valores máximos percentuais de cada tensão harmónica.

Tabela 1.2 - Limites dos harmónicos de tensão da rede eléctrica.

Harmónicas Ímpares				Harmónicas Pares	
Não múltiplas de 3		Múltiplas de 3			
Ordem h	Tensão Relativa (%)	Ordem h	Tensão Relativa (%)	Ordem h	Tensão Relativa (%)
5	6,0 %	3	5,0%	2	2,0%
7	5,0%	9	1,5%	4	1,0%
11	3,5%	15	0,5%	6 ... 24	0,5%
13	3,0%	21	0,5%		
17	2,0%				
19	1,5%				
23	1,5%				
25	1,5%				

Nota: Não são indicados valores para harmónicas de ordem superior a 25, por serem em geral de pequena amplitude, mas muito imprevisíveis devido a efeitos de ressonância.

- **Desequilíbrios de tensões no sistema trifásico**

Relativamente aos desequilíbrios de tensões no sistema trifásico, a norma estipula que durante o período de 1 semana, 95% dos valores médios do valor eficaz da tensão durante 10 minutos de sequência negativa devem estar compreendidos entre 0 e 2% relativamente à componente de sequência positiva.

1.2 Topologias de Filtros Ativos de Potência

Anteriormente ao aparecimento dos FA, recorria-se a filtros passivos de potência para mitigar os problemas relacionados com os harmónicos em sistemas eléctricos. Estes filtros são compostos por combinações de componentes passivos (resistências, bobinas e condensadores), tornando-os estáticos para uma pré-determinada frequência. Assim, estes equipamentos podem proporcionar um desajuste do fator de potência da instalação, o que, atualmente, não impede o seu uso em certas aplicações [12].

Em contrapartida, com o aparecimento dos FAs, equipamentos de electrónica de potência dinâmicos, tornou-se possível compensar não só harmónicos, como os restantes problemas de QEE existentes nos sistemas eléctricos. Além disso, os FAs são equipamentos que

permitem a interface entre fontes de energia renováveis e a rede elétrica [13]-[14], o que os torna numa solução versátil e viável.

A classificação dos FAs compreende-se com 3 parâmetros: número de fases, topologia e tipo de inversor. Relativamente ao número de fases baseia-se em três categorias: (i) monofásico, (ii) trifásico sem neutro e (iii) trifásico com neutro. Seguidamente, relativamente às topologias de filtros ativos, existem quatro topologias fundamentais: (i) Filtro Ativo Série (FAS), (ii) Filtro Ativo Paralelo (FAP), (iii) Filtro Ativo Híbrido e (iv) Condicionador Unificado de Qualidade de Energia, normalmente denominado como *Unified Power Quality Conditioner* (UPQC). Os dois primeiros FAs representam as topologias primordiais, o FAS e o FAP, estando estas implícitas na topologia do UPQC. Por outro lado, o Filtro Ativo Híbrido baseia-se na integração de FAS com filtros passivos de potência. Por último, a classificação do FA de acordo com o tipo de inversor pode ser dividida em duas configurações: (i) Conversor CC-CA do tipo fonte de tensão e (ii) Conversor CC-CA do tipo fonte de corrente que se diferenciam pelo elemento armazenador de energia utilizado. Se o elemento armazenador for um condensador, trata-se de um conversor fonte de tensão. Por outro lado, de forma análoga, trata-se de um conversor fonte de corrente se o elemento armazenador for uma bobina.

Assim, com base nas topologias de filtros de potência aqui apresentadas, será realizado um aprofundamento mais detalhado de forma individual relativamente a cada uma delas.

1.2.1 Filtro Ativo Paralelo

O filtro ativo paralelo pode ser comparado, de forma análoga ao FAS, a uma fonte de corrente controlada, visto que injeta correntes de compensação no sistema elétrico dinamicamente. A Figura 1.8 representa a topologia de um filtro ativo paralelo a 4 fios, embora uma abordagem a 3 fios seja justificável se não for necessário compensar correntes elevadas no neutro, ou mesmo este condutor esteja inacessível (e.g. cargas em triângulo).

Devido ao facto de se tratar de um equipamento equivalente a uma fonte de corrente controlada, a sua instalação necessitará de ser em paralelo com todas as cargas presentes no sistema elétrico, e o mais próximo possível do ponto de consumo de energia, de modo a reduzir os gastos económicos de energia reativa.

O FAP tem como princípio de funcionamento a injeção de correntes harmónicas de igual amplitude às correntes harmónicas da(s) carga(s), mas com inversão de ângulo de fase. Isto permite que as correntes harmónicas da carga sejam eliminadas, permitindo unicamente a passagem da componente fundamental das correntes da rede elétrica, sinusoidais, corrigindo o fator potência do sistema [15]-[16]. Assim, este filtro ativo é capaz de mitigar, de forma

dinâmica, os seguintes problemas de QEE: (i) Harmónicos de corrente, (ii) Desequilíbrios de corrente, (iii) Correntes elevadas no neutro e (iv) Baixo fator de potência.

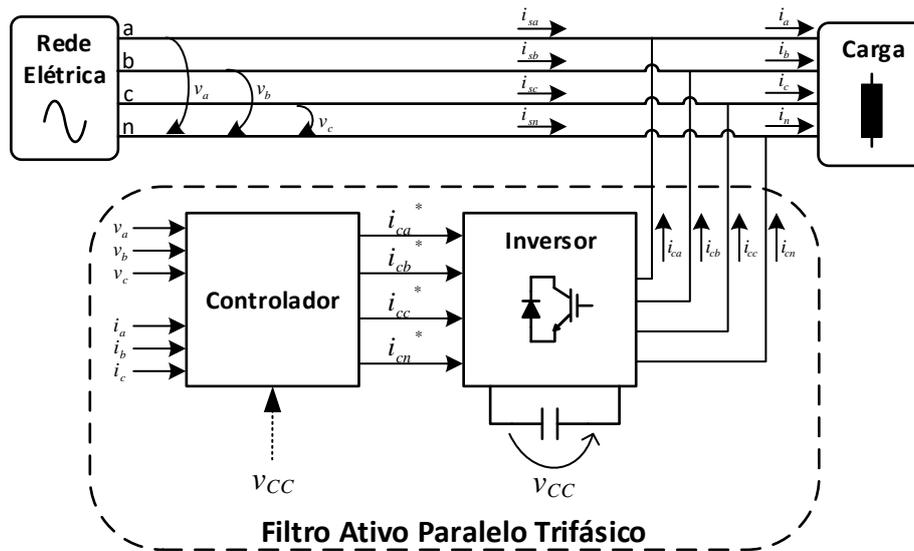


Figura 1.8 - Topologia tradicional de um filtro ativo paralelo trifásico.

Devido ao constante aumento de consumo de energia, existe a necessidade de providenciar novas formas de produção de energia como sistemas de energia renováveis. De forma a manter a qualidade da rede elétrica o melhor possível, a energia deve ser injetada como uma onda sinusoidal e com um fator de potência apropriado. Deste modo, o FAP é capaz de compensar os problemas de QEE previamente referidos e simultaneamente injetar energia proveniente de fontes renováveis [17].

1.2.2 Filtro Ativo Série

Um Filtro Ativo Série (FAS) é um equipamento com um comportamento muito semelhante a uma fonte de tensão controlada, pois é capaz de compensar dinamicamente as tensões do sistema elétrico através da produção de tensões de compensação.

Como foi referido previamente, este filtro funciona como uma fonte de tensão controlada, o que pressupõe que a sua instalação tenha de ser em série entre a rede elétrica e a(s) carga(s) em questão. Numa topologia tradicional, essa interface é realizada com recurso a transformadores de acoplamento entre o FAS e cada uma das respetivas fases. Além disto, é comum acoplar uma fonte de energia externa no barramento CC, com o intuito de mitigar sobretensões e subtensões de maior valor. Para além dos problemas de QEE já enunciados, este filtro ativo é capaz de compensar: (i) Desequilíbrios de tensão em sistemas trifásico, (ii) Harmónicos de tensão, (iii) Flutuações e (iv) Micro-cortes.

A Figura 1.9 demonstra a topologia tradicional de um filtro ativo série trifásico com transformadores de acoplamento à rede e fonte de energia externa.

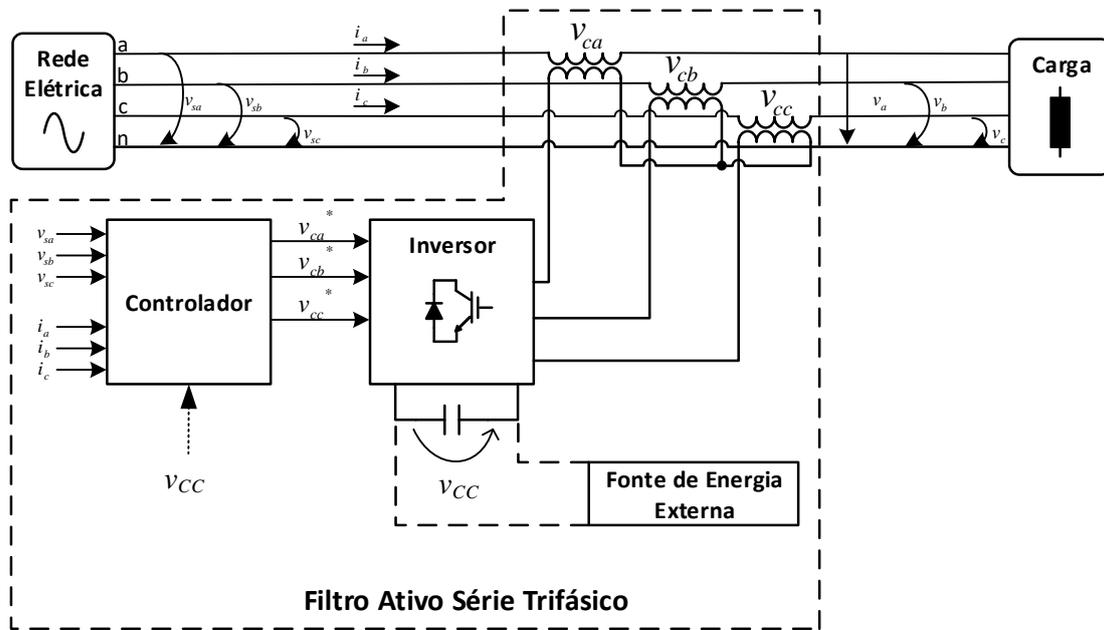


Figura 1.9 - Topologia tradicional de um filtro ativo série trifásico.

1.2.3 Filtro Ativo Híbrido

A topologia de um Filtro Ativo Híbrido incorpora uma combinação entre um filtro ativo de potência e filtros passivos, providenciando uma alternativa economicamente viável associada a um método prático de compensação de harmónicos [18], [19]. Estes filtros de potência são divididos em três categorias consoante o tipo de filtro ativo de potência que integram: (i) Filtro Ativo Híbrido Paralelo com filtros passivos em paralelo, (ii) Filtro Ativo Híbrido Série com filtros passivos em paralelo e (iii) Filtro Ativo Híbrido Série com filtros passivos em série [20]. Das topologias referidas acima, a mais tradicional é a Filtro Ativo Híbrido Série com filtros passivos em paralelo, visto que permite o isolamento harmónico entre a rede eléctrica e a carga, regulação da tensão e compensar os desequilíbrios no sistema eléctricos [20]. A Figura 1.10 pretende ilustrar esta topologia.

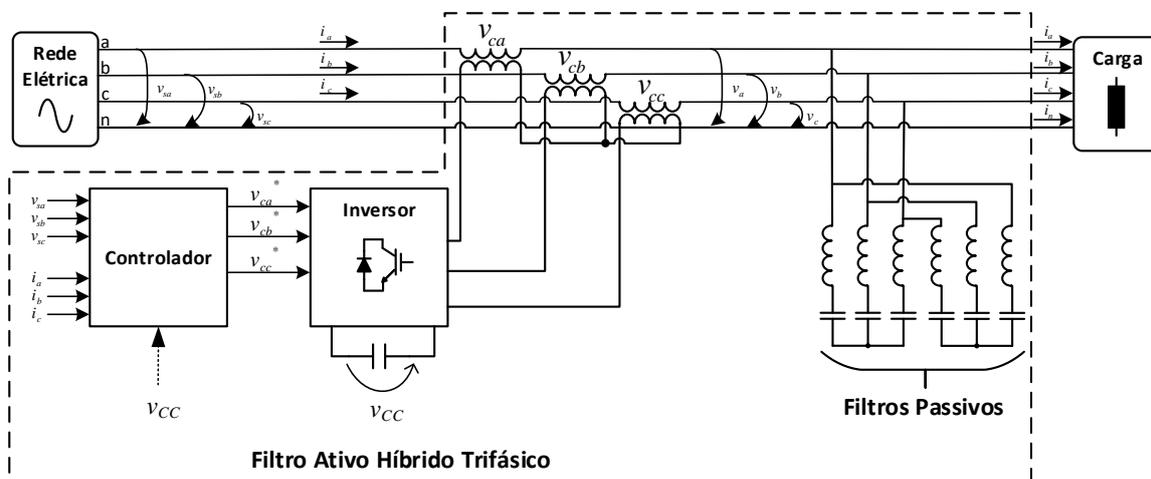


Figura 1.10 - Topologia tradicional de um filtro ativo híbrido trifásico.

Segundo *Javadi et al*, devido ao facto de o FAS poder ter menor reconhecimento em relação ao FAP, as soluções industriais com este equipamento serão mais económicas que um UPQC ou um filtro híbrido paralelo. Além disso, com o algoritmo de controlo apropriado é ainda possível que este seja mais eficiente que o filtro híbrido paralelo, e que opere similar a um UPQC [21].

1.2.4 Condicionador Unificado de Qualidade de Energia

Um Condicionador Unificado de Qualidade de Energia, também denominado de *Unified Power Quality Conditioner* – UPQC, consiste num filtro de potência constituído por um Filtro Ativo Paralelo e um Filtro Ativo Série, com o elemento armazenador partilhado numa ligação *back-to-back*, capaz de melhorar a qualidade de energia tanto do lado da carga como da rede elétrica, simultaneamente [22], [23]. A Figura 1.11 ilustra a topologia tradicional de um UPQC trifásico. Devido ao facto de ser constituído por dois filtros ativos, permite com que compense dinamicamente tanto os problemas presentes na tensão como na corrente da rede elétrica, contendo cada filtro ativo presente no UPQC, funções específicas [22]. O filtro ativo série atua como uma fonte de tensão controlada, com o intuito de que a tensão da carga seja sempre sinusoidal com a respetiva amplitude. Por outro lado, o filtro ativo paralelo tem a função de compensar os harmónicos de corrente e/ou corrente de sequência negativa, assim como regular a tensão do elemento armazenador de energia. Além disso, providencia potência reativa necessária à carga, de tal modo que o fator potência da instalação se torne unitário [20], [23], [24].

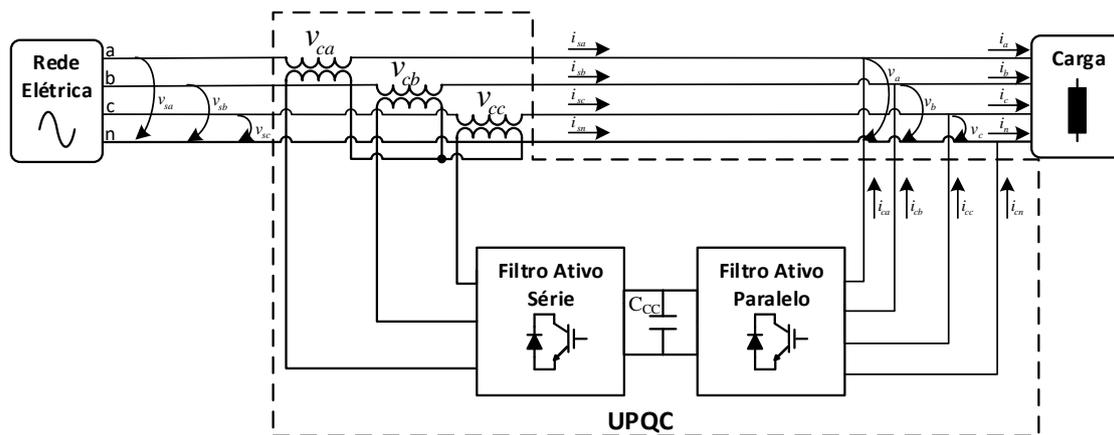


Figura 1.11 - Topologia tradicional de um condicionador unificado de qualidade de energia trifásico.

Contudo, apesar da sua eficiência em termos de melhoramento de qualidade de energia, a sua aplicação prática é ainda limitada, visto que o número de semicondutores de potência e sensores têm influência direta no custo e provocam um aumento na complexidade do sistema

de controlo. Estes fatores representam barreiras que restringem a utilização do UPQC a AT e MT [25].

1.3 Enquadramento

Esta dissertação de mestrado insere-se num trabalho de investigação que tem vindo a ser desenvolvido no laboratório do Grupo de Eletrónica de Potência e Energia (GEPE) da Universidade do Minho, no âmbito do estudo, desenvolvimento e teste de novas soluções eficazes na resolução de problemas de QEE.

Com esta ideia em mente, apresenta-se aqui o desenvolvimento de um FAS monofásico baseado numa nova topologia que consiste na ausência de um transformador de acoplamento à rede elétrica, assim como uma fonte de energia externa no barramento CC.

Trata-se de um FA com a capacidade de mitigar problemas de QEE relacionados com a tensão da rede elétrica, nomeadamente, sobretensões e subtensões momentâneas, harmónicos de tensão, flutuações e transitórios. As duas características previamente mencionadas tornam este equipamento bastante interessante, visto que reduzem o seu preço e volume sem comprometer a sua performance. Por outro lado, de forma a obter os mesmos resultados que outros Filtros Ativos Série com topologias diferentes oferecem, este terá de possuir um sistema de controlo mais complexo com o intuito de mitigar problemas de QEE mais agravantes, como sobretensões/subtensões de grande duração.

1.4 Motivações

Atualmente, com a constante evolução do ramo da eletrónica de potência, o número de equipamentos constituídos por semicondutores de potência ligados à rede elétrica tem vindo constantemente a aumentar. Estes equipamentos, sendo cargas não-lineares, consomem corrente não sinusoidal, que ao percorrer as impedâncias dos condutores elétricos provoca desequilíbrios na tensão de alimentação, originando assim problemas de QEE. Devido a este fator, existe uma enorme preocupação por parte dos produtores, distribuidores e consumidores de energia elétrica, visto que estes problemas causam impactos diretos, indiretos na economia e na sociedade [26].

De modo a averiguar os custos associados aos problemas de QEE, foi realizado um estudo na China consistindo num inquérito a empresas do ramo industrial sobre a ocorrência dos problemas de QEE. Tais resultados foram convertidos de Renminbi para Euros (1 RMB = 0,13 EUR) e encontram-se na Tabela 1.3 [27].

Tabela 1.3 - Estimativa do prejuízo anual provocados por problemas de QEE (valores em €) [27].

Setor	Subtensões e Interrupções de curta duração	Paragens Imprevistas	Paragens Previstas	Falha de Energia	Harmónicos	Total
Semicondutores	249.270,19	87.148,36	174.777,20	-	-	353.895,75
Metalurgia	184.463,37	471.381,95	26.949	54.699,06	291.655	1.029.148,38
Automóvel	105.635,79	32.861,92	148.364,84	110.614,79	2.600	400.077,34
Medicamentos	1.217,58	13.652,47	7.183,80	6.923,80	43.164,03	72.141,68
Alimentar	19.657,30	-	-	-	-	19.657,30
Farmacêutico	5.792,93	-	-	-	-	5.792,93
Serviços	5.547,10	-	-	-	-	5.547,10
Total	571.584,26	605.044,7	357.274,84	172.237,65	337.419,03	2.043.560,48

À primeira vista, é possível constatar que os prejuízos causados por problemas de QEE num ano de produção industrial foram superiores a dois milhões de euros. Além disso, ainda é possível salientar que os setores dos semicondutores, metalurgia e automóvel foram os mais lesados monetariamente. Por outro lado, em termos de problemas de QEE, os eventos de subtensões, interrupções de curta duração e paragens imprevistas foram os principais causadores de prejuízo, rondando os 570.000€ e 605.000€, respetivamente. O mesmo é comprovado pela Figura 1.12 onde só a soma destes dois problemas de QEE representam mais de 50% dos prejuízos causados.

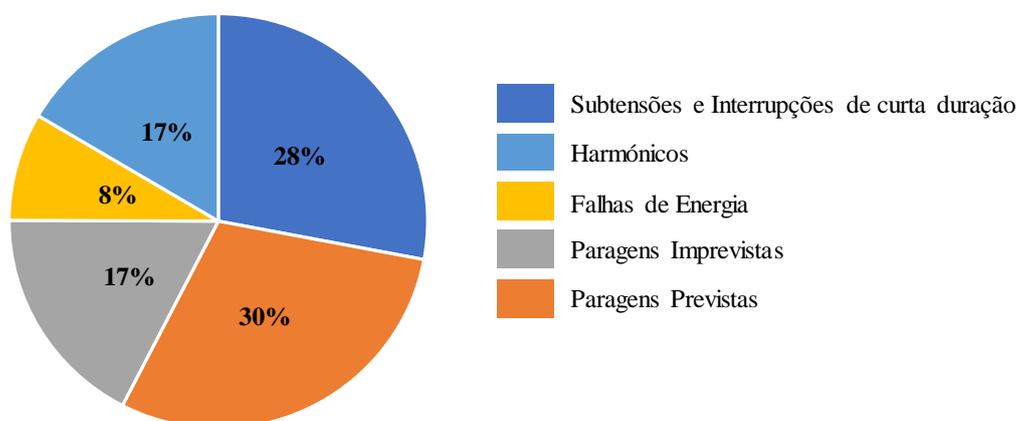


Figura 1.12 - Custos anuais dos problemas de QEE em forma percentual.

Assim sendo, torna-se evidente o desenvolvimento de equipamentos capazes de mitigar estes problemas supracitados. Em específico, o FAS desenvolvido nesta dissertação oferece uma solução de baixo custo e elevada eficiência para mitigar os problemas de QEE relacionados com a tensão da rede elétrica e manter uma tensão constante e sinusoidal aos terminais da carga.

Por outro lado, a nível pessoal a principal escolha deste tema remete-se com o percurso académico e com a possibilidade de colocar em prática outras áreas, além da eletrónica de

potência, a programação de microcontroladores e sistemas de controlo em tempo real, num único projeto.

1.5 Objetivos e Contribuições

Esta dissertação tem como objetivo o desenvolvimento de uma topologia de filtro ativo série monofásico com a particularidade de não possuir fonte de energia externa nem transformador de acoplamento com a rede elétrica.

Durante este projeto, foram realizados os seguintes tópicos:

- Levantamento do estado da arte no que diz respeito aos problemas de QEE;
- Levantamento do estado da arte no que diz respeito aos equipamentos de eletrónica de potência para mitigação de problemas de QEE;
- Estudo teórico detalhado dos filtros ativos de potência do tipo série:
 - Estudo detalhado nos algoritmos de sincronização com a rede elétrica;
 - Estudo detalhado dos algoritmos de determinação das tensões de compensação;
 - Estudo detalhado das técnicas de modulação de tensão;
 - Estudo detalhado dos conversores de potência e tecnologias de semicondutores mais apropriados;
- Estudo detalhado do filtro ativo série em ambiente de simulação computacional;
- Desenvolvimento de um protótipo laboratorial de um filtro ativo série com a topologia proposta;
- Realização de ensaios e avaliação de desempenho do protótipo desenvolvido;

É de referir que todos os tópicos acima referidos foram acompanhados em paralelo com a escrita deste documento.

1.6 Organização da Dissertação

No decorrer da escrita deste documento, tentou abordar-se todos os tópicos de uma forma clara e objetiva, recorrendo de figuras sempre que necessário de forma a facilitar a transmissão das ideias.

No Capítulo 1 é realizada uma introdução relativamente à importância da qualidade de energia elétrica e às diversas topologias de filtros ativos de potência. Adicionalmente, foram apresentados alguns problemas de qualidade de energia elétrica, relacionados com a tensão da rede elétrica, que a topologia proposta nesta dissertação é capaz de mitigar.

No Capítulo 2 é realizado o levantamento do estado da arte relativo aos semicondutores de potência, inversores de potência e técnicas de modulação de tensão.

No Capítulo 3 é apresentado o estado da arte relativamente aos filtros ativos série desenvolvidos até ao momento. São descritos os diversos métodos de sincronização com a rede elétrica e os algoritmos de cálculo das tensões de compensação.

No Capítulo 4 são apresentadas as simulações do sistema de controlo e do hardware de potência. Inicialmente, todo o sistema de controlo é dividido em módulos sendo posteriormente incorporados entre si e o circuito de potência, de forma a obter uma simulação o mais próxima possível da realidade.

No Capítulo 5 é detalhado o hardware utilizado no âmbito desta dissertação. Apresentam-se, detalhadamente, as placas de circuito impresso usadas no sistema de controlo e circuito de potência, assim como outros componentes essenciais. Adicionalmente, apresenta-se ainda o circuito de comando do FAS, que permite a ligação de forma segura à rede elétrica.

No Capítulo 6 apresentam-se os resultados experimentais obtidos. De forma a averiguar o funcionamento sistema, todos os resultados são comparados com aqueles obtidos das simulações, apresentadas no Capítulo 4, podendo assim garantir a fiabilidade do mesmo.

No Capítulo 7 são descritas as conclusões relativas a todo o trabalho efetuado ao longo desta Dissertação e apresenta-se ainda algumas sugestões de melhorias a realizar num trabalho futuro.

Capítulo 2

Semicondutores de Potência, Inversores e Técnicas de Modulação de Tensão

2.1 Introdução

Em 1948 ocorreu a primeira revolução eletrónica com a invenção do transístor em silício na *Bell Telephone Laboratories*, proporcionando as mais recentes e avançadas tecnologias de semicondutores de potências (i.e. semicondutores SiC e GaN) [28]. Alguns anos depois, em 1958, com o desenvolvimento e produção do primeiro tirístor, pela *General Electric Company*, é despoletada uma nova revolução eletrónica que marca o início de uma nova era no campo da eletrónica de potência [29].

Com o constante aumento populacional, a demanda de energia tem vindo a aumentar proporcionalmente, sendo necessário estabelecer estratégias eficazes para o consumo de eletricidade. Com a constante evolução tecnológica, a eletrónica de potência tem cada vez mais garantido uma posição forte no que diz respeito ao controlo de energia e potência. De forma a efetuar um controlo eficiente, recorre-se a semicondutores de eletrónica de potência, pois assemelham-se a interruptores de alta-frequência para controlar o fluxo de energia, visto tratar-se de elementos com elevada eficiência e perdas reduzidas. A evolução das características máximas de tensão, corrente e frequência de comutação dos semicondutores de potência, permitem com que seja possível a expansão para outras áreas (i.e. automação fabril, sistemas de transmissão e distribuição de energia). Além disso, a proliferação dos semicondutores de potência tornou-se de tal forma significativa que grande parte dos novos equipamentos elétricos e eletromecânicos, desde sistemas de energia ininterrupta residenciais a dispositivos de controlo de motores, contêm elementos de eletrónica de potência, mais comumente conversores de potência [29]. Tais dispositivos, com auxílio da correta técnica de modulação, permitem o controlo do fluxo de energia de forma eficiente. Como tal, neste capítulo serão abordados todos os tópicos supracitados, pelo que será iniciado pela descrição dos semicondutores de potência e posterior escolha do mais adequado a este projeto. Seguidamente, apresentar-se-ão os vários conversores CC-CA monofásicos do tipo fonte de tensão e respetivos modos de operação, sendo o conversor CC-CA em ponte completa detalhado em maior detalhe visto tratar-se do elemento de potência a implementar nesta

dissertação. Por último, são abordadas as várias técnicas de modulação de tensão aplicáveis aos conversores CC-CA do tipo fonte de tensão mencionados, sendo posteriormente ponderada a escolha.

2.2 Tecnologias de Semicondutores de Potência

Ao longo dos anos, com a ideia de gestão de energia em mente, foram desenvolvidas várias tecnologias de semicondutores com esse mesmo intuito. Na teoria, estes assemelham-se a interruptores ideais, isto é, permitem a condução de corrente quando se encontram fechados (i.e. curto de circuito) e bloqueiam a passagem da mesma quando se encontram abertos (i.e. circuito aberto). Não têm perdas por comutação e a troca de estados é instantânea [29]. Na realidade, um semicondutor real possui limitações relativamente à tensão e corrente que suporta, assim como a transição de estados não ser instantânea levando a que existam perdas por comutação. Devido a este fator, foram desenvolvidas várias tecnologias de semicondutores para diversas gamas de tensão, frequência e corrente. A Tabela 2.1 apresenta os vários semicondutores de potência e as suas características.

Tabela 2.1 - Semicondutores de potência [29].

Semicondutor de Potência	Características do Dispositivo
Díodo	Corrente nominal entre menos de 0,1 A e 5 kA. Tensão nominal entre 10 V e 10 kV.
Tiristor	Necessita de um impulso na <i>gate</i> para entrar em condução. Sai de condução assim que a corrente se anula. Corrente nominal entre 10 A e 5 kA. Tensão nominal entre 200 V e 6 kV.
Transístor Bipolar	Entra em condução quando a corrente no terminal base, I_B é suficiente. Corrente nominal entre 0,5 A e 500 A. Tensão nominal entre 60 V e 1 kV. Tempo de comutação entre 100 μ s e 1 ms.
<i>Metal Oxide Field Effect Transistor</i> (MOSFET)	Entra em condução quando a tensão V_{GS} é suficiente, permitindo a passagem de corrente entre o <i>drain</i> e a <i>source</i> . Corrente nominal entre 0,5 A e 300 A. Tensão nominal entre 20 V e 1200 V. Tempo de comutação entre 20 ns e 200 ns.
<i>Insulated Gate Bipolar Transistor</i> (IGBT)	Junção da função do transístor bipolar com o sistema de controlo por tensão do MOSFET. Corrente nominal entre 10 A e 600 A. Tensão nominal entre 600 V e 2500 V. Tempo de comutação entre 200 ns e 100 μ s.

A Figura 2.1 representa, de forma gráfica e resumida, as características de tensão, corrente e frequência de comutação dos semicondutores de potência enunciadas previamente.

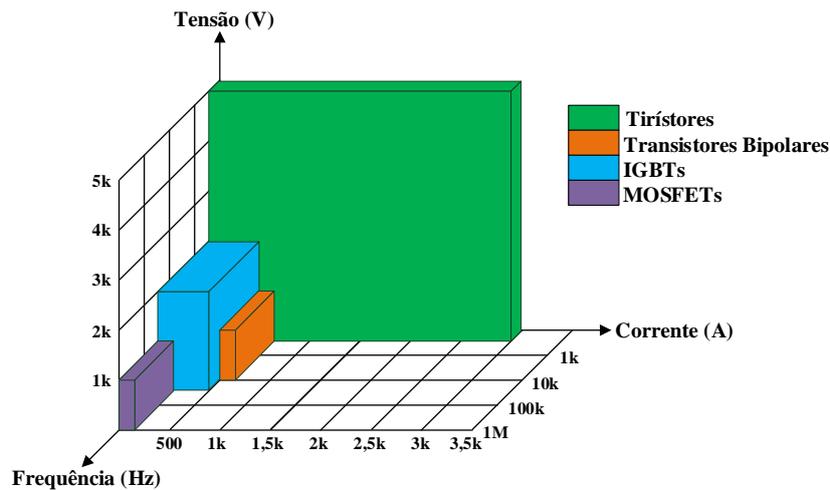


Figura 2.1 - Comparação de parâmetros de frequência, corrente e tensão de semicondutores de potência.

Com base na informação apresentada, a escolha do semicondutor de potência a utilizar no âmbito desta dissertação recaiu sob os elementos de comutação forçada. Deste modo, o IGBT salientou-se devido ao compromisso entre as características de tensão, corrente e frequência de comutação.

2.3 Topologias de Conversores Monofásicos CC-CA Fonte de Tensão

Os conversores CC-CA, também denominados de inversores, são uma parte importante num projeto de eletrónica de potência visto que têm como principal objetivo a produção de uma tensão alternada a partir de uma fonte de alimentação em corrente contínua. Como explicitado anteriormente, podem ser divididos em 2 tipos: Inversor Tipo Fonte de Tensão (Figura 2.2 (a)) e Inversor Tipo Fonte de Corrente (Figura 2.2 (b)), dependendo do elemento armazenador.

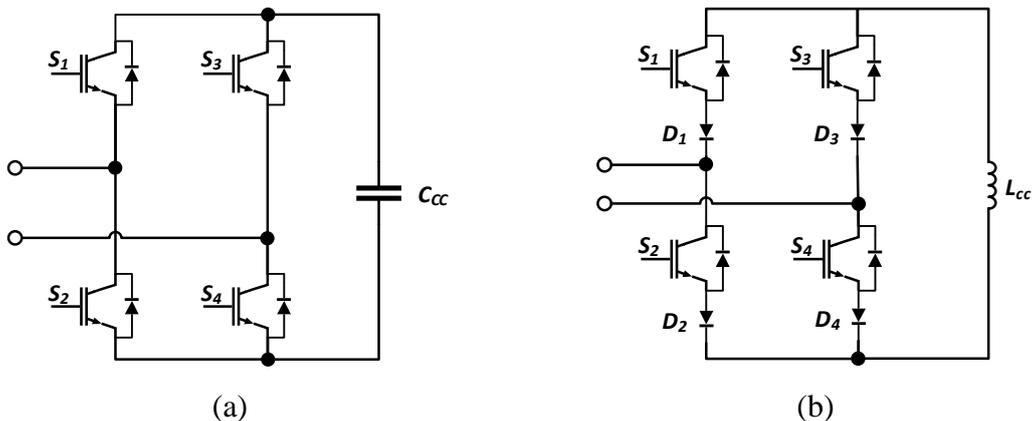


Figura 2.2 - Circuito elétrico de um conversor CC-CA: (a) Tipo fonte de tensão; (b) Tipo fonte de corrente.

Embora ambas as topologias de inversores tenham vindo a ser investigadas e desenvolvidas em FAs [30], [31], o CSI constitui uma abordagem diferente do VSI com algumas vantagens, nomeadamente, um maior tempo de vida útil, proteção contra sobrecorrentes e a maior fiabilidade. Por outro lado, esta topologia possui uma bobina de grandes dimensões no barramento CC com perdas superiores à dos VSI [32], [33].

Outro aspeto diferenciador reside nos padrões de comutação em ambas as topologias. No caso dos VSIs, os dois semicondutores do mesmo braço não podem conduzir simultaneamente, curto-circuitando o condensador no barramento CC. Isto origina o aparecimento de uma corrente elevada a circular pelos semicondutores levando à destruição dos mesmos. Uma forma de evitar esta ocorrência é a introdução de tempos mortos (*deadtimes*) aquando da comutação, permitindo a saída segura do semicondutor em condução antes do semicondutor em série iniciar. Por sua vez, no caso dos CSIs, a corrente na bobina do barramento CC nunca pode ser interrompida. Caso isso aconteça, a tensão aos terminais da bobina aumenta para valores que podem destruir os semicondutores do inversor. Assim sendo, a mudança de estado nesta topologia envolve sempre um tempo de sobreposição (*overlap time*) em que pelo menos dois semicondutores estão em condução para garantir a passagem da corrente [34][35].

Deste modo, é possível constatar que o inversor tipo fonte de tensão têm sido a topologia mais comum devido ao facto de constituir uma alternativa de mais fácil controlo e maior eficiência associada a um menor custo, volume e peso.

2.3.1 Conversor CC-CA em Meia Ponte

Apesar dos conversores CC-CA monofásicos do tipo fonte de tensão apresentarem várias topologias, dependendo da configuração dos semicondutores, o conversor CC-CA em meia ponte destaca-se pela simplicidade de construção e controlo. É composto unicamente por um braço contendo dois interruptores totalmente controlados com o respetivo diodo em antiparalelo e por um barramento CC dividido entre dois bancos de condensadores com o ponto médio conectado ao neutro, como ilustrado na Figura 2.3.

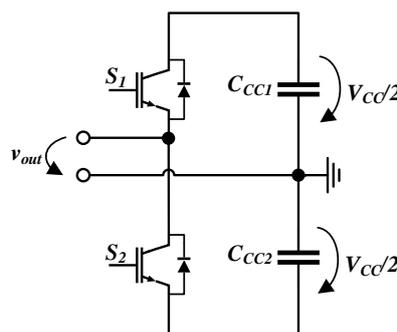


Figura 2.3 - Esquema elétrica do conversor CC-CA em meia ponte.

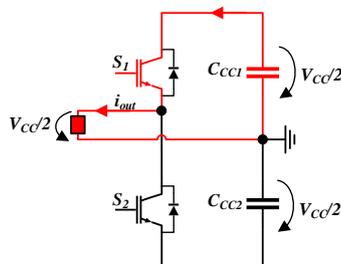
O simples controlo desta topologia proporciona-lhe que a tensão de saída, v_{out} , apenas possua dois níveis de tensão, cada um correspondendo a um dos interruptores em funcionamento e o outro desligado. É de salientar que, em comparação com topologias com somente um condensador no barramento CC, é necessário que a tensão de alimentação seja o dobro para se produzirem à saída tensões com mesma amplitude [36]. Deste modo, os dois estados de operação do conversor CC-CA em meia ponte apresentam-se na Tabela 2.2.

Tabela 2.2 - Estados de operação de um conversor CC-CA em meia ponte.

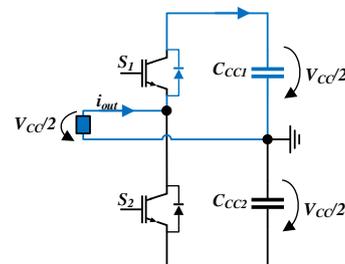
Estado	Sinais de Comutação		Tensão de Saída (V)
	S_1	S_2	v_{out}
1	ON	OFF	$+V_{cc}/2$
2	OFF	ON	$-V_{cc}/2$

Dado que os semicondutores possuem díodos em antiparalelo, estes permitem o fluxo bidirecional de corrente entre o lado CC e o lado CA do conversor em ambos os estados apresentados na Tabela 2.2. Deste modo, o conversor CC-CA de meia ponte permite o funcionamento nos quatro quadrantes, isto é, quer a tensão de saída, v_{out} , seja positiva ou negativa, a corrente de saída, i_{out} , encontra-se em fase ou em oposição à tensão da carga, v_{out} . Assim sendo, os vários modos de operação do conversor CC-CA em meia ponte encontram-se demonstrados na Figura 2.4.

Estado 1

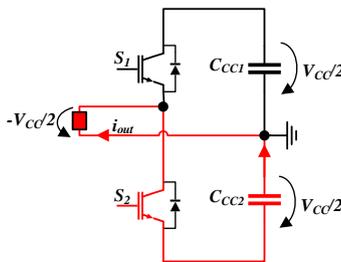


(a)

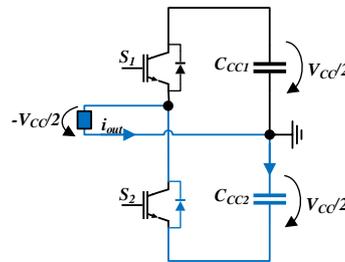


(b)

Estado 2



(c)



(d)

Figura 2.4 - Modos de operação do conversor CC-CA em meia ponte nos quatro quadrantes: (a) Conversor a fornecer energia no estado 1 ($v_{out} > 0$, $i_{out} > 0$) – 1.º Quadrante; (b) Conversor a receber energia no estado 1 ($v_{out} > 0$, $i_{out} < 0$) – 2.º Quadrante; (c) Conversor a fornecer energia no estado 2 ($v_{out} < 0$, $i_{out} < 0$) – 3.º Quadrante; (d) Conversor a receber energia no estado 2 ($v_{out} < 0$, $i_{out} > 0$) – 4.º Quadrante.

Analisando primeiramente o funcionamento do conversor no estado 1, relativo a $v_{out} = V_{CC}/2$, é apresentado o fornecimento e absorção de energia na Figura 2.4 (a) e Figura 2.4 (b), respetivamente. Na Figura 2.4 (a) é possível constatar que o condensador C_{CC1} fornece energia à carga, através do IGBT S_1 , sendo a sua corrente, i_{out} , positiva e em fase com a tensão da carga, v_{out} . Por outro lado, é também possível que seja a carga a fornecer energia ao barramento CC, como demonstrado na Figura 2.4 (b). Neste caso concreto, a tensão e corrente de saída têm sentido oposto, pelo que a carga fornece energia ao condensador C_{CC1} através da circulação da corrente, i_{out} , pelo diódo em antiparalelo do IGBT S_1 .

Relativamente ao funcionamento do conversor CC-CA no segundo estado, relacionado com $v_{out} = -V_{CC}/2$, o processo é semelhante ao anterior e encontra-se apresentado na Figura 2.4 (c) e na Figura 2.4 (d). Neste estado, o condensador C_{CC2} é o responsável por efetuar as trocas de energia com a carga por intermédio do interruptor S_2 . Como se pode observar na Figura 2.4 (c), a tensão e a corrente de saída têm sentidos opostos, sendo que esta última circula através do IGBT S_2 . Caso a situação inverta e seja a carga a fornecer energia ao conversor CC-CA, a tensão e a corrente de saída passam a ter o mesmo sentido e esta circula através do diódo em antiparalelo do IGBT S_2 , efetuando o carregamento do condensador C_{CC2} . Este processo pode ser consultado na Figura 2.4 (d).

2.3.2 Conversor CC-CA em Ponte Completa

A topologia de um conversor CC-CA em ponte completa tem por base o modelo do conversor CC-CA em meia ponte, com algumas modificações de forma a melhorar o seu desempenho. As referidas alterações pretendem-se com a introdução de um segundo braço de interruptores e a substituição do barramento CC dividido e por um único condensador, evitando que os semicondutores de potência necessitem de suportar uma tensão mais elevada. Além disso, esta topologia apresenta como principal vantagem a obtenção de três níveis diferentes de tensão de saída, nomeadamente $+V_{CC}$, 0 e $-V_{CC}$. Assim, o conversor em questão apresenta-se na Figura 2.5.

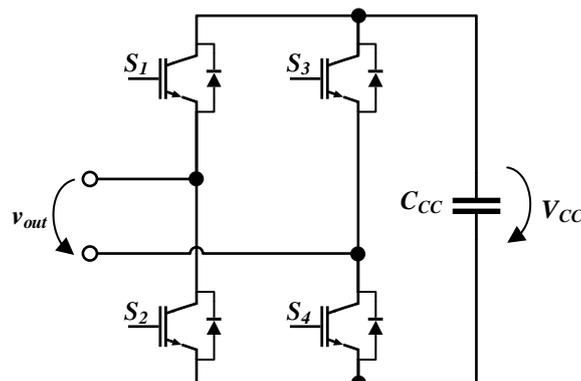


Figura 2.5 - Esquema elétrico do conversor CC-CA em ponte completa.

Embora apresente três níveis de tensão de saída, como previamente mencionado, o conversor CC-CA em ponte completa possui quatro estados de operação devido ao facto de existirem duas combinações que produzem o mesmo nível de tensão na saída (zero), como apresentado na Tabela 2.3. É de referir que, similarmente à topologia anterior, dois interruptores do mesmo braço nunca poderão estar em condução em simultâneo, pois tal provocaria um curto-circuito no barramento CC.

Tabela 2.3 - Estados de operação de um conversor CC-CA em ponte completa.

Estado	Sinais de comutação				Tensão de Saída (V)
	S_1	S_2	S_3	S_4	v_{out}
1	ON	OFF	OFF	ON	$+V_{CC}$
2	OFF	ON	ON	OFF	$-V_{CC}$
3	ON	OFF	ON	OFF	0
4	OFF	ON	OFF	ON	0

Assim sendo, os diversos modos de operação do conversor CC-CA em ponte completa encontram-se demonstrados na Figura 2.6, seguindo a ordem apresentada na Tabela 2.3. É também exposto, da Figura 2.6 (a) à Figura 2.6 (d), o caminho da corrente quando o conversor se encontra a fornecer energia (vermelho) e a receber energia (azul).

Observando primeiramente o caso de $v_{out} = +V_{CC}$, pode constatar-se que a energia é transferida para a carga por meio dos IGBTs S_1 e S_4 , e transferida para o conversor através dos díodos em antiparalelo dos mesmos, como demonstra a Figura 2.6 (a) e Figura 2.6 (b), respetivamente.

Por outro lado, relativamente a $v_{out} = -V_{CC}$, as trocas de energias realizam-se de forma similar ao descrito para $v_{out} = +V_{CC}$, sendo que neste caso, o caminho da corrente é efetuado pelo IGBTs S_2 e S_3 e respetivos díodos em antiparalelo. Assim, o barramento CC fornece energia à carga através da condução dos IGBT S_2 e S_3 como ilustra a Figura 2.6 (c). No entanto, se por sua vez for a carga a fornecer energia ao condensador C_{CC} , a tensão, v_{out} , e corrente, i_{out} , de saída têm o mesmo sentido, sendo que esta última circula pelos díodos em antiparalelo dos IGBTs S_2 e S_3 , como é presente na Figura 2.6 (d).

Por último, os dois últimos estados da Tabela 2.3 (estado 3 e 4) fazem com que a tensão de saída seja $v_{out} = 0$. Neste caso específico, os IGBTs superiores (S_1 e S_3) ou os IGBTs inferiores (S_2 e S_4) permanecem em condução em simultâneo, pelo que a corrente circula sempre por um IGBT e pelo díodo em antiparalelo do outro interruptor, tal como se encontra representado da Figura 2.6 (e) à Figura 2.6 (h). A Figura 2.6 (e) e a Figura 2.6 (f) representam os dois possíveis percursos para a corrente, i_{out} , relativos aos IGBTs superiores

S_1 e S_3 , sendo um percurso executado pelo IGBT S_1 em conjunto com o diodo antiparalelo de S_3 e outro pelo IGBT S_3 e o diodo antiparalelo de S_1 , respetivamente.

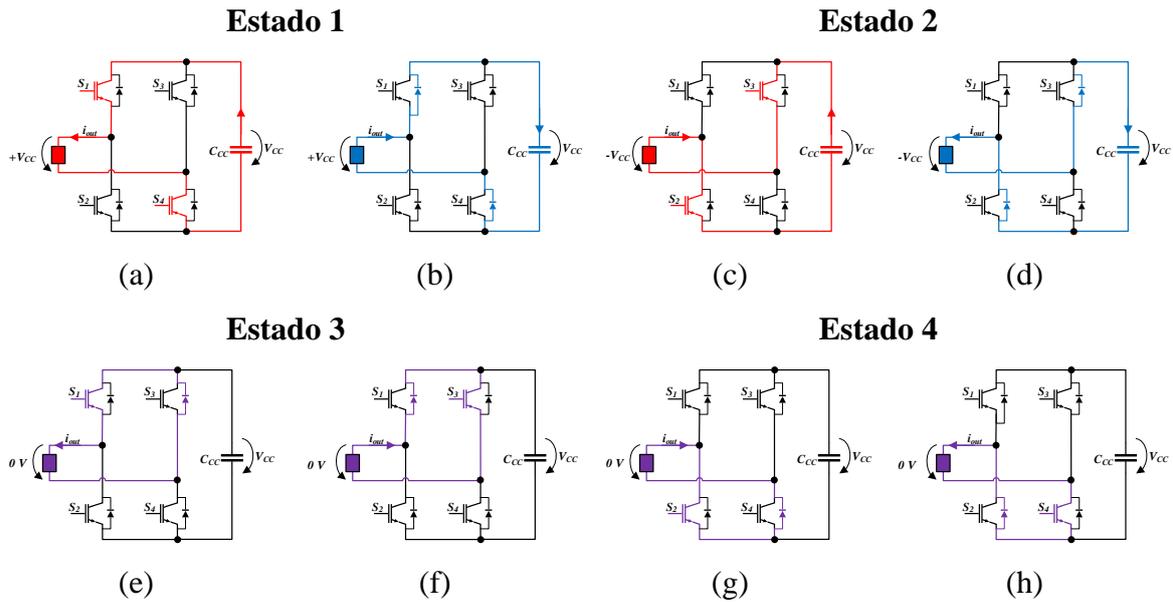


Figura 2.6 - Modos de operação do conversor CC-CA em ponte completa nos quatro quadrantes: (a) Conversor a fornecer energia no estado 1 ($v_{out} > 0, i_{out} > 0$); (b) Conversor a receber energia no estado 1 ($v_{out} > 0, i_{out} < 0$); (c) Conversor a fornecer energia no estado 2 ($v_{out} < 0, i_{out} < 0$); (d) Conversor a receber energia no estado 2 ($v_{out} < 0, i_{out} > 0$); (e) Conversor sem troca de energia no estado 3 ($v_{out} = 0, i_{out} > 0$); (f) Conversor sem troca de energia no estado 3 ($v_{out} = 0, i_{out} < 0$); (g) Conversor sem troca de energia no estado 4 ($v_{out} = 0, i_{out} > 0$); (h) Conversor sem troca de energia no estado 4 ($v_{out} = 0, i_{out} < 0$).

O último modo de operação representado na Figura 2.6 é referente ao estado 4 apresentado na Tabela 2.3. Neste caso, encontram-se em condução os IGBTs inferiores, realizando a circulação da corrente, i_{out} , pelo IGBT S_2 e o diodo antiparalelo de S_4 num sentido, e pelo IGBT S_4 e diodo antiparalelo de S_2 no outro, como demonstrado respetivamente na Figura 2.6 (g) e Figura 2.6 (f).

2.3.3 Conversor CC-CA Multinível

Com a expansão tecnológica ao nível da eletrónica de potência, várias aplicações industriais de elevada potência requerem a sintetização de formas de onda sinusoidal com reduzida distorção harmónica. Dado a elevada potência em jogo, o uso de conversores CC-CA como os previamente mencionados seria inviável, visto que os semicondutores em questão seriam dispendiosos e teriam de suportar tensões elevadíssimas. Assim, o conceito de conversor CC-CA multinível foi introduzido em 1974 com o intuito de atingir os níveis de potência exigidos, com recurso a um maior número de semicondutores de potência e vários condensadores para sintetizar os vários níveis de tensão [37]. Assim sendo, a tensão de saída possui maior qualidade, apresentando menor conteúdo harmónico que os conversores CC-CA de dois ou três níveis apresentados anteriormente. Adicionalmente, a existência de mais

níveis de tensão também reduz o dv/dt , o que se traduz na redução dos problemas de compatibilidade eletromagnética. Para além disso, permite a operação com frequências de comutação inferiores, o que provoca uma redução nas perdas por comutação [37]–[41].

Apesar das inúmeras topologias de conversores CC-CA multinível, as três principais apresentam-se na Figura 2.7. Podem ser definidos com base no número de condensadores que constituem o barramento CC, isto é, o barramento CC comum é composto por condensadores em série, sendo tal abordagem efetuada nas topologias *Diode-Campld* e *Flying-Capacitor*. Por outro lado, o barramento CC isolado refere-se ao facto de este ser composto por um só condensador, como é presente em cada célula na topologia *Cascaded H-Bridge*.

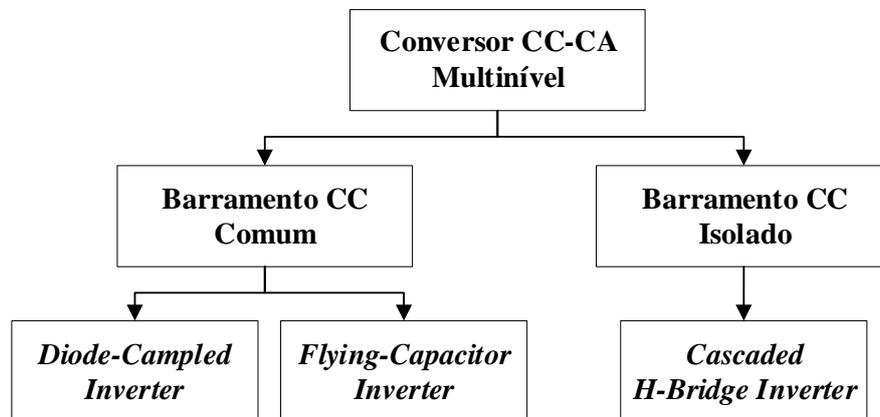


Figura 2.7 - Topologias clássicas de conversores CC-CA multinível.

2.3.3.1 *Diode-Campld Inverter*

A topologia de conversor CC-CA monofásico multinível do tipo *diode-campld* é também conhecida na literatura por *Neutral-Point Clamped* (NPC) e foi introduzida por Nabae, Takahashi e Akagi em 1981 [37], [42]. Esta topologia recorre a elementos capacitivos conectados série no barramento CC, interruptores de potência e díodos de bloqueio. Dependendo do número de níveis, m , apresenta $(m-1)$ condensadores, $2(m-1)$ semicondutores de potência e $(m-1)(m-2)$ díodos de bloqueio [42]–[44]. Em particular destaque, estes últimos apresentam a função de fixar a tensão de cada dispositivo de comutação, igual à existente entre o ponto médio de cada um dos respetivos condensadores do barramento CC [42], [45]. Contudo, apesar de cada semicondutor de potência requerer uma tensão de bloqueio de $V_{CC}/(m-1)$, os díodos necessitam de suportar diferentes níveis de tensão, para bloquear a tensão inversa. Assim sendo, assumindo que tanto os díodos de bloqueio como os interruptores de potência são projetados para a mesma tensão inversa, é mandatório que existam díodos em série de forma a suportar os diversos níveis de tensão [46]. Adicionalmente, com o aumento de níveis da tensão à saída a distorção harmónica total é

reduzida, contudo o número de díodos de bloqueio tende a aumentar de forma considerável, podendo tornar o sistema inexequível [37], [42], [46]. Além disso, outra desvantagem apresentada em [42] é a dificuldade em, topologias de conversores CC-CA NPC com vários níveis, ajustar a tensão dos condensadores do barramento CC em relação ao ponto de neutro [42].

Assim, partindo da informação anteriormente mencionada, um conversor CC-CA multinível NPC de 3 níveis envolve o uso de dois díodos de bloqueio, quatro interruptores de potência e dois condensadores no lado CC, sendo que o ponto médio destes encontra-se ligado ao ponto médio dos díodos como é ilustrado na Figura 2.8.

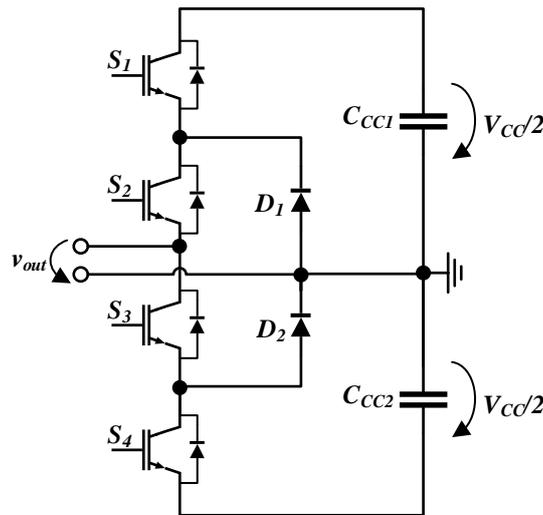


Figura 2.8 - Circuito elétrico de um conversor CC-CA multinível do tipo NPC de três níveis.

O modo de funcionamento deste conversor assenta na condução de dois IGBTs em simultâneo, pelo que é possível obter na saída três níveis de tensão: $+V_{cc}/2$, $-V_{cc}/2$ e 0 V através da condução dos pares de interruptores S_1/S_2 , S_3/S_4 e S_2/S_3 , respetivamente. Como tal, os referidos estados de operação encontram-se apresentados na Tabela 2.4.

Tabela 2.4 - Estados de operação de um conversor CC-CA do tipo NPC de três níveis.

Estado	Sinais de Comutação				Tensão de Saída (V)
	S_1	S_2	S_3	S_4	v_{out}
1	ON	ON	OFF	OFF	$+V_{cc}/2$
2	OFF	ON	ON	OFF	0
3	OFF	OFF	ON	ON	$-V_{cc}/2$

No entanto, as topologias mais comuns de conversores CC-CA multinível do tipo NPC envolvem um número maior de níveis, como por exemplo cinco níveis. Para se realizar um conversor CC-CA NPC de cinco níveis, é necessário usar oito semicondutores de potência, quatro condensadores e doze díodos de bloqueio, assumindo que cada um destes últimos possui a mesma tensão de bloqueio dos interruptores de potência ($V_{cc}/4$). Por outro lado, é

possível otimizar o número de componentes utilizados nesta topologia, reduzindo o número de díodos de doze para seis, dois por cada braço. Contudo, é de salientar que os díodos de bloqueio não teriam a mesma tensão dos semicondutores de potência. Assim, é demonstrado na Figura 2.9 o esquema do conversor CC-CA monofásico de cinco níveis, sendo o esquema referente à topologia utilizando os doze díodos de bloqueio.

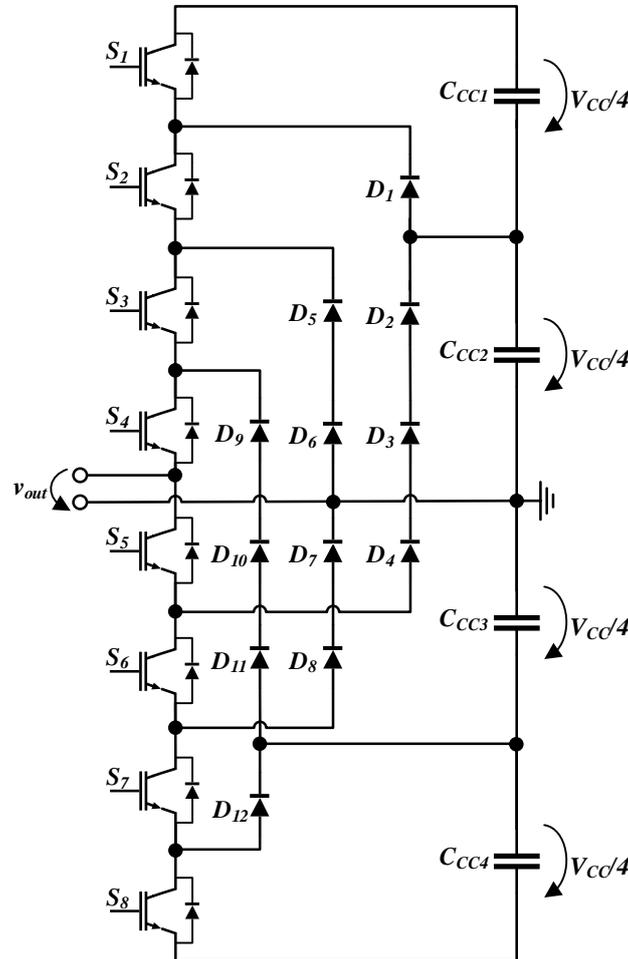


Figura 2.9 - Circuito elétrico de um conversor CC-CA multinível do tipo NPC de cinco níveis.

Como é possível constatar na topologia apresentada na Figura 2.9, os díodos de bloqueio não suportam os mesmo níveis de tensão que os semicondutores de potência, com anteriormente mencionado. Cada IGBT é dimensionado para suportar a tensão de cada condensador do barramento CC, $V_{cc}/4$ neste caso específico, sendo que os díodos necessitam de suportar tensões inversas superiores dependendo do estágio de operação. Em detalhe, os conjuntos de díodos $\{D_2, D_3, D_4\}$ e $\{D_9, D_{10}, D_{11}\}$ necessitam de bloquear uma tensão de $3V_{cc}/4$, referente a três condensadores ativos. Similarmente, os conjuntos de díodos $\{D_5, D_6\}$ e $\{D_7, D_8\}$, e $\{D_1\}$ e $\{D_{12}\}$ necessitam de suportar $2V_{cc}/4$ e $V_{cc}/4$, respetivamente [46].

Assim, na Tabela 2.5 são apresentados os diferentes estados de operação do conversor NPC de cinco níveis. Como pode ser constatado, existem sempre quatro semicondutores de potência em condução simultaneamente, pelo que a tensão de saída, v_{out} , varia entre $+V_{cc}/2$

e $-V_{CC}/2$ quando se encontram os IGBTs superiores e inferiores em condução, respetivamente.

Tabela 2.5 - Estados de operação de um conversor CC-CA do tipo NPC de cinco níveis.

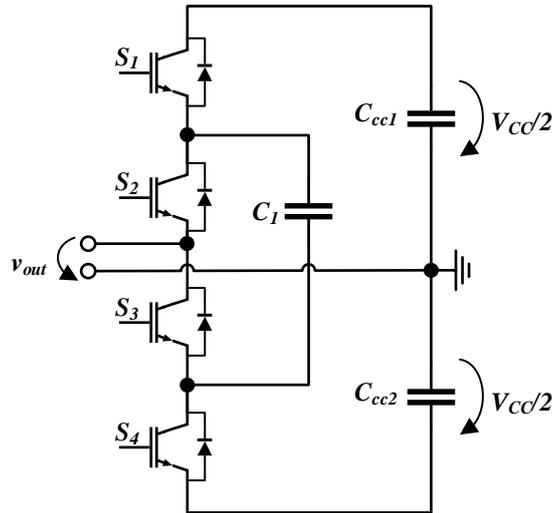
Estado	Sinais de Comutação								Tensão de Saída (V)
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	v_{out}
1	ON	ON	ON	ON	OFF	OFF	OFF	OFF	$+V_{CC}/2$
2	OFF	ON	ON	ON	ON	OFF	OFF	OFF	$+V_{CC}/4$
3	OFF	OFF	ON	ON	ON	ON	OFF	OFF	0
4	OFF	OFF	OFF	ON	ON	ON	ON	OFF	$-V_{CC}/4$
5	OFF	OFF	OFF	OFF	ON	ON	ON	ON	$-V_{CC}/2$

2.3.3.2 Flying-Capacitor Inverter

A topologia de um conversor CC-CA monofásico multinível do tipo *flying-capacitor* é também denominada, na literatura, por *capacitor-camped* [37], [43], [47]. De forma similar à topologia anterior, esta é também constituída por interruptores de potência e condensadores no barramento CC, recorrendo a condensadores independentes para realizar o bloqueio da tensão ao invés de díodos. Em específico, estes últimos necessitam de bloquear a tensão inversa à qual os semicondutores de potência são submetidos, dado que para um conversor de m níveis, o número de elementos capacitivos flutuantes pode ser definido por $((m - 1)(m - 2))/2$, pressupondo que a queda de tensão em cada condensador é a mesma que a tensão nos semicondutores [43], [46]. Adicionalmente, são necessários $2(m - 1)$ semicondutores de potência capazes de suportar uma tensão de $V_{cc}/(m - 1)$ referente à tensão aos terminais de cada condensador na presente topologia. Além disso, o número de condensadores do barramento CC podem ser definido por $(m - 1)$, dado que o ponto de neutro se encontra conectado ao ponto médio do barramento CC [46], [48].

Em termos comparativos à topologia anteriormente apresentada, o conversor CC-CA do tipo *flying-capacitor* apresenta uma forma modular, isto é, pode ser visto como um conjunto de células, sendo que cada célula corresponde a um conjunto de dois semicondutores de potência interligados por meio de condensadores flutuantes. Assim, para m níveis, este conversor CC-CA pressupõe o uso de $m - 1$ células.

Posto isto, com base na informação previamente mencionada, é apresentado na Figura 2.10 a topologia de um conversor CC-CA multinível monofásico do tipo *flying-capacitor* de três níveis. É composto por quatro semicondutores de potência e três condensadores, sendo que dois deles compõem o barramento CC e o restante tem a função de condensador flutuante.


 Figura 2.10 - Circuito elétrico de um conversor CC-CA do tipo *Flying-Capacitor* de três níveis.

Na Tabela 2.6 são apresentados os estados de operação do conversor CC-CA do tipo *flying-capacitor* de três níveis. Como é possível constatar, em cada estado existem sempre dois IGBTs em condução, permitindo a obtenção dos três níveis de tensão, nomeadamente, $+V_{CC}/2$, $-V_{CC}/2$ e 0 V. Relativamente a este último estado, existem dois possíveis estados para tal, sendo que ambas se refletem na troca de energia entre o condensador C_1 e os condensadores do barramento CC, C_{CC1} e C_{CC2} . Como tal, na Tabela 2.6 é também representando o modo de carregamento e descarregamento do condensador de bloqueio, pelo sinal ‘+’ e ‘-’, respetivamente. Caso tal não ocorra, é utilizado o símbolo ‘X’ para sinalizar a ausência de trocas de energia. Assim, enquanto que no estado 2 a energia do condensador C_{CC1} é utilizada para carregar o condensador flutuante C_1 , no estado 3 a energia do condensador flutuante C_1 é transferida para o condensador do barramento CC, C_{CC2} .

 Tabela 2.6 - Estados de operação de um conversor CC-CA do tipo *Flying-Capacitor* de três níveis.

Estado	Sinais de Comutação				Condensador de Bloqueio	Tensão de Saída (V)
	S_1	S_2	S_3	S_4	C_1	v_{out}
1	ON	ON	OFF	OFF	X	$+V_{CC}/2$
2	ON	OFF	ON	OFF	+	0
3	OFF	ON	OFF	ON	-	0
4	OFF	OFF	ON	ON	X	$-V_{CC}/2$

Devido à modularidade inerente a este conversor, na Figura 2.11 é apresentada topologia de um conversor CC-CA multinível monofásico do tipo *flying-capacitor* de cinco níveis, onde é possível observar que, em adição à topologia com três níveis, são associadas duas novas células compostas pelos quatro semicondutores de potência S_1 , S_2 , S_7 e S_8 e sete

condensadores, sendo três deles referentes aos condensadores flutuantes (C_3) e os restantes quatro correspondentes ao barramento CC (C_{CC1} , C_{CC2} , C_{CC3} , C_{CC4}).

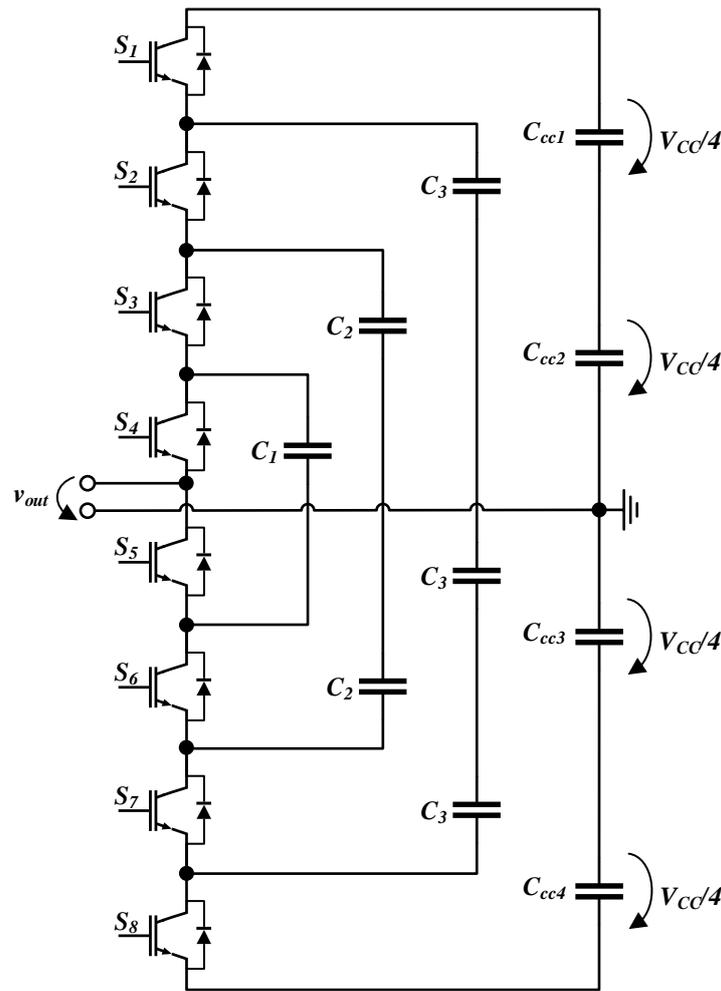


Figura 2.11 - Circuito elétrico de um conversor CC-CA do tipo *Flying-Capacitor* de cinco níveis.

No geral, a topologia apresentada na Figura 2.11 é constituída por oito semicondutores de potência, sendo que os interruptores superiores (S_1 , S_2 , S_3 , S_4) são complementares aos inferiores (S_5 , S_6 , S_7 , S_8) respetivamente. Além disso, é constituído por dez condensadores, dado que quatro deles (C_{CC1} , C_{CC2} , C_{CC3} , C_{CC4}) formam o barramento CC, como mencionado anteriormente. Adicionalmente, os restantes seis (C_1 , C_2 , C_3) correspondem aos condensadores flutuantes, cuja distribuição dos mesmos é diferente de célula para célula, nomeadamente, C_1 é composto por um condensador flutuante, C_2 contém dois e C_3 envolve um conjunto de três. O elevado número de elementos capacitivos permite com que a tensão aos terminais de cada um seja igual à tensão de bloqueio em cada IGBT de $V_{CC}/4$. Contudo, é possível integrar somente três condensadores, o que traduz que a tensão em C_1 , C_2 e C_3 seria $V_{CC}/4$, $V_{CC}/2$ e $3V_{CC}/4$, respetivamente.

Posto isto, na Tabela 2.7 são apresentados os diversos estados de operação de um conversor CC-CA do tipo *flying-capacitor*. Similarmente à topologia de conversor CC-CA do tipo NPC de cinco níveis, pode observar-se que existem quatro semicondutores de potência em

condução simultaneamente. Além disso, é também apresentado o processo de carregamento e descarregamento dos condensadores flutuantes através dos símbolos ‘+’ e ‘-’, respetivamente.

Tabela 2.7 - Estados de operação de um conversor CC-CA do tipo *Flying-Capacitor* de cinco níveis.

Estado	Sinais de Comutação								Condensador Flutuante			Tensão de Saída (V)
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	C_1	C_2	C_3	v_{out}
1	ON	ON	ON	ON	OFF	OFF	OFF	OFF	X	X	X	$+V_{cc}/2$
2	ON	ON	ON	OFF	ON	OFF	OFF	OFF	+	X	X	$+V_{cc}/4$
3	ON	ON	OFF	ON	OFF	ON	OFF	OFF	-	+	X	
4	ON	OFF	ON	ON	OFF	OFF	ON	OFF	X	-	+	
5	OFF	ON	ON	ON	OFF	OFF	OFF	ON	X	X	-	
6	OFF	OFF	ON	ON	OFF	OFF	ON	ON	X	-	X	0
7	OFF	ON	OFF	ON	OFF	ON	OFF	ON	-	+	-	
8	OFF	ON	ON	OFF	ON	OFF	OFF	ON	+	X	-	
9	ON	OFF	OFF	ON	OFF	ON	ON	OFF	-	X	+	
10	ON	OFF	ON	OFF	ON	OFF	ON	OFF	+	-	+	
11	ON	ON	OFF	OFF	ON	ON	OFF	OFF	X	+	X	
12	ON	OFF	OFF	OFF	ON	ON	ON	OFF	X	X	+	$-V_{cc}/4$
13	OFF	ON	OFF	OFF	ON	ON	OFF	ON	X	+	-	
14	OFF	OFF	ON	OFF	ON	OFF	ON	ON	+	-	X	
15	OFF	OFF	OFF	ON	OFF	ON	ON	ON	-	X	X	
16	OFF	OFF	OFF	OFF	ON	ON	ON	ON	X	X	X	$-V_{cc}/2$

2.3.3.3 Cascaded H-Bridge Multilevel Inverter

A topologia de um conversor CC-CA multinível do tipo ponte H em cascata, também conhecido por *Cascaded H-Bridge* (CHB) na terminologia inglesa, assenta na ligação em série de dois ou mais conversores CC-CA em ponte completa (denominados de células) [37], [46], [48]. Cada célula é constituída por dois pares de interruptores de potência complementares e um barramento CC capacitivo isolado. Assim, e como apresentado na secção 2.3.2, esta topologia é capaz de sintetizar três níveis de tensão na saída, pelo que a tensão de saída, em concreto neste conversor CC-CA multinível, refere-se à soma das tensões provenientes de cada célula [46], [47]. Deste modo, esta topologia apresenta, para m níveis, $(m - 1)/2$ células e fontes energia isoladas e $2(m - 1)$ semicondutores de potência. Comparativamente com as duas topologias previamente apresentadas, pode constatar-se que

umas principais vantagens deste conversor CC-CA multinível reflete-se no uso de um número reduzido de componentes, isto é, na ausência de díodos de bloqueio e condensadores flutuantes inerentes aos conversores CC-CA multinível do tipo NPC e *Flying-Capacitor*, respetivamente [37], [47]. Porém, a principal desvantagem é o facto de necessitar de fontes de energia independente por cada célula [37]. Além disso, o aumento dos níveis de tensão gerados à saída implica um maior número de interruptores de potência e consequentemente, um maior número de circuitos de *driver*, o que se traduz num conversor complexo [49].

Deste modo, com base na informação previamente mencionada, na Figura 2.12 é apresentada topologia de um conversor CC-CA multinível do tipo CHB de cinco níveis, sendo este composto por duas células. Em detalhe, é constituído por oito interruptores de potência e um barramento CC com duas fontes isoladas (C_{CC1} e C_{CC2}). Assim, a tensão de saída deste conversor, v_{out} , é relativa à soma da tensão de saída de cada uma das células, v_{o1} e v_{o2} , sendo que cada célula permite três níveis de tensão ($-V_{CC}$, 0 , $+V_{CC}$) o que se traduz nos cinco níveis diferentes da tensão de saída ($-2V_{CC}$, $-V_{CC}$, 0 , $+V_{CC}$, $+2V_{CC}$).

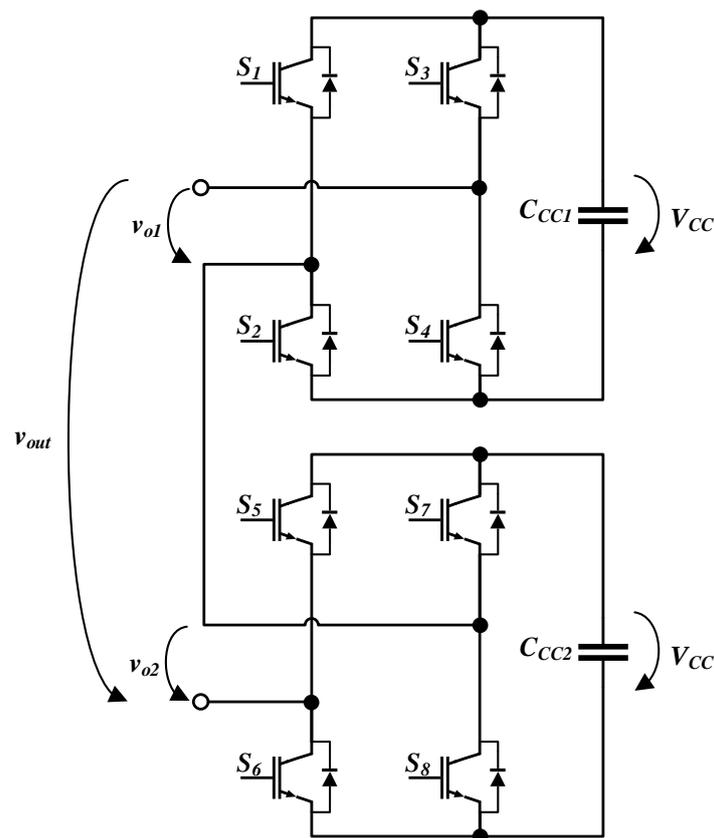


Figura 2.12 - Circuito elétrico de um conversor CC-CA do tipo CHB de cinco níveis.

Posto isto, na Tabela 2.8 são apresentados os dezasseis estados de operação do conversor CC-CA multinível do tipo CHB de cinco níveis. O funcionamento desta topologia em específico assenta na condução de quatro semicondutores de potência em simultâneo, como pode ser constatado na Tabela 2.8.

Tabela 2.8 - Estados de operação de um conversor CC-CA do tipo CHB de cinco níveis.

	Ponte H Superior				Ponte H Inferior				Tensão de Saída (V)		
	Sinais de Comutação				Sinais de Comutação						
Estado	S1	S2	S3	S4	S5	S6	S7	S8	V _{o1}	V _{o2}	V _{out}
1	ON	OFF	OFF	ON	ON	OFF	OFF	ON	+V _{CC}	+V _{CC}	+2V _{CC}
2	ON	OFF	OFF	ON	OFF	ON	OFF	ON	+V _{CC}	0	+V _{CC}
3	ON	OFF	OFF	ON	ON	OFF	ON	OFF	+V _{CC}	0	
4	OFF	ON	OFF	ON	ON	OFF	OFF	ON	0	+V _{CC}	
5	ON	OFF	ON	OFF	ON	OFF	OFF	ON	0	+V _{CC}	
6	OFF	ON	OFF	ON	OFF	ON	OFF	ON	0	0	0
7	OFF	ON	OFF	ON	OFF	ON	OFF	ON	0	0	
8	ON	OFF	ON	OFF	OFF	ON	OFF	ON	0	0	
9	ON	OFF	ON	OFF	ON	OFF	ON	OFF	0	0	
10	ON	OFF	OFF	ON	OFF	ON	ON	OFF	+V _{CC}	-V _{CC}	-V _{CC}
11	OFF	ON	ON	OFF	ON	OFF	OFF	ON	-V _{CC}	+V _{CC}	
12	OFF	ON	ON	OFF	ON	OFF	ON	OFF	-V _{CC}	0	
13	OFF	ON	ON	OFF	OFF	ON	OFF	ON	-V _{CC}	0	
14	OFF	ON	OFF	ON	OFF	ON	ON	OFF	0	-V _{CC}	-2V _{CC}
15	ON	OFF	ON	OFF	OFF	ON	ON	OFF	0	-V _{CC}	
16	OFF	ON	ON	OFF	OFF	ON	ON	OFF	-V _{CC}	-V _{CC}	

Como mencionado anteriormente, uma das desvantagens desta topologia relaciona-se com o facto de necessitar de várias células em série para providenciar o aumento dos níveis gerados à saída. Como tal, a abordagem apresentada assenta numa simetria do valor da tensão do barramento CC, ou seja, o nível de tensão do elemento armazenador de energia de cada célula seria igual. No entanto, existe a possibilidade de produzir um aumento dos níveis de tensão sem ser necessário o acréscimo de células em série. Tal é conseguido sacrificando as redundâncias nos estados de operação dos semicondutores através do desequilíbrio das tensões das fontes de energia CC isoladas, sendo que este fator provoca que a presente topologia de conversor CC-CA multinível possua um carácter assimétrico [46], [50].

Deste modo, a topologia do conversor CC-CA multinível do tipo CHB assimétrico assenta numa relação geométrica entre as fontes de energia do barramento CC, podendo tal ser definida por uma progressão binária [2^n : $2^0, 2^1, 2^2 \dots 2^{n-1}$] ou ternária [3^n : $3^0, 3^1, 3^2 \dots 3^{n-1}$], correspondendo n ao número de células existentes na presente topologia. Desta forma, é possível obter um aumento de níveis de tensão à saída sem o uso de hardware adicional, o que se traduz numa redução de tamanho e custo associado a uma maior versatilidade da

topologia. Por outro lado, a complexidade do sistema de controlo torna-se elevada, pelo que a técnica de modulação necessita de ser estritamente específica deste tipo de topologias [51]. Por fim, após o estudo detalhado das topologias convencionas de conversores CC-CA multinível, é apresentado na Tabela 2.9, de forma sumariada, uma comparação das topologias mencionadas em termos dos elementos intrínsecos a cada, sendo que tal é dependente do nível, m , que se pretende obter.

Tabela 2.9 - Comparação de topologias CC-CA multinível.

Componentes	Topologia de conversor CC-CA multinível		
	<i>Diode-Clamped</i>	<i>Flying-Capacitor</i>	<i>Cascaded H-Bridge</i>
Díodos de <i>freewheeling</i>	$2(m - 1)$	$2(m - 1)$	$2(m - 1)$
IntERRUPTORES de potência	$2(m - 1)$	$2(m - 1)$	$2(m - 1)$
Condensadores flutuantes	0	$((m - 1)(m - 2)/2)$	0
Díodos de bloqueio	$(m - 1)(m - 2)$	0	0
Fontes de energia	$(m - 1)$	$(m - 1)$	$(m - 1)/2$

2.4 Técnicas de Modulação de Tensão PWM Sinusoidal

Com a deteriorização da QEE devido à proliferação de cargas não-lineares, são desenvolvidos conversores de eletrónica de potência, nomeadamente conversores CC-CA, que permitem mitigar tais problemas. Assim, de forma a controlar tais equipamentos é comum utilizar-se técnicas de modulação de largura de pulso (*Pulse Width Modulation* – PWM) com a finalidade de gerar um sinal de referência com elevada fiabilidade. Das várias técnicas de modulação existentes, destaca-se a modulação PWM sinusoidal (*Sinusoidal Pulse Width Modulation* – SPWM) que consiste na geração de uma onda sinusoidal à saída do conversor, pelo que tem sido a técnica mais popularmente usada devido à sua simplicidade em termos práticos [52]. Posto isto, o seu método de funcionamento consiste na comparação de dois sinais, nomeadamente, um sinal de referência (*ref*) e uma onda portadora triangular (*trig*) como ilustrado na Figura 2.13. Primeiramente, a sinal de referência consiste no sinal que se pretenda que o conversor CC-CA sintetize à saída, pelo que, neste caso em particular, corresponde a um sinal sinusoidal. Por outro lado, a onda portadora corresponde a um sinal

triângula de elevada frequência, sendo que esta última define a frequência de comutação dos semicondutores de potência.

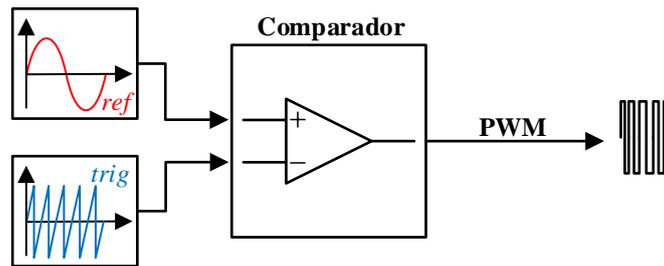


Figura 2.13 - Princípio de funcionamento da técnica de modulação SPWM.

Da comparação entre o sinal de referência (*ref*) e a onda portadora (*trig*), é produzido um sinal modulado através da variação da largura dos pulsos proveniente das rápidas comutações dos semicondutores de potência. Assim, o sinal de PWM apresenta dois estados possíveis, nomeadamente, valor alto sempre que $ref > trig$ (interruptor fechado) e conseqüentemente, o valor baixo sempre que $ref \leq trig$ (interruptor aberto) como apresentando em (2.1).

$$PWM = \begin{cases} 1, & ref > trig \\ 0, & ref \leq trig \end{cases} \quad (2.1)$$

Adicionalmente, na Figura 2.14 é ilustrado o processo de síntese dos pulsos de PWM a serem enviados para o semicondutor de potência, onde se pode constatar que a variação do sinal de referência origina a variação do valor do *duty-cycle* do sinal de PWM com frequência constante.

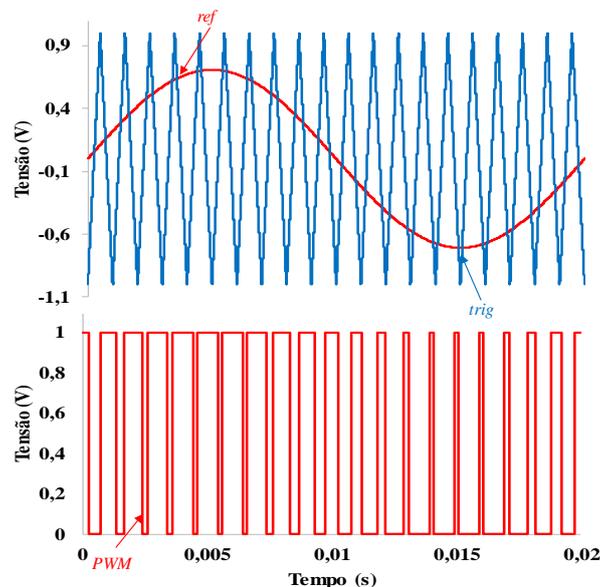


Figura 2.14 - Modulação SPWM.

Contudo, a evolução dos conversores CC-CA torna-se necessário que as técnicas de modulação sejam adaptadas à complexidade do conversor em questão. Assim, de seguida apresentam-se as principais estratégias de modulação sinusoidal aplicadas a conversores

CC-CA, sendo primeiramente mencionadas as mais simples (SPWM bipolar e unipolar) e posteriormente as mais complexas (SPWM Multinível).

2.4.1 Modulação SPWM Bipolar

O método de modulação SPWM bipolar retrata uma das variações mais simples da modulação SPWM. Consiste no uso de apenas uma onda portadora triangular (*trig*) e um sinal de referência (*ref*), sendo que apenas existe uma comparação entre ambos os sinais. Consequentemente, este resultado e o respetivo negado correspondem aos sinais de comando a aplicar aos semicondutores de potência, possibilitando obter à saída do conversor CC-CA uma tensão que varia entre o valor máximo ($+V_{CC}$) e valor mínimo ($-V_{CC}$) da tensão do barramento CC. Assim, a modulação SPWM bipolar permite controlar um ou dois pares de semicondutores de potência, especificamente, um conversor CC-CA em meia ponte e um conversor CC-CA em ponte completa, respetivamente.

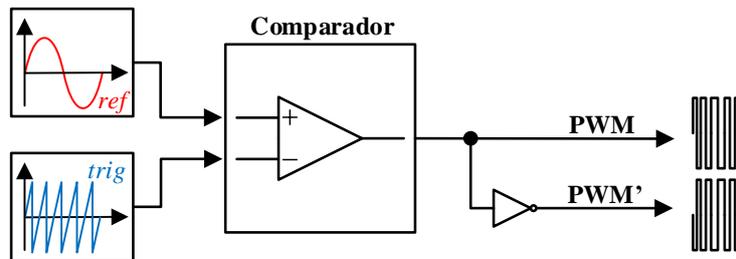


Figura 2.15 - Princípio de funcionamento da técnica de modulação SPWM bipolar.

Posto isto, na Figura 2.16 é ilustrada a tensão de referência, *ref*, em comparação com a tensão de saída produzida pelo conversor CC-CA, $v_{inversor}$.

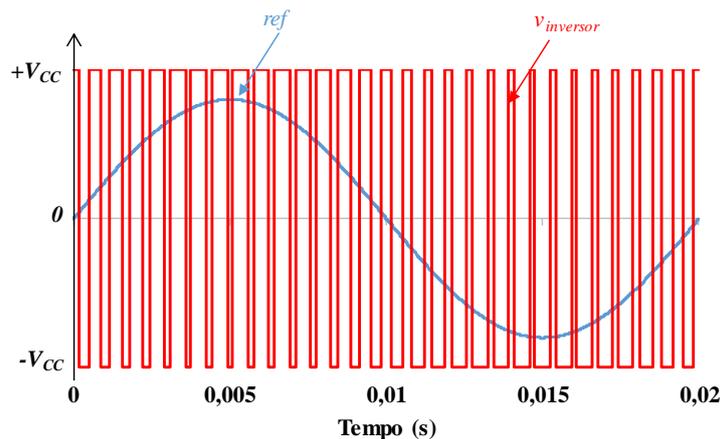


Figura 2.16 - Modulação SPWM bipolar.

Apesar da modulação SPWM bipolar apresentar uma simples implementação como principal vantagem, requer um filtro passivo à saída de grandes dimensões, traduzindo-se numa abordagem dispendiosa [53].

2.4.2 Modulação SPWM Unipolar

A técnica de modulação SPWM unipolar possui um método de funcionamento semelhante à explicitada anteriormente, isto é, é também composta por apenas uma onda portadora e um sinal de referência sinusoidal. No entanto, deste último é gerado um sinal com a mesma frequência e amplitude, mas desfasado 180° , sendo que a comparação é realizada entre a onda portadora triangular e os dois sinais de referência, como é apresentado na Figura 2.17. Como se pode observar, das duas comparações surgem quatro sinais de comando a aplicar nos semicondutores de potência. Assim, este tipo de modulação não pode ser implementado em conversores CC-CA de meia ponte, visto que o número de semicondutores de potência é inferior ao número de sinais de comando.

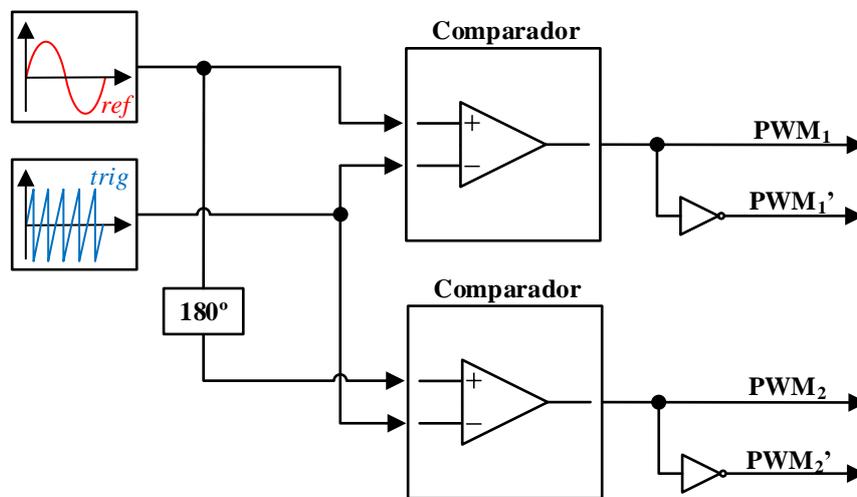


Figura 2.17 - Princípio de funcionamento da técnica de modulação SPWM unipolar.

Para além disso, este método de modulação permite controlar de forma independente dois braços de um conversor CC-CA, possibilitando a obtenção de um nível adicional na tensão de saída em comparação com a modulação bipolar. Assim, a forma de onda da tensão de saída possui três níveis de tensão diferentes: $+V_{CC}$, 0 e $-V_{CC}$, como é exibido na Figura 2.18.

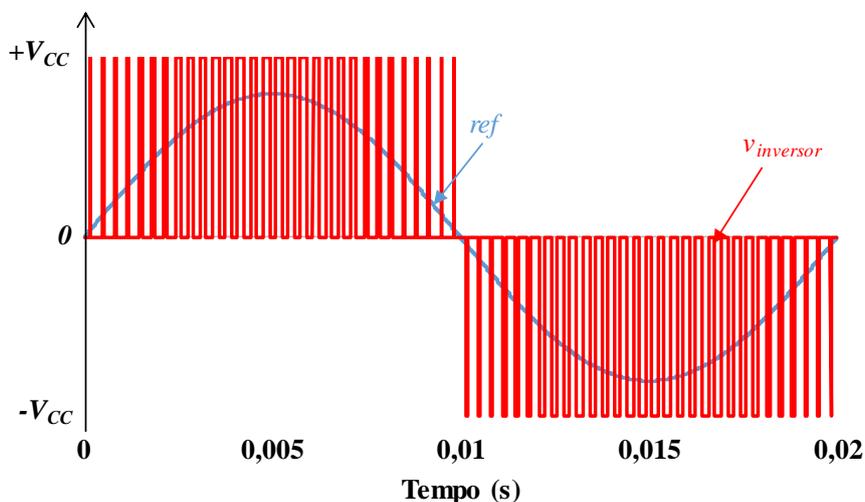


Figura 2.18 - Modulação SPWM unipolar.

Adicionalmente, a frequência da onda de saída é o dobro da frequência de comutação, o que se reflete em várias vantagens, nomeadamente, uma forma de onda à saída mais sinusoidal e a necessidade de um filtro passivo de menores dimensões comparativamente à topologia anterior [53].

2.4.3 Modulação SPWM Multinível

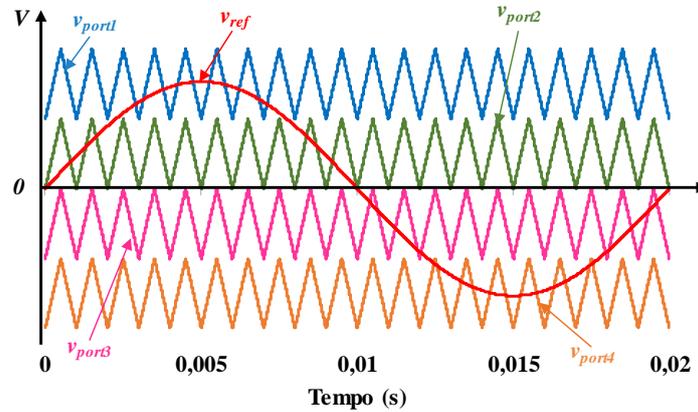
Os métodos de modulação SPWM multinível seguem o mesmo princípio de funcionamento da modulação SPWM clássica, porém são adaptados para que a tensão de saída do conversor seja o mais próxima possível da forma onda de referência sinusoidal, com baixa componente harmónica e reduzidas perdas por comutação [47]. Assim, tal é conseguido através da sintetização de vários níveis de tensão à saída do conversor CC-CA multinível através do uso de várias ondas triangulares portadoras. As referidas ondas triangulares portadoras originam métodos de modulação normalmente classificadas de acordo com o tipo de desfasamento, nomeadamente, a modulação SPWM multinível com desfasamento vertical (*Level Shifted*) e a modulação SPWM multinível com desfasamento horizontal (*Phase Shifted*). De referir que em ambas as modulações explicitadas, apenas existe um sinal de referência que será comparado com as várias ondas portadoras existentes. Seguidamente, ambas as vertentes são apresentadas e explicadas.

2.4.3.1 Modulação SPWM Multinível com Desfasamento Vertical

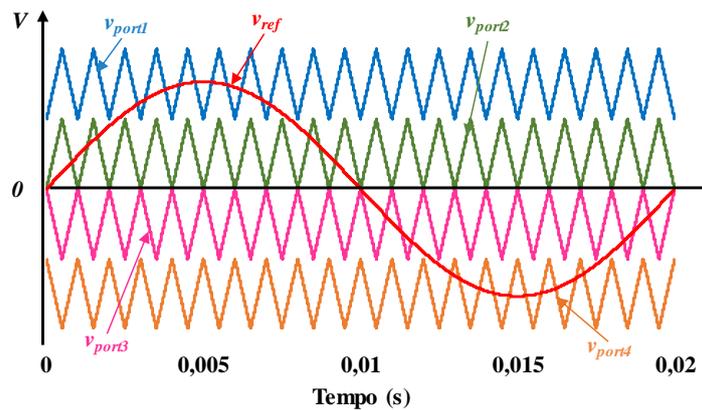
A modulação SPWM multinível com desfasamento vertical assenta na utilização, para um conversor CC-CA de m níveis, $m - 1$ ondas portadoras de igual amplitude e frequência. No entanto, o desfasamento vertical implica que cada onda portadora tenha um valor médio distinto, associando-se cada uma a um respetivo nível de tensão de saída.

Relativamente ao desfasamento vertical entre as diversas ondas portadoras, podem definir-se de três modos distintos, nomeadamente, em fase (*In Phase Disposition – IPD*), em oposição de fase (*In Phase Opposition Disposition – IPOD*) ou em oposição de fase alternada (*In Alternative Phase Opposition Disposition – IAPOD*). Primeiramente, no desfasamento vertical em fase, como o nome indica, todas as ondas portadoras, além de terem a mesma amplitude e frequência, encontram-se em fase e com valor médio distinto, como previamente mencionado. Seguidamente, o desfasamento vertical em oposição de fase é muito similar ao anteriormente apresentando. No entanto, a disposição das ondas portadoras é simétrica em relação ao nível zero, isto é, as ondas portadoras positivas encontram-se em fase entre si enquanto que as negativas se encontram desfasadas 180° , simultaneamente. Por último, o

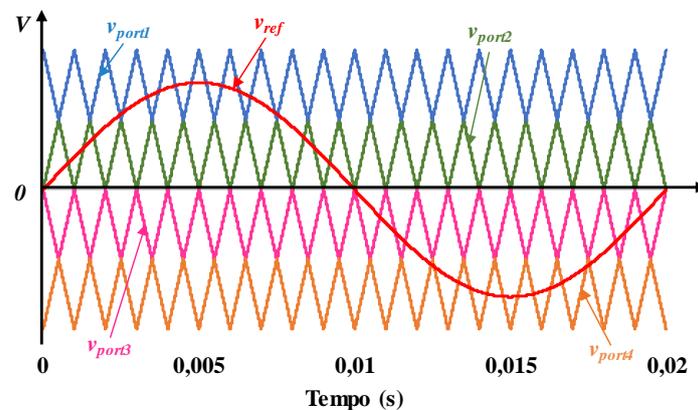
desfasamento vertical em oposição de fase alternada pode ser interpretado como uma junção das duas últimas vertentes apresentadas, isto é, as ondas portadoras apresentam a mesma amplitude e frequência, mas estão desfasadas 180° alternadamente. A Figura 2.19 retrata os três diferentes tipos de distribuição vertical descritos anteriormente. Cada tipo de modulação apresentado de seguida, é composto por quatro triangulares e uma referência sinusoidal, permitindo o controlo de um conversor CC-CA de cinco níveis.



(a)



(b)



(c)

Figura 2.19 - Distribuição vertical das ondas portadoras da técnica de modulação SPWM multinível: (a) IPD; (b) IPOD; (c) IAPOD.

2.4.3.2 Modulação SPWM Multinível com Desfasamento Horizontal

A modulação SPWM multinível com desfasamento horizontal (*Phase Shifted – PS*) é muito similar à apresentada anteriormente, pois, para um conversor CC-CA de m níveis, também utiliza $m - 1$ ondas portadoras triangulares de igual amplitude e frequência. Contudo, a distribuição das ondas portadoras é realizada através de um deslocamento de fase entre duas portadoras consecutivas de $360/(m - 1)$ graus.

Posto isto, a modulação SPWM multinível do tipo PS é bastante utilizada em conversores CC-CA do tipo CHB apresentada na secção 2.3.3.3, visto que o seu carácter modular permite com que cada onda portadora esteja associada a uma célula específica.

Deste modo, na Figura 2.20 é exposta a distribuição das ondas portadoras para um conversor CC-CA de cinco níveis, sendo utilizado uma única referência em conjunto com quatro ondas portadoras triangulares com um desfasamento de fase de 90° .

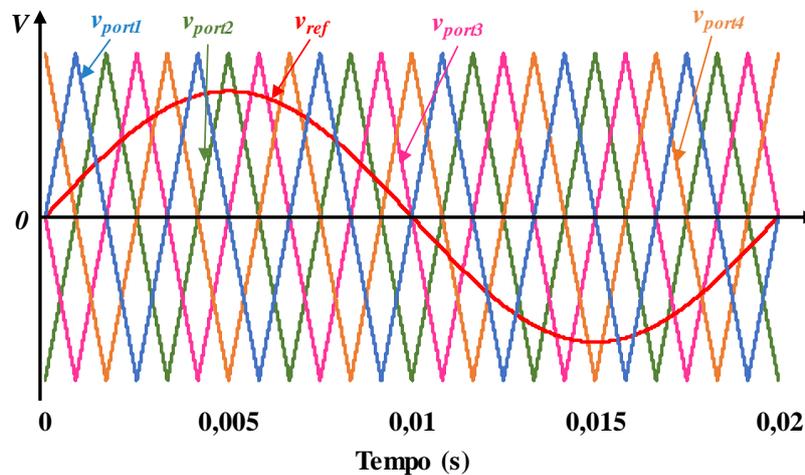


Figura 2.20 - Distribuição horizontal das ondas portadoras da técnica de modulação SPWM multinível.

2.5 Conclusão

Ao longo deste capítulo, foram abordados diversos tópicos relacionados com conversores CC-CA, nomeadamente, as diversas topologias existentes assim como os vários dispositivos de potência e as vastas técnicas de modulação inerentes aos mesmos.

Primeiramente, foram abordadas as principais tecnologias de semicondutores de potência referindo as particularidades de cada uma em termos de tensão, corrente e frequência. De entre as apresentadas, foram destacadas aquelas que permitem frequências de comutação elevadas, devido ao facto do conversor CC-CA em ponte completa a ser implementado possuir semicondutores de alta frequência, traduzindo-se na seleção do IGBT como semicondutor de eleição. Uma vez escolhido o interruptor de potência, foram abordadas algumas topologias de conversores CC-CA monofásico do tipo fonte de tensão. Começou-se

por descrever o conversor CC-CA de meia ponte dado a simplicidade da topologia e o reduzido número de componentes e níveis de tensão. Partindo desta topologia, apresentou-se o conversor CC-CA em ponte completa, cuja topologia utiliza um número de componentes semelhantes à anterior, mas permite obter um nível adicional de tensão à saída. Ainda dentro das topologias de conversores CC-CA monofásicos, foram abordadas algumas topologias de conversores multinível. Embora sejam topologias com um maior número de dispositivos e um sistema de controlo complexo, permitem obter uma forma de onda à saída com melhor qualidade do que as topologias anteriores. Assim, as topologias de conversores CC-CA multinível apresentadas referem-se às topologias multinível clássicas, nomeadamente, a topologia *diode camped*, a topologia *flying capacitor* e a topologia *cascaded H-bridge*, tendo sido realizada uma comparação entre as três a nível estrutural. Posto isto, foram descritas as várias técnicas de modulação sinusoidal, começando-se pelas técnicas SPWM bipolar e SPWM unipolar, sendo que ambas são aplicáveis a conversores CC-CA em ponte completa. No entanto, a modulação SPWM bipolar é única das duas que pode ser aplicada a conversores CC-CA em meia ponte dado o número de saídas de PWM ser o mesmo que o número de interruptores de potência. Por fim, além destas técnicas de modulação, abordou-se ainda os métodos comumente usados para a modulação SPWM em conversores multinível. Das mais conhecidas, destacaram-se a técnica multinível SPWM com desfasamento vertical e com desfasamento horizontal devido à sua vasta aplicação industrial e simplicidade.

Capítulo 3

Condicionadores Ativos do Tipo Série e Sistemas de Controlo

3.1 Introdução

Neste capítulo são apresentados alguns condicionadores ativos e os respetivos elementos constituintes do sistema de controlo. Visto que a presente dissertação envolve o desenvolvimento de um FA, nomeadamente do tipo série, tais tópicos serão abordados de forma detalhada e enquadrados com o tema desta dissertação. Assim sendo, primeiramente são expostos os alguns dos compensadores estáticos série utilizados para variar a impedância da linha de distribuição de energia. Seguidamente, e tendo em consideração os problemas de QEE mencionados na secção 1.1, são descritos alguns equipamentos para mitigar tais problemas, nomeadamente, o restaurador dinâmico de tensão, os sistemas de alimentação ininterrupta e o FAS, sendo que neste último é realizado uma comparação entre a topologia monofásica tradicional com a proposta nesta dissertação.

De seguida, são expostos alguns algoritmos intrínsecos ao sistema de controlo do FAS, sendo este dividido em dois subsistemas, nomeadamente, no subsistema de sincronização com a rede elétrica e noutro relativo às teorias para determinação das tensões de compensação a produzir pelo FAS. Relativamente ao primeiro, são abordados alguns métodos de sincronização com a rede elétrica, tais como a tabela de senos e a série de *Fourier* como algoritmos em malha aberta e a *Phase Locked Loop* em malha fechada.

Por outro lado, o último ponto abordado neste capítulo relaciona-se com o segundo subsistema da malha de controlo do FAS referente à tensão de compensação gerada pelo filtro. Para tal, são apresentadas algumas teorias de controlo aplicáveis a esta topologia de FAs, nomeadamente, a teoria de controlo baseada no algoritmo de *Phase Locked Loop* e a teoria p - q modificada. Relativamente à primeira, a sintetização da tensão de compensação é realizada através da comparação de valores instantâneos, enquanto que no segundo caso é baseado na teoria p - q proposta por *Akagi et al*, mas modificada para sistemas trifásicos desequilibrados e não sinusoidais, podendo esta ainda ser adaptada e aplicada a FASs monofásicos.

3.2 Compensadores Estáticos Série

A energia elétrica é vista como a principal fonte de energia para o desenvolvimento dos diversos setores industriais. Contudo, o transporte de energia entre as centrais produtoras e os consumidores finais nem sempre foi o mais eficiente devido a problemas de QEE, sendo que tais problemas podem ser mitigados controlando a potência reativa. Assim, com a evolução da eletrónica de potência surgiram tecnologias que permitiam efetuar a transmissão e distribuição de energia de uma forma mais confiável, controlável e eficiente [54]. Como tal, foram desenvolvidos sistemas flexíveis de transmissão de energia em corrente alternada, também denominados por *Flexible AC Transmission Systems* (FACTS) na literatura. Das tecnologias existentes, é possível realizar compensação série ou paralela, sendo que ambas permitem modificar as características elétricas naturais dos sistemas de corrente alternada. Em específico para o caso da compensação série, o principal fator que limita a transmissão de energia é a impedância de linha, como é apresentado na Figura 3.1 [55]. Na Figura 3.1 (a) é apresentado o esquema do sistema de distribuição sem compensação e o respectivo diagrama fasorial na Figura 3.1 (b), sendo que foi considerado que a carga seria maioritariamente indutiva.

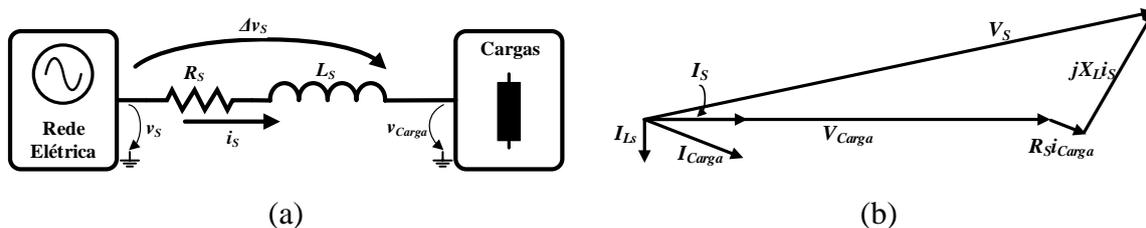


Figura 3.1 - Método de distribuição de energia elétrica sem compensação série: (a) Esquema elétrico; (b) Diagrama fasorial.

Posto isto, a forma típica de solucionar este problema é a instalação de condensadores em série com a impedância de linha, como exibido na Figura 3.2 (a). A colocação do elemento capacitivo permite que seja gerada potência reativa que balance a potência reativa inerente à impedância de linha, tal como é demonstrado na Figura 3.2 (b).

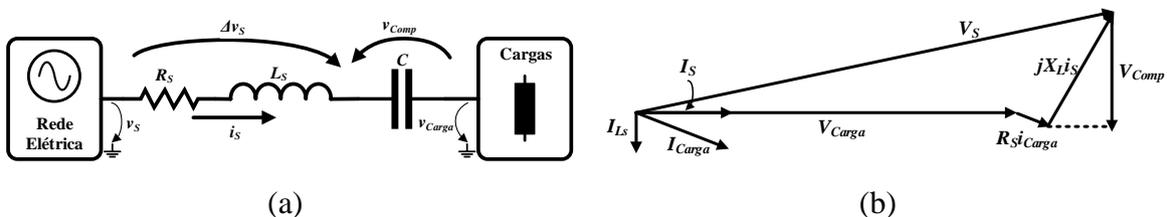


Figura 3.2 - Método de distribuição de energia elétrica com compensação série: (a) Esquema elétrico; (b) Diagrama fasorial.

Deste modo é assegurada a melhoria no transporte e distribuição de energia através da estabilidade da tensão do sistema e da otimização na troca de energia entre circuitos paralelos [55].

3.2.1 Condensador Série Controlado a Tiristor

A topologia de um condensador série controlado a tiristor (*Thyristor Controlled Series Capacitor - TCSC*) envolve na sua constituição, um reator controlado a tiristor (*Thyristor Controlled Reactor - TCR*) em paralelo com um condensador, tal como apresentado na Figura 3.3.

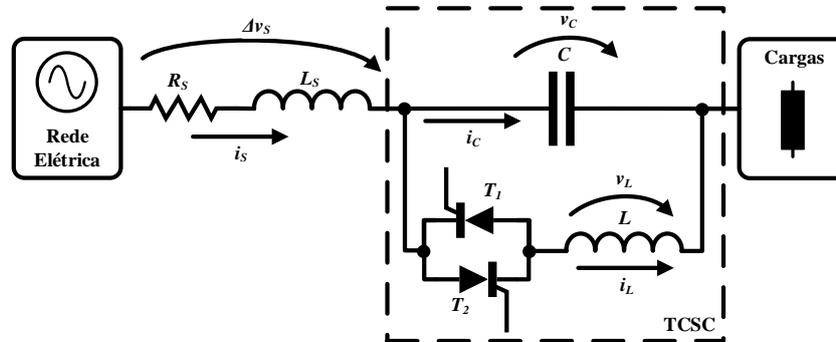


Figura 3.3 - Esquema elétrico de um condensador série controlado a tiristor.

O método de funcionamento deste equipamento relaciona-se com o controlo do ângulo de disparo dos tiristores. A variação do ângulo de disparo permite ajustar a impedância de linha e, por consequente, a potência reativa associada ao sistema de transmissão de energia. A Tabela 3.1 apresenta os modos de operação de um TCSC de acordo com o ângulo de disparo dos tiristores, sendo possível constatar que existem três zonas distintas de operação do TCSC: zona indutiva, ressonante e capacitiva [56].

Tabela 3.1 - Modos de operação de um TCSC.

Ângulo de disparo (α)	Região de Operação
$90 \leq \alpha \leq \alpha_{Llim}$	Indutiva
$\alpha_{Clim} \leq \alpha \leq \alpha_{Llim}$	Ressonante
$\alpha_{Clim} \leq \alpha \leq 180$	Capacitiva

De forma gráfica, o mesmo pode ser visualizado pela Figura 3.4. Contudo, apesar do eficiente ajuste da potência reativa do sistema de transmissão de energia, o TCSC introduz harmónicas no sistema devido à comutação dos semicondutores [57].

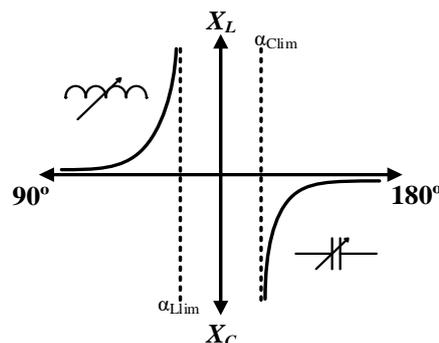


Figura 3.4 - Zonas de operação de um TCSC.

3.2.2 Condensador Série Comutado a Tiristor

Um condensador série comutado a tiristor (*Thyristor Switched Series Capacitor – TSSC*) é um dispositivo capaz de controlar a impedância de linha por patamares [58]. Na Figura 3.5 é apresentado o esquema elétrico de um TSSC, consistindo em condensadores em série com os respetivos circuitos de *bypass* em paralelo, sendo este último composto por dois tiristores em antiparalelo.

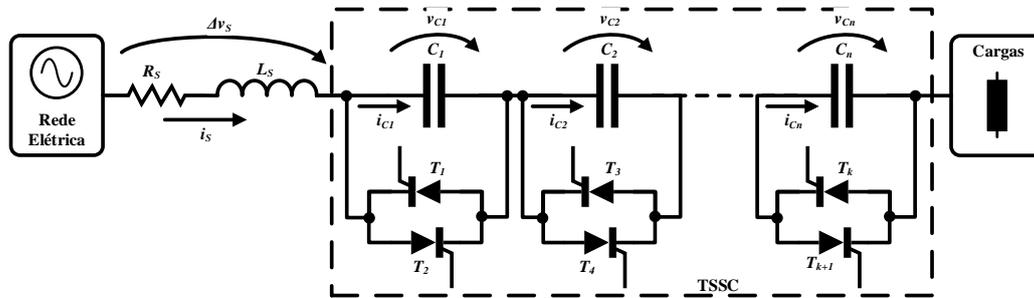


Figura 3.5 - Esquema elétrico de um condensador série comutado a tiristor.

O método de funcionamento de um TSSC é relativamente simples, baseando-se na conexão ou desconexão dos tiristores do circuito de *bypass* permitem a remoção ou introdução do respetivo condensador e, conseqüentemente, a variação da capacidade equivalente. A conexão do elemento capacitivo na rede elétrica acontece quando a corrente passa por zero, desligando os tiristores do circuito de *bypass*. Por outro lado, é aconselhável que os tiristores só entrem em condução quando a tensão no condensador passar por zero, pois tal previne o aparecimento de correntes elevadas no circuito de *bypass* [59].

3.3 Restaurador Dinâmico de Tensão

Um restaurador dinâmico de tensão, também denominado por *Dynamic Voltage Restorer (DVR)* na literatura, é um equipamento colocado em série com as linhas de distribuição de energia com o intuito de manter o valor eficaz da tensão nas cargas (i.e. consumidores) constante, independentemente dos problemas inerentes à tensão de alimentação no ponto de produção de energia [55]. Um desses problemas, e possivelmente o mais comum, relaciona-se com eventos de cavas de tensão. Como exposto na secção 1.1.2, implicam uma diminuição do valor RMS da tensão da rede elétrica entre 10% e 90%, com intervalos de tempo entre 10 ms até 1 minuto, sendo portanto um dos principais problemas para a paragem de equipamentos sensíveis [60]. Assim sendo, o DVR entra em funcionamento assim que o distúrbio seja detetado, protegendo a carga de sobretensões, subtensões e desequilíbrios de tensão. Adicionalmente, este equipamento também pode compensar harmónicos [61].

Relativamente à estrutura de um DVR, existem várias topologias deste mesmo equipamento, mas todas elas congregam um conversor CC-CA, um elemento armazenador de energia no barramento CC, um circuito de filtragem de ruído proveniente das comutações e, opcionalmente, um transformador de acoplamento à rede elétrica [62], [63]. Adicionalmente, pode ser utilizado um conversor CA-CC ou uma fonte de energia externa para regular a tensão do barramento CC [64]. Além disso, devido às particularidades inerentes dos conversores CC-CA multinível apresentadas, estes têm vindo a ser motivo de investigação no desenvolvimento deste equipamento [65], [66]. Deste modo, é apresentado na Figura 3.6 o circuito elétrico de um DVR com um conversor CA-CC paralelo utilizando transformadores elevadores de acoplamento à rede elétrica.

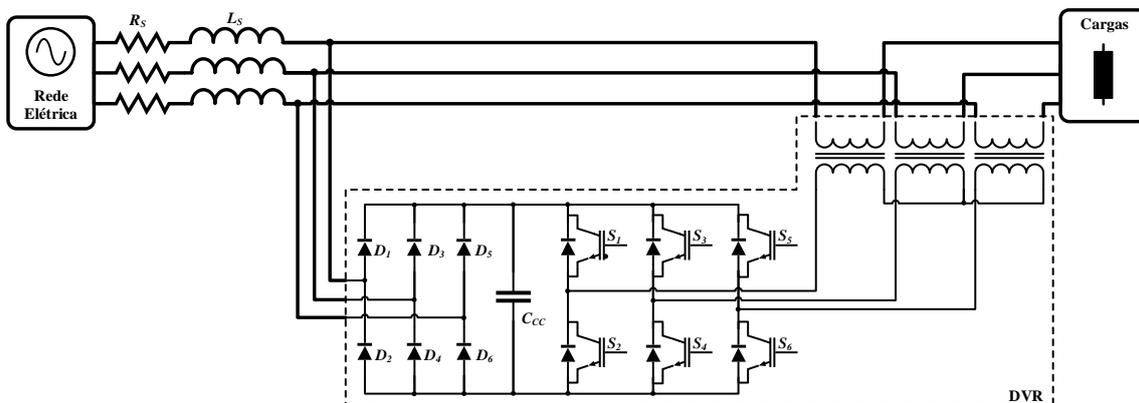


Figura 3.6 - Esquema elétrico de um restaurador dinâmico de tensão.

Posto isto, como mencionado anteriormente, o DVR é um equipamento que só entra em funcionamento assim que um problema na rede elétrica seja detetado. Como tal, possui dois modos de operação: *standby* e *boost*. Relativamente ao primeiro, trata-se do modo de operação no qual este equipamento permanece mais tempo, sendo tal conseguido através da habilitação dos semicondutores superiores (S_1, S_3, S_5) ou inferiores (S_2, S_4, S_6) do conversor CC-CA. Por outro lado, no modo *boost*, o DVR injeta a tensão de compensação necessária de forma a mitigar o distúrbio na rede elétrica. Deste modo, os modos de operação do DVR tornam-no num equipamento de elevada eficiência, sendo por isso considerado um equipamento de eleição para mitigar distúrbios no sistema de transmissão de energia [60].

3.4 Fontes de Alimentação Ininterrupta

Com a expansão empresarial e o respetivo aumento do processo industrial, o fornecimento de energia sem interrupções torna-se essencial para evitar paragens e, conseqüente, enormes prejuízos monetários para as empresas. Deste modo, a partir de 1970, com a evolução da eletrónica de potência tornou-se possível a produção em massa de fontes de energia ininterrupta (*Uninterruptible Power Supply* - UPS), equipamentos estes que são colocados

em série e permitem a alimentação de cargas sensíveis independentemente de possíveis problemas na rede elétrica [67].

Posto isto, existem diversas topologias de UPSs caracterizadas de acordo com os elementos internos às mesmas. Como tal, uma UPS pode ser dividida em três categorias: rotativa, estática ou híbrida, sendo que esta última concilia as características das duas anteriores [67]–[69]. A UPS rotativa foi das primeiras a surgir no mercado e envolvia componentes rotativos como motores, geradores e volantes de inércia. Têm por base o método de funcionamento e a fiabilidade dos geradores de emergência, associado à capacidade de fornecer energia durante interrupções de longa duração. Contudo, devido aos elementos rotativos é necessário realizar manutenções periódicas às mesmas [70]. No entanto, o desenvolvimento de UPS estáticas foi despoletado com o aparecimento de tirístores mais rápidos no início de 1970 dada a ausência de partes móveis nesta gama de equipamentos. Todavia, as primeiras UPS estáticas eram volumosas, pesadas e pouco eficientes em comparação com as UPS rotativas. Apesar disso, a contínua evolução da eletrónica de potência permitiu melhorias nestes sistemas tornando-as mais leves, compactas e baratas [69].

Com o enorme desenvolvimento de UPSs estáticas por diversos fabricantes, adveio a falta de precisão em relação à terminologia como principal consequência, resultando numa diversidade de modelos e num processo de escolha confuso e complexo. Deste modo, em resposta à falta de coerência, a Comissão Eletrotécnica Internacional (*International Electrotechnical Commission* – IEC) estabeleceu normas para definir as diversas categorias de UPS e o método para averiguar a sua performance. Tal resultou na norma IEC 62040-3 publicada em fevereiro de 1999, sendo que o CENELEC a adotou como ENV 500091-3. Em conjunto, ambas definem três tipos de topologias normalizadas de UPS: *offline*, *line-interactive* e *online*, sendo cada uma detalhada nas secções seguintes [67].

3.4.1 UPS *Offline*

A UPS *offline*, ou *passive standby* UPS como é também conhecida, representa a topologia mais simples e económica, o que faz dela a mais comum de entre as três. A nível estrutural, este tipo de UPS é composto por um conversor CA-CC, um banco de baterias de *backup*, um conversor CC-CA e um comutador. A Figura 3.7 representa o diagrama de blocos simplificado de uma UPS *offline*. Em termos de funcionamento, a norma IEC 62040-3 estipula dois métodos de operação para este tipo de UPS, nomeadamente, normal e *backup*. No modo de operação normal, a tensão de alimentação é fornecida às cargas diretamente pela rede elétrica. Simultaneamente, o conversor CA-CC efetua o carregamento das baterias e o conversor CC-CA encontra-se inativo. No momento de uma falha na rede elétrica, o

comutador alterna de posição desligando as cargas da rede elétrica e ligando-as ao conversor CC-CA. Este entra de imediato em funcionamento iniciando o modo de operação de *backup*.

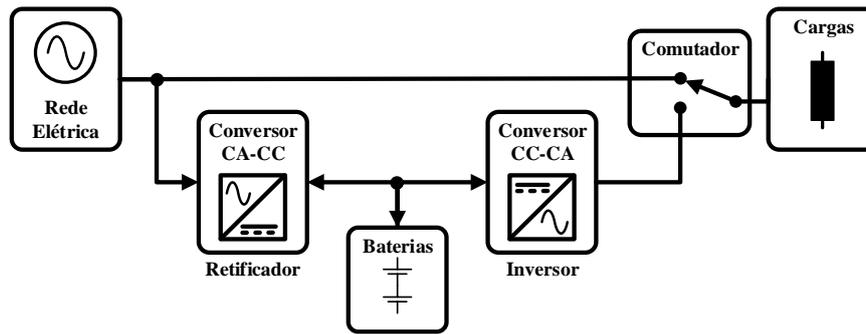


Figura 3.7 - Diagrama de blocos de uma UPS *offline*.

Apesar das várias vantagens apresentadas anteriormente, uma UPS *offline* não possui isolamento entre as cargas e a rede elétrica, nem regulação da tensão e frequência de saída e possui longos tempos de troca de estado. Contudo, esse tempo (inferior a 10 ms) é aceitável para certas aplicações como um computador pessoal, mas incompatível para grupos de cargas sensíveis, nomeadamente, centros de dados ou centrais telefónicas. Como tal, estas desvantagens limitam a gama de aplicações para potências inferiores a 2 kVA [67].

3.4.2 UPS *Line-Interactive*

A UPS do tipo *line-interactive* representam a combinação de características das UPSs *offline* e *online*. Na sua estrutura interna, estas são compostas por um conversor CA-CA, um banco de baterias e um autotransformador. Em específico, este último permite manter a tensão na carga próxima do valor nominal através da comutação de *taps* no aquando de variações do valor eficaz da tensão da rede elétrica. Na Figura 3.8 encontra-se representado o diagrama de blocos de uma UPS *line-interactive*.

Similarmente à topologia de UPS anterior, esta também possui dois estados de operação, nomeadamente normal e *backup*. No primeiro modo, as cargas são alimentadas através da rede elétrica e o carregamento do banco de baterias é realizado através do conversor CA-CC, nomeadamente, através dos díodos em antiparalelo presentes nos semicondutores de potência. Por outro lado, no momento de falha de energia na rede elétrica, a UPS *line-interactive* entra no modo *backup*, sendo as baterias e o conversor CA-CC a providenciar o contínuo fluxo de energia às cargas [67]. Deste modo, este tipo de UPS apresenta como vantagem o facto de, para uma mesma potência, possuir um preço mais reduzido do que a UPS *online*. Contudo, não contém isolamento entre as cargas e a rede elétrica, nem boa proteção contra picos de tensão e tem baixa eficiência quando opera com cargas não-lineares.

Além disso, não permite a regulação da frequência de saída [71]. Como tal, a UPS *line-interactive* não é adequada para cargas sensíveis de média e alta potência [67].

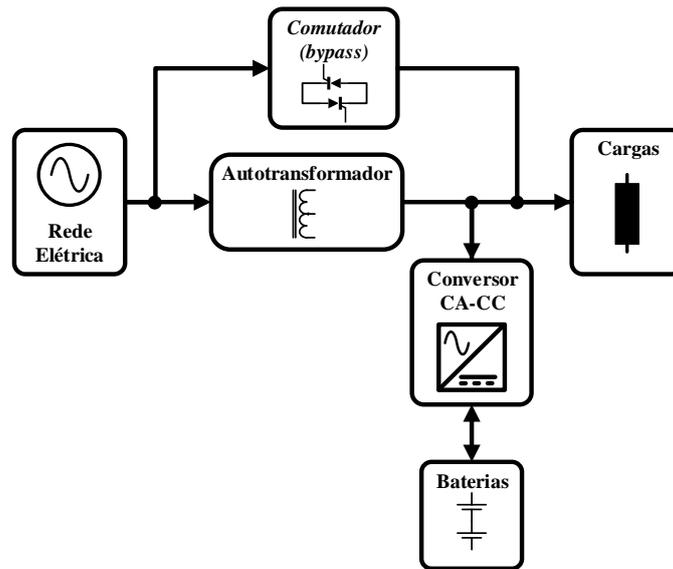


Figura 3.8 - Diagrama de blocos de uma UPS *line-interactive*.

Por parte de diversos grupos de pesquisa e desenvolvimento foi proposta uma nova topologia de UPS *line-interactive* mais eficiente e confiável com características da UPS *online* associada a um custo reduzido, intitulada de *delta conversion* ou *series-parallel* [71]. Esta topologia encontra-se ilustrada na Figura 3.9 através do diagrama de blocos dos elementos constituintes do sistema.

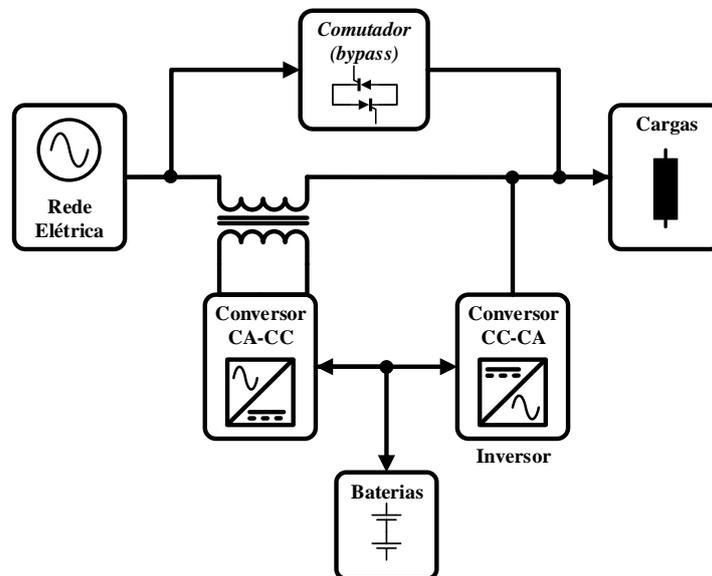


Figura 3.9 - Diagrama de blocos de uma UPS *line interactive* do tipo *delta conversion*.

Como pode ser constatado, esta topologia é composta por dois conversores conectados a um banco de baterias comum a ambos. O conversor CA-CC (conversor delta) encontra-se ligado em série com a rede elétrica por meio de um transformador, sendo este tipicamente dimensionado para 20 % da potência de saída da UPS. Por outro lado, o conversor CC-CA (conversor principal) é dimensionado para 100 % da potência de saída da UPS, funcionando

do mesmo modo que na topologia anterior. Em termos de controlo, o conversor principal é responsável por manter a tensão estável aos terminais das cargas tanto no modo normal como *backup*, assim como no momento de transição entre ambos os estados. Por outro lado, o conversor delta fica encarregue de corrigir o fator potência da instalação de modo a que a corrente e a tensão da rede elétrica estejam em fase [72].

3.4.3 UPS *Online*

A UPS *online*, também conhecida por *double-conversion* UPS ou *inverter-preferred* UPS, envolve a conversão contínua de energia, pelo que este tipo de UPS é colocado em série com a rede elétrica e as cargas, sendo que estas últimas são alimentadas através do conversor CC-CA da UPS. Relativamente à estrutura interna, é composta por um conversor CA-CC, um banco de baterias, um conversor CC-CA e um circuito de *bypass*. O diagrama de blocos presente na Figura 3.10 retrata a composição interna de uma UPS *online*.

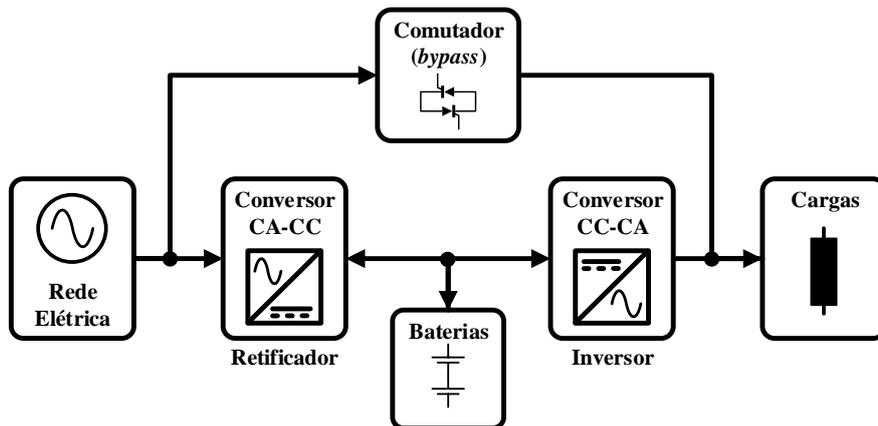


Figura 3.10 - Diagrama de blocos de uma UPS *online*.

Similarmente às topologias anteriores, esta categoria de UPS possui dois modos de funcionamento: normal e *backup*. No modo normal, a tensão da rede elétrica é retificada através do conversor CA-CC para efetuar o carregamento das baterias e providenciar energia ao conversor CC-CA para sintetizar a tensão a fornecer às cargas. Já no modo *backup*, a energia flui das baterias para o conversor CC-CA, permitindo a este o contínuo fluxo de energia para as cargas. Deste modo, esta topologia de UPS apresenta várias vantagens em relação às anteriores, nomeadamente, o elevado isolamento entre as cargas e a rede elétrica, eliminando as flutuações existentes no sistema de transmissão. Além disso, permite a regulação da frequência de saída possibilitando que a UPS opere como um variador de frequência. Contudo, o facto de possuir dois conversores em funcionamento contínuo traduz-se em elevadas perdas. Adicionalmente, o custo associado a este tipo de UPS é elevado, pelo que tal investimento é normalmente exclusivo para aplicações de alta potência (superiores a 10 kVA) [67].

3.5 Filtro Ativo Série Monofásico

O FAS é um equipamento de eletrónica de potência que atua de forma semelhante a uma fonte de tensão ideal, fornecendo uma tensão em oposição de fase ao conteúdo harmónico da tensão da rede de alimentação, permitindo que a forma de onda da tensão seja sinusoidal. Com este princípio em mente, em 1970, com o evolução dos primeiros métodos de mitigação de problemas de QEE, foi possível focar no desenvolvimento dos primeiros FAs, surgindo uma topologia convencional de FAS monofásico com transformador de acoplamento entre o FA e a rede elétrica, e uma fonte de energia externa no barramento CC como ilustrado na Figura 3.11. Estes aspetos fornecem isolamento galvânico entre o FA e a rede elétrica, bem como podem prevenir subtensões e sobretensões de longa duração devido à fonte de energia externa. No entanto, o facto de o FAS injetar harmónicos de tensão através do transformador de acoplamento causa elevadas perdas e sobreaquecimento, reduzindo o seu ciclo de vida. Além disso, o uso de transformadores e fontes de energia externas tornam este equipamento mais volumoso e caro, o que nem sempre é um ponto a favor na aquisição deste tipo de equipamento [73], [74].

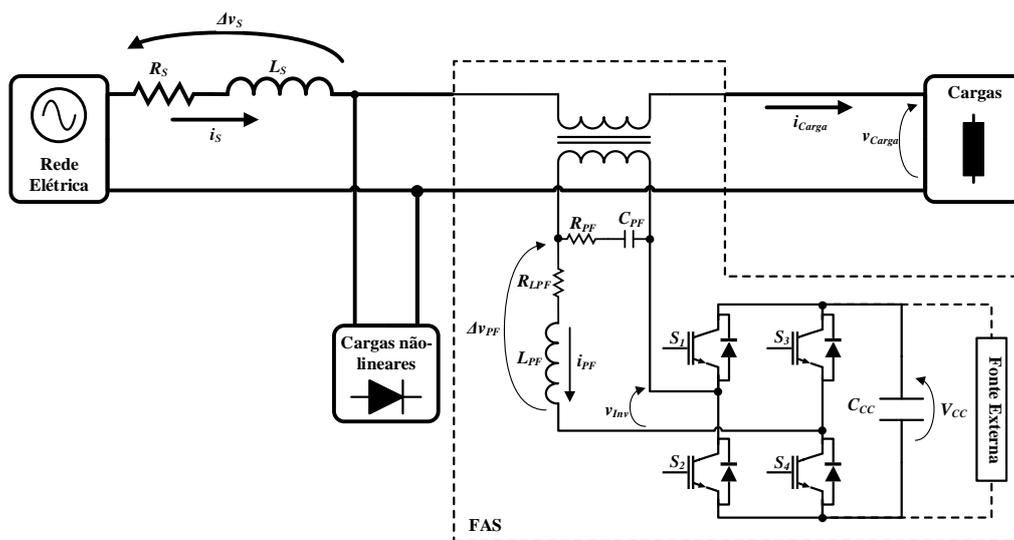


Figura 3.11 - Topologia tradicional de um filtro ativo série monofásico.

Devido a estas razões previamente expostas, a topologia de FAS monofásico a desenvolver no âmbito desta dissertação é apresentada na Figura 3.12. Como pode ser constatado, tal abordagem não requer os componentes extras e caros presentes na topologia da Figura 3.11, sendo portanto mais eficiente e compacta [75]. Por outro lado, o controlo do sistema necessita de ser mais sofisticado. Contudo, devido aos avanços tecnológicos dos microcontroladores, tendo estes uma elevada capacidade de processamento, mais memória e periféricos, a implementação dos algoritmos de controlo não aparece como um obstáculo. Para isso, seria necessário um método de sincronismo para manter a tensão de referência imune às distorções da rede de alimentação e regular o barramento CC para uma tensão de referência. Associando

isso com as informações adquiridas dos sensores do sistema, é possível controlar o FAS para mitigar os problemas de QEE e fornecer energia às cargas com uma tensão sinusoidal.

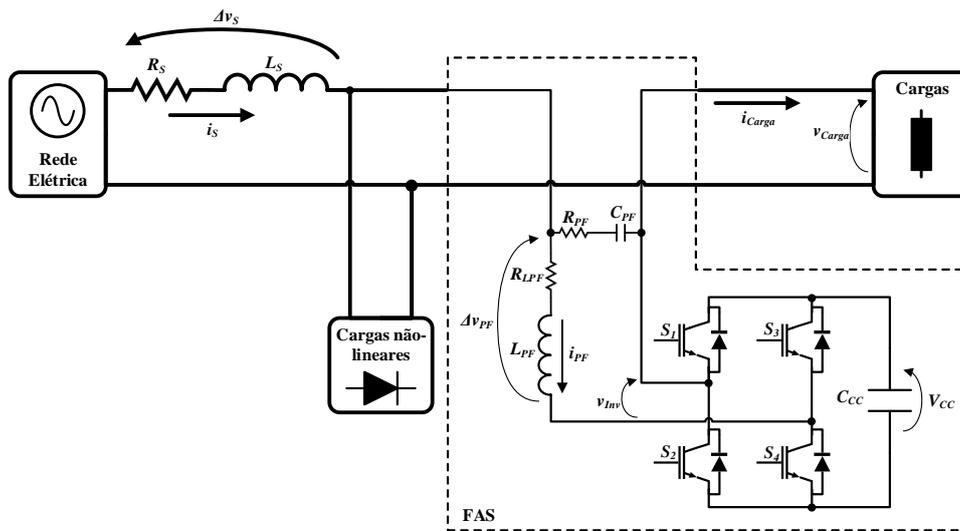


Figura 3.12 - Topologia proposta de um filtro ativo série monofásico.

Como pode ser visualizado na Figura 3.12, a topologia proposta para o FAS monofásico é constituída por um conversor CC-CA sem transformador de acoplamento e fonte de energia externa.

3.6 Métodos de Sincronização com a Rede Elétrica

Uma das partes essenciais do sistema de controlo de conversores ligados à rede elétrica relaciona-se com a sintetização de um sinal de referência que permita a sincronização do sistema com a rede elétrica. Deste modo, um método de sincronização rápido e fiável proporciona a geração de melhor sinais de referência e, conseqüentemente, melhor eficiência da malha de controlo [76]. Posto isto, na Figura 3.13 são apresentados alguns dos vários algoritmos existentes para a sincronização com a rede elétrica.

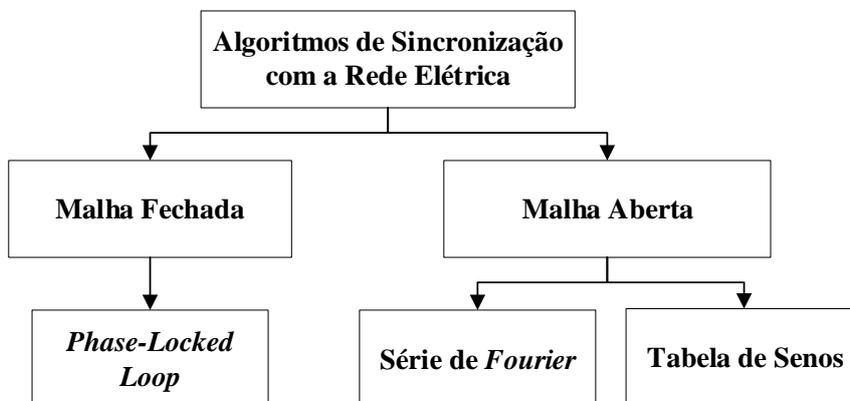


Figura 3.13 – Esquema de alguns métodos de sincronização com a rede elétrica.

Podem ser classificadas de acordo com o tipo de controlo, nomeadamente, malha fechada e malha aberta. No primeiro caso, existe *feedback* do sinal de saída para a entrada, sendo por

isso o algoritmo de *Phase-Locked Loop* (PLL) o exemplo de um deles. Por outro lado, nos algoritmos de malha aberta, não existe retorno de informação novamente para a entrada. A síntese de um sinal de referência recorrendo a uma tabela de senos e a série de *Fourier* enquadram-se nessa categoria [76], [77]. Nas secções seguintes, estes três métodos serão detalhados e o método de funcionamento de cada um será explicado.

3.6.1 Tabela de Senos

A estratégia mais simples para gerar um sinal de referência sincronizado com a rede elétrica relaciona-se com o uso de uma tabela de senos, isto é, um *array* de valores instantâneos da tensão de referência com um intervalo de tempo específico. O diagrama de blocos apresentado na Figura 3.14 representa a estrutura inerente a este algoritmo.

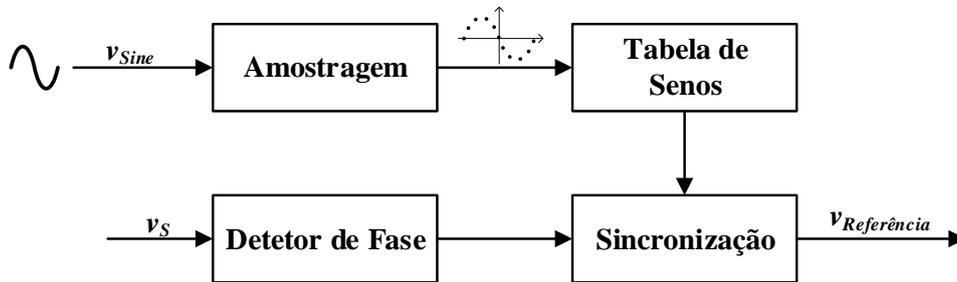


Figura 3.14 - Diagrama de blocos do algoritmo de sincronização da tabela de senos.

O sinal de referência, v_{Sine} , é considerado como um sinal sinusoidal sem conteúdo harmónico, pelo que se pode ser expresso pela equação (3.1), sendo que o desfasamento horizontal, θ_0 , foi desprezado.

$$v_{Sine} = A \sin(\omega_0 t + \theta_0) \quad (3.1)$$

Visto que se trata de um sinal alternado, a frequência angular associada a este, ω_0 , é definida consoante a frequência, f_0 , pretendida para o sinal como apresentado na equação (3.2). Deste modo, tendo em consideração a frequência pretendida e a frequência de amostragem do sistema, f_s , pode calcular-se o número de pontos, n_{Points} , necessários equidistantes por um intervalo de tempo específico, T_s , como demonstrado pelas equações (3.3) e (3.4), respetivamente.

$$\omega_0 = 2\pi f_0 \quad (3.2)$$

$$n_{points} = \frac{f_s}{f_0} \quad (3.3)$$

$$T_s = \frac{1}{f_s} \quad (3.4)$$

No entanto, esta tabela necessita de ser sincronizada com a rede elétrica, sendo, portanto, necessária uma deteção de passagem por zero da tensão da rede elétrica. Este processo é simples, uma vez que as tensões costumam apresentar a mesma forma de onda sem grandes

variações, particularmente nos pontos de passagem por zero [78]. Contudo, este sistema é sensível a variações de frequência do sinal de entrada, pois tal provoca que a tensão de referência produzida seja distorcida. Assim, é mandatório que o sinal de entrada seja estável, pelo que, no caso da rede elétrica, a cláusula da norma EN 50160 relativa à frequência fundamental apresentada Tabela 1.1 seja cumprida.

3.6.2 Série de *Fourier*

Um dos algoritmos de sincronização com a rede elétrica em malha aberta é baseado na série de *Fourier*. O propósito desta teoria relaciona-se com a desvantagem de os sistemas de sincronização em malha fechada necessitarem de ajuste de ganhos do controlador proporcional integral (PI). Tal processo tem implicações diretas na performance e na qualidade do sistema de sincronização, isto é, ganhos altos permitem com que o sistema responda mais rápido, todavia é introduzido ruído e harmónicos na tensão de saída. Por outro lado, ganhos baixos permitem maior estabilidade do sistema e corrigem os problemas de harmónicos e ruído, mas a resposta a variações de tensão é lenta. Por isso, é necessário que exista um compromisso entre ambos os casos, o que pode tornar o ajuste de ganhos numa tarefa árdua [76]. Deste modo, o algoritmo de sincronização com base na série do *Fourier* é proposto para colmatar tais desvantagens. O diagrama de blocos do sistema encontra-se apresentado na Figura 3.15.

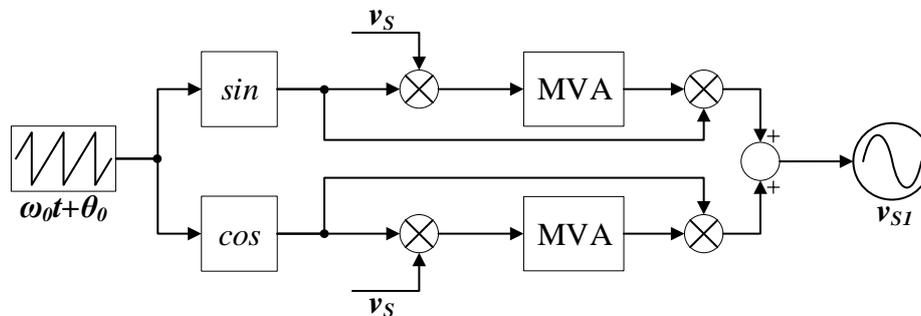


Figura 3.15 - Diagrama de blocos do algoritmo de sincronização com recurso à análise de *Fourier*.

Tendo em consideração que a tensão da rede elétrica, v_s , contém elevado conteúdo harmónico, da qual se pretende extrair a componente fundamental, v_{s1} , podendo esta ser considerado como um fasor de frequência conhecida (ω_0). Por sua vez, este pode ser expresso pela soma de dois fasores com a mesma frequência expressos no eixo dos XX e dos YY. Com isto, ambos os eixos são gerados através das funções seno e cosseno a um sinal dente de serra entre $-\pi$ e π de igual frequência à da componente fundamental (ω_0). Ambos os sinais são multiplicados pela tensão da rede elétrica, v_s , e posteriormente filtrados através de um

algoritmo de média deslizante onde a componente harmónica é removida. No final, ambos os sinais são somados permitindo a obtenção do sinal fundamental da rede eléctrica [76].

3.6.3 *Phase-Locked Loop*

Um dos circuitos vulgarmente utilizados para a sincronização de conversores de potência com a rede eléctrica denomina-se por *Phase-Locked Loop* (PLL). A ideia inerente a este sistema congrega a habilidade de gerar um sinal sinusoidal, cuja fase se encontra em coerência com a componente fundamental do sinal de entrada, com uma estrutura simples e uma performance robusta. A constituição interna deste sistema de sincronização integra três componentes: um detetor de fase (*Phase Detector* – PD), um filtro passa-baixo (*Loop Filter* - LF) e um oscilador controlado por tensão (*Voltage Controller Oscillator* – VCO) [79]. A interligação entre estes componentes encontra-se ilustrada de forma genérica na Figura 3.16.

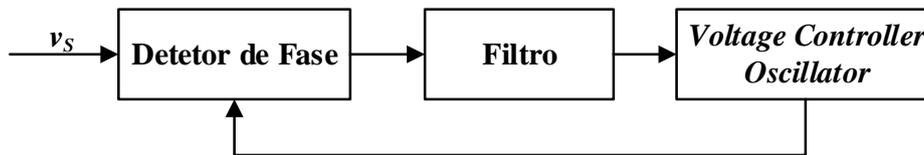


Figura 3.16 - Diagrama de blocos do algoritmo de sincronização da PLL monofásica.

O método de funcionamento baseia-se na constante comparação de dois sinais. Deste modo, inicialmente o bloco PD mede a diferença entre a fase do sinal de entrada e o sinal de saída gerado pelo VCO. De seguida, essa diferença é filtrada pelo LF gerando um sinal de erro que será propagado até ao bloco de VCO, no qual é gerado o novo sinal de saída [79].

Deste modo, as várias vantagens deste sistema de sincronização induziram o surgimento de novas topologias, nomeadamente, a possibilidade de obter não só a fase, mas também a amplitude do sinal de entrada. Assim sendo, este particular aspeto tornou-se relevante na escolha do método de sincronização com a rede eléctrica, pelo que este se encontra detalhado na secção 4.3.

3.7 Teorias de Controlo para Determinação das Tensões de Compensação

O método de funcionamento de um FAS consiste em fazer com que as cargas sejam alimentadas com uma forma de onda sinusoidal com baixo teor harmónico. Para isto, o FAS injeta os harmónicos da rede eléctrica em oposição de fase, anulando-os do lado da carga.

Deste modo, para a sintetização da tensão de compensação do FAS, o sistema de controlo necessita da aquisição de variáveis do sistema eléctrico, nomeadamente, a tensão da rede

elétrica e a tensão produzida pelo filtro ativo série, no caso específico desta dissertação. Assim, a teoria de controlo associada com o método de sincronização com a rede elétrica (secção 3.6) permite a obtenção de um sinal de referência, que a tensão de compensação do filtro ativo terá de acompanhar. Com isto, torna-se possível que a tensão aos terminais da carga seja sinusoidal.

Posto isto, nas seguintes secções são apresentadas algumas teorias de controlo aplicadas a filtros ativos série para a determinação das tensões de compensação.

3.7.1 Controlo por PLL

A geração de um sinal de compensação por parte do FAS para a correção da tensão da rede elétrica aplicada às cargas pode ser conseguido através da constante comparação entre o sinal da rede elétrica e um sinal de referência, podendo esta último ser conseguido através de métodos de sincronização como os expostos na secção 3.6. Contudo, é desejável que a sintetização da tensão de compensação seja adaptada à frequência da rede elétrica, pelo que o uso de algoritmos de sincronização como a tabela de senos não permite tal adaptação de forma dinâmica. Como tal, o uso de um algoritmo PLL, tal como o apresentado na Figura 3.17, permite obter ambas as características previamente mencionadas.

Deste modo, o método de sincronismo gera um sinal sinusoidal de amplitude unitária, pll , em fase e com a mesma frequência da componente fundamental da rede elétrica, sendo posteriormente multiplicado pela amplitude da tensão nominal, \hat{A} . O sinal de compensação, v_{Comp} , é gerado pela comparação do sinal entre o sinal de referência e a tensão da rede elétrica. Devido à simplicidade exposta, esta teoria foi a escolhida e aplicada no âmbito desta dissertação.

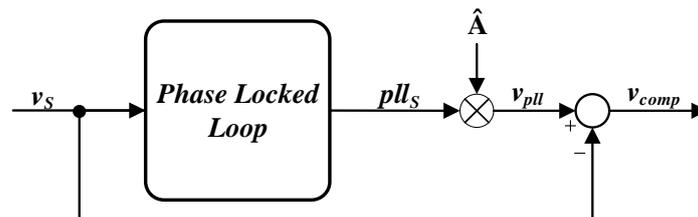


Figura 3.17 - Teoria de controlo baseada no algoritmo de sincronização PLL.

3.7.2 Teoria da Potência Instantânea

A teoria da potência instantânea, também denominada por teoria $p-q$, foi proposta por *Akagi et al* em 1983 para o controlo de FAs [80], [81]. Inicialmente, esta teoria era somente aplicável a sistemas trifásico a três fios, sendo mais tarde adaptada por *Watanabe et al* para sistemas trifásico a quatro fios [82]. O princípio de funcionamento desta teoria baseia-se na

transformação das tensões da rede elétrica, v_a , v_b , v_c , e nas correntes na carga, i_a , i_b , i_c , do sistema de coordenadas a - b - c para o referencial α - β - 0 por meio da transformada de Clarke, apresentadas em (3.5) e (3.6) para as tensões da rede elétrica e correntes na carga, respetivamente.

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.5)$$

$$\begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (3.6)$$

Uma vez determinadas as grandezas instantâneas de corrente e tensão no sistema, procede-se ao cálculo da potência real instantânea, p , e da potência imaginária instantânea, q , e da potência de sequência zero, p_0 , de acordo com as equações (3.7), (3.8) e (3.9), respetivamente.

$$p = v_\alpha i_\alpha + v_\beta i_\beta \quad (3.7)$$

$$q = v_\beta i_\alpha - v_\alpha i_\beta \quad (3.8)$$

$$p_0 = v_0 i_0 \quad (3.9)$$

Para além disso, cada uma das componentes de potência referidas pode ser decomposta no seu valor médio e no seu valor alternado, retratando a realidade e simplificando o entendimento desta teoria. As equações (3.10), (3.11) e (3.12) retratam esse mesmo conceito.

$$p = \bar{p} + \tilde{p} \quad (3.10)$$

$$q = \bar{q} + \tilde{q} \quad (3.11)$$

$$p_0 = \bar{p}_0 + \tilde{p}_0 \quad (3.12)$$

Assim, as componentes de potência apresentadas representam as diversas trocas de energia existentes num sistema trifásico. Deste modo, o valor médio da potência real instantânea, \bar{p} , corresponde à energia transferida da rede elétrica para as cargas pelas três fases, enquanto que o valor alternado da potência real instantânea, \tilde{p} , corresponde à troca bidirecional de energia entre a rede elétrica e as cargas através do sistema trifásico. Seguidamente, a potência imaginária real instantânea representa a troca de energia indesejáveis entre as três fases do sistema elétrico. Relativamente à potência instantânea de sequência, p_0 , relaciona-se com as trocas de energia por meio do condutor de neutro em sistemas trifásicos a quatro fios. Assim, o valor médio da potência instantânea de sequência zero, \bar{p}_0 , corresponde à transferência de

energia da rede elétrica para a carga, enquanto que o valor alternado da potência instantânea de sequência zero, \tilde{p}_0 , retrata a troca de energia bidirecional entre a rede elétrica e as cargas. A elevada importância do cálculo destas potências instantâneas relaciona-se com o facto de permitir estipular uma relação direta com as correntes de referência nas coordenadas α - β -0, como demonstrado nas equações (3.13) e (3.14).

$$\begin{bmatrix} i_{\alpha}^* \\ i_{\beta}^* \end{bmatrix} = \frac{1}{v_{\alpha}^2 + v_{\beta}^2} \begin{bmatrix} v_{\alpha} & v_{\beta} \\ v_{\beta} & -v_{\alpha} \end{bmatrix} \begin{bmatrix} \tilde{p} - \bar{p}_0 \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (3.13)$$

$$i_0^* = \frac{1}{\sqrt{3}} (i_a + i_b + i_c) \quad (3.14)$$

Seguidamente, essas correntes nas coordenadas α - β -0 são convertidas para as coordenadas a - b - c através da transformada inversa de *Clarke* exposta na equação (3.15). Além disso, para sistemas trifásicos a quatro fios, a corrente de compensação do neutro é calculada de acordo com a equação (3.16).

$$\begin{bmatrix} i_a^* \\ i_b^* \\ i_c^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & 1 & 0 \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{\alpha}^* \\ i_{\beta}^* \\ i_0^* \end{bmatrix} \quad (3.15)$$

$$i_n^* = -(i_a + i_b + i_c) \quad (3.16)$$

Contudo, na presença de um sistema elétrico onde as tensões não são sinusoidais e equilibradas, a performance da teoria p - q é afetada, o que se traduz na impraticabilidade e no incorreto cálculo das potências instantâneas. Deste modo, é apresentado em [83], [84] uma estratégia baseada na teoria p - q para o controlo de um filtro ativo série trifásico. A malha de controlo envolve a deteção da componente fundamental da tensão do sistema elétrico e a determinação das tensões de compensação para mitigar os harmónicos da rede elétrica e providenciar tensões sinusoidais equilibradas às cargas.

O processo de funcionamento inicia-se com a conversão das tensões do sistema nas coordenadas a - b - c para α - β -0 através da transformada de *Clarke* expressa na equação (3.5). Desta transformação surgem os sinais v_{α} e v_{β} que são utilizados num circuito de PLL para a geração de dois sinais, pll_{α} e pll_{β} , de amplitude unitária e em fase com v_{α} e v_{β} . Posto isto, o cálculo das amplitudes de v_{α} e v_{β} é efetuado através da computação da potência instantânea fictícia, p_{fict} , presente na equação (3.17).

$$p_{fict} = v_{\alpha} pll_{\alpha} + v_{\beta} pll_{\beta} \quad (3.17)$$

Similarmente ao apresentado referente à teoria p-q original, também esta potência instantânea pode ser decomposta na componente média, \bar{p}_{fict} , e alternada, \tilde{p}_{fict} , como expresso na equação (3.18).

$$p_{fict} = \bar{p}_{fict} + \tilde{p}_{fict} \quad (3.18)$$

A componente alternada, \tilde{p}_{fict} , representa a distorção harmónica presente nas tensões da rede elétrica enquanto que a componente contínua, \bar{p}_{fict} , corresponde ao valor médio instantâneo da amplitude da componente fundamental das tensões da rede elétrica, sendo este último obtido através de um filtro passa-baixo digital. Posto isto, torna-se possível obter os valores instantâneos da componente fundamental das tensões v_α e v_β através da expressão (3.19) representados por $v_{\alpha f}$ e $v_{\beta f}$.

$$\begin{bmatrix} v_{\alpha f} \\ v_{\beta f} \end{bmatrix} = \frac{1}{pll_\alpha^2 + pll_\beta^2} \begin{bmatrix} pll_\alpha & pll_\beta \\ pll_\beta & -pll_\alpha \end{bmatrix} \begin{bmatrix} \bar{p}_{fict} \\ 0 \end{bmatrix} \quad (3.19)$$

Comparando-se os valores instantâneos das tensões, v_α e v_β , com a componente fundamental dos mesmos, $v_{\alpha f}$ e $v_{\beta f}$, obtêm-se as tensões de compensação, v_α^* e v_β^* , no sistema α - β -0. Tal é demonstrado pela equação (3.20).

$$\begin{bmatrix} v_\alpha^* \\ v_\beta^* \end{bmatrix} = \begin{bmatrix} v_{\alpha f} - v_\alpha \\ v_{\beta f} - v_\beta \end{bmatrix} \quad (3.20)$$

Por último, aplicando-se a transformada inversa de *Clarke* apresentada na equação (3.21) consegue-se obter as tensões de compensação no referencial a - b - c a serem sintetizadas pelo filtro ativo série, de modo a permitir a operação das cargas com tensões sinusoidais equilibradas.

$$\begin{bmatrix} v_a^* \\ v_b^* \\ v_c^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_\alpha^* \\ v_\beta^* \end{bmatrix} \quad (3.21)$$

No entanto, a aplicação deste método específico só pode ser realizada a sistemas trifásicos. Contudo, a implementação em sistemas monofásicos pode ser conseguida através da alteração de alguns aspetos nesta teoria de controlo, isto é, recorrendo à utilização de tensões fictícias para simular um sistema trifásico. Deste modo, a tensão da fase do sistema monofásico é replicada em duas e consequentemente, aplicado um desfasamento de $+120^\circ$ e $+240^\circ$, respetivamente. Desta forma, é criado um sistema trifásico fictício em que a tensão do sistema monofásico encontra-se na fase a e os restantes sinais desfasados como as fases b e c , respetivamente.

Relativamente às tensões de compensação a serem sintetizadas pelo filtro ativo série monofásico, apenas a tensão de compensação da fase a , v_a^* , será sintetizada, filtrando os harmónicos do sistema monofásico e permitindo que a carga opere com tensão sinusoidal.

3.8 Conclusão

Neste capítulo foram abordados os condicionadores ativos do tipo série e respetivos elementos essenciais ao sistema de controlo. Começou por mencionar-se as diversas topologias de condicionadores ativos de potência, iniciando-se por aqueles mais adequados para os sistemas de transmissão de energia. Assim, descreveu-se o método de funcionamento dos compensadores estáticos série, nomeadamente, o TCSC e o TSSC. O TCSC permite o ajuste da impedância de linha do sistema através da variação do ângulo de disparo, permitindo que este opere numa região indutiva, capacitiva ou ressonante. Por outro lado, o TSSC possui uma estrutura modular que permite a compensação da impedância de linha por patamares.

Seguidamente, foram descritos alguns equipamentos de eletrónica de potência de comutação forçada capazes de mitigar os problemas de QEE mais comuns e também especificados na secção 1.1. Assim sendo, foram descritos o funcionamento e a estrutura de um DVR. Trata-se de um equipamento de elevada eficiência que opera unicamente quando é detetada uma variação no valor nominal da tensão no sistema elétrico trifásico. Posteriormente, foram descritas as UPS e o FAS monofásico. Relativamente às UPS, foram introduzidas as rotativas, estáticas e híbridas, pelo que estas últimas representam a junção das duas anteriores. O foco principal reverteu sobre as UPS estáticas devido à sua enorme aplicabilidade em vários setores associado a um custo acessível. Foi também descrita e analisada a forma como as UPS são classificadas de acordo com a norma IEC 62040-3 nomeadamente as três categorias: *offline*, *line-interactive* e *online*.

Após a descrição das fontes de energia ininterrupta, apresentou-se o FAS monofásico, sendo inicialmente abordada a topologia tradicional com o transformador de acoplamento à rede elétrica e a fonte de energia externa no barramento CC. Expuseram-se as vantagens e desvantagens desta topologia, sendo estas últimas colmatadas pelo FAS proposto nesta dissertação.

Uma vez finalizado o estudo dos condicionadores ativos do tipo série, procedeu-se ao estudo dos elementos essenciais deste tipo de equipamentos, nomeadamente, os métodos de sincronização com a rede elétrica e as teorias de controlo. Relativamente aos métodos de sincronização, foram discriminados os seguintes: a tabela de senos, a série de *Fourier* e a PLL. Os dois primeiros representam métodos em malha aberta enquanto que a PLL

representa um método em malha fechada, tendo isto sido a escolha devido às sua estabilidade e rápida adaptação a distúrbios na rede elétrica.

Por último, foram analisadas algumas teorias de controlo para o cálculo das tensões de compensação. Inicialmente foi analisado uma teoria que assentava na comparação direta de tensões, isto é, na comparação do sinal de referência gerado pela PLL com a tensão da rede elétrica. Adicionalmente, foi também explicitada a teoria da potência instantânea. Inicialmente, foi abordada para sistemas trifásicos equilibrados pelo que de seguida modificou-se para sistemas trifásicos desequilibrados. Com base neste último, foi salientado o uso da teoria $p-q$ para controlar um FAS monofásico através do uso de tensões fictícias. Da comparação entre as duas teorias, optou-se por seguir uma abordagem baseado no controlo por PLL devido à sua simplicidade.

Capítulo 4

Simulações do Filtro Ativo de Potência Série Monofásico

4.1 Introdução

Hoje em dia, as simulações computacionais constituem numa parte importante na validação tanto da topologia de hardware como também dos algoritmos inerentes ao sistema de controlo. Com o auxílio de um software de simulação dedicado, é possível testar o sistema em diversas condições de forma segura, visto que, na realidade uma pequena falha pode originar prejuízos elevados e colocar em risco a segurança das pessoas. Adicionalmente, além de se evitar os perigos para o ser humano, o processo de simulação torna-se uma alternativa mais rápida e económica, em comparação com o custo dos materiais e o tempo despendido nos testes experimentais. Com recurso às simulações computacionais, é possível, num curto espaço de tempo, testar diversas soluções sem o risco de deteriorar os componentes.

Neste capítulo é apresentado o modelo assim como os resultados de simulação do sistema constituído por um FAS monofásico em diversos cenários de funcionamento. Inicialmente, é descrito o método de sincronização com a rede elétrica (PLL) essencial para a todos blocos do sistema de controlo. Seguidamente, é apresentado e descrito o método de pré-carga do barramento CC, sendo que somente após este momento é que o FAS se encontra em condições de entrar em funcionamento. Por conseguinte, é apresentado o FAS em regime permanente. Neste mesmo ponto, é apresentada a teoria de controlo e o método de regulação do barramento CC que em conjunto permitem a compensação dos harmónicos de tensão da rede elétrica, providenciando uma tensão sinusoidal à carga. Seguidamente, como é requerido que o FAS proporcione uma tensão sinusoidal às cargas independentemente das condições da rede elétrica, procedeu-se à simulação de distúrbios no sistema de alimentação, isto é, o aparecimento de eventos de subtensões e sobretensões momentâneas. Por fim, é mencionado um sistema de troca de cargas muito similares às presentes no laboratório, com o intuito de demonstrar a robustez do sistema às variações na carga. De salientar que todos os blocos previamente mencionados foram testados em conjunto, mas devido à grande quantidade temporal necessária para demonstrar o mesmo, decidiu apresentar-se resultados parciais relativamente a cada bloco, individualmente.

4.2 Modelo de Simulação do Filtro Ativo de Potência Série Monofásico

Existem no mercado inúmeras ferramentas de simulação concebidas para sistemas de eletrónica de potência. Das inúmeras opções existentes, em específico a utilizada no âmbito desta dissertação, o *PSIM* é um software bastante intuitivo com um ambiente gráfico amigável do utilizador (*user-friendly*). Para além de possuir ferramentas capazes de simular sistemas de eletrónica de potência, também permite analisar sistemas de controlo analógico e digital, equipamentos magnéticos e sistemas de controlo de motores. Outro aspeto relevante remete-se com o facto do *PSIM* permitir a incorporação de código C/C++ através do bloco de controlo *C Block*. Este permite o desenvolvimento dos vários algoritmos de controlo em linguagem C, podendo ser posteriormente transferido para o controlador digital de sinal (*Digital Signal Controller - DSC*), facilitando a migração da malha de controlo do ambiente de simulação para a implementação experimental.

Associado ao *PSIM*, é disponibilizado o programa *Simview* que permite a visualização as formas de onda das variáveis presentes na simulação, quer no domínio do tempo quer no domínio da frequência. Adicionalmente, o *Simview* contém ferramentas que permitem averiguar as características dos sinais elétricos como: o valor médio, o valor eficaz, o valor instantâneo e THD.

O modelo de simulação do FAS monofásico encontra-se separado em três figuras. Desta forma, é possível observar cada figura com maior detalhe e ter uma ideia mais concisa do modelo de simulação. Primeiramente é apresentado o andar de potência na Figura 4.1. É possível visualizar, do lado esquerdo, o modelo adotado de simulação dos harmónicos existentes na rede elétrica, originando a forma de onda apresentada anteriormente na Figura 1.5. Adicionalmente, foi também acrescentado, de forma prática, uma alternativa de simular eventos de QEE na rede elétrica, nomeadamente subtensões e sobretensões momentâneas, recorrendo a fontes de tensão escalonadas para tempos específicos. De acordo com a literatura, os filtros ativos potência são capazes de compensar eventos de subtensões momentâneas até valores de 30% - 35% da tensão da nominal. Assim sendo, modelou-se uma subtensão momentânea através de uma fonte de uma tensão de valor 80 V RMS. Por outro lado, para simular o evento de sobretensão foi utilizada uma fonte de tensão com 30 V de valor eficaz ligada em série com as restantes, provocando um aumento de 13% na tensão de alimentação. As fontes de tensão estão ligadas em série com um elemento RL que representa a impedância de linha do sistema.

Por último, é também possível observar os sensores de tensão e corrente necessários para o correto funcionamento do sistema de controlo.

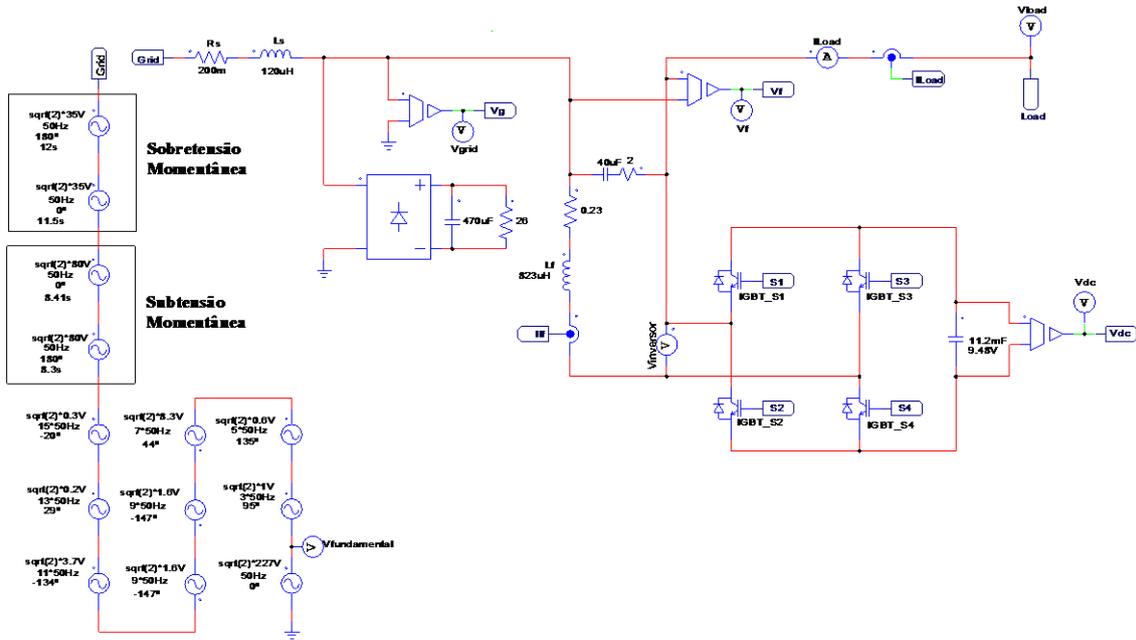


Figura 4.1 - Andar de potência do FAS no modelo de simulação em PSIM.

Seguidamente, apresenta-se o sistema de controlo na Figura 4.2. Este é composto por um *C block* capaz de adquirir os sinais provenientes do andar de potência (Figura 4.1) com uma frequência de amostragem, f_s , de 40 kHz. Tais sinais, obtidos através de sensores de tensão e corrente, permitem gerar os sinais de referência, como por exemplo, a PLL, a tensão de regulação do barramento CC e a tensão de compensação do FAS.

De forma complementar aos sinais de referência, o sistema de controlo possui variáveis lógicas semelhantes a *flags*, como a finalização da pré-carga do barramento CC (*PreCharge*) e a deteção de distúrbios na rede elétrica (*Disturbance*). Estes sinais lógicos são utilizados internamente no sistema de controlo para executar a mudança de estado de forma autónoma. A integração entre a parte de controlo e potência é possível através da modulação do sinal de compensação calculado pelo sistema de controlo. Deste modo, como explicitado na secção 2.4 referente às técnicas de modulação de tensão, utilizou-se modulação sinusoidal unipolar com a inclusão de *deadtimes* e frequência de comutação, f_c , de 20 kHz. De forma a aproximar a simulação o mais possível da realidade, o valor de *deadtime* foi definido para 3 μ s, visto que na prática os módulos de driver dos IGBTs impõem, por hardware, esse mesmo valor [85]. Além disso, os parâmetros da onda portadora são os mesmos do DSC, o que facilita a comparação entre resultados simulados e experimentais.

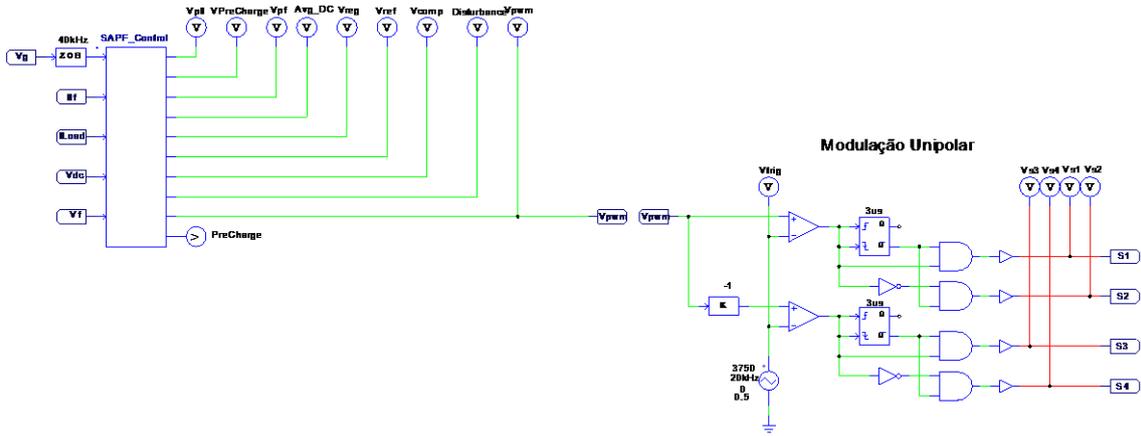


Figura 4.2 - Sistema de controlo do FAS no modelo de simulação em PSIM.

A terceira parte é referente ao sistema de troca de cargas, uma vez que é imperativo que o FAS funcione independentemente da carga que esteja a alimentar. Assim sendo, simulou-se o comportamento do sistema com as cargas existentes no laboratório, nomeadamente cargas lineares (R, RL e RC) e não-lineares, como apresentado na Figura 4.3. É de salientar que estas últimas consomem corrente não sinusoidal, provocando um aumento nos harmónicos de tensão na rede elétrica.

As cargas seguintes, foram dimensionadas de acordo com uma potência de 2,4 kVA com o intuito de aproximar o mais possível a simulação com os elementos disponíveis no laboratório para realizar os ensaios experimentais. Este mesmo tópico será detalhado na secção 4.5.4.

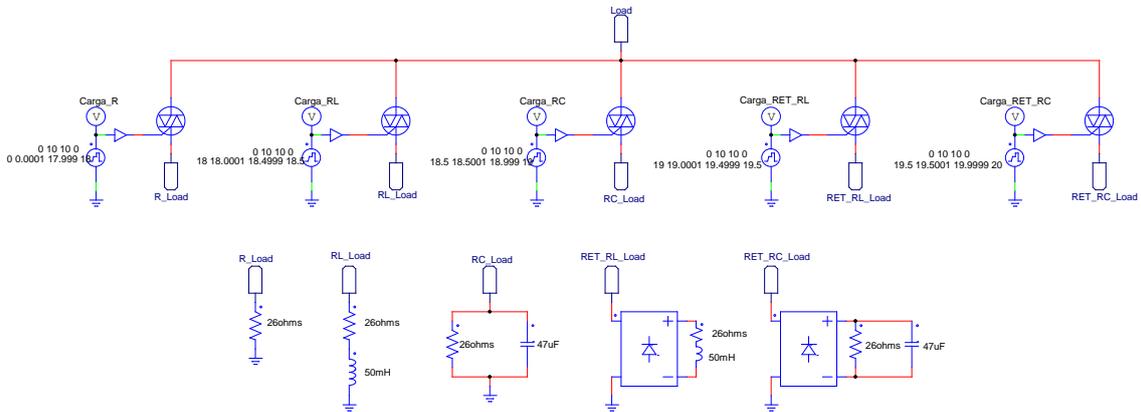


Figura 4.3 - Sistema de troca de cargas do FAS no modelo de simulação em PSIM.

4.3 Sistema de Sincronização com a Rede Elétrica

De forma a obter uma operação correta do FAS, é necessário que o seu controlo possua um sistema de sincronização com a rede elétrica. De entre os métodos mencionados na secção 3.5, a sincronização com a rede elétrica é realizada com recurso a um sistema de controlo denominado PLL, mais especificamente, a proposta por Karimi-Ghartemani e

Iravini em 2001 [79]. Este sistema é composto por dois blocos distintos, um referente à determinação da amplitude e outro à determinação da fase, sendo que cada um possui um controlador como exposto na Figura 4.4. Deste modo, é possível ajustar a estabilidade da PLL assim como a velocidade de sincronismo da mesma.

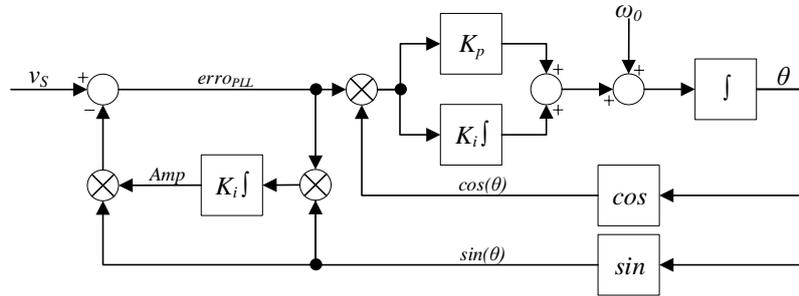


Figura 4.4 - Diagrama de blocos referente à Enhanced Phase-Locked Loop (E-PLL).

Posto isto, na Figura 4.5 são ilustrados o sinal de entrada, v_s , e o sinal de saída, v_{PLL} , relativos à simulação do método de sincronização, assim como a resposta transitória a um evento de subtensão momentânea.

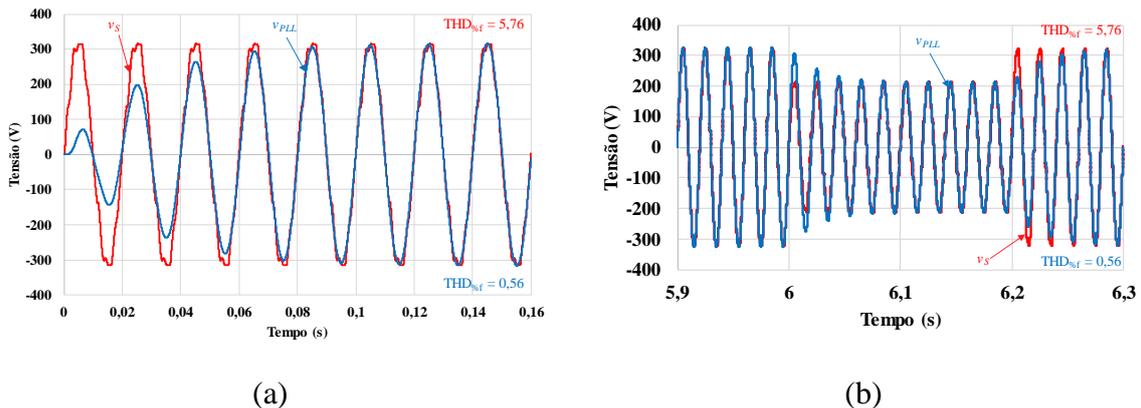


Figura 4.5 - Simulação do sistema de sincronização (E-PLL) com a rede elétrica: (a) Regime permanente; (b) Regime transitório devido à ocorrência de uma sobretensão momentânea.

Como se pode observar na Figura 4.5 (a), o sinal de saída gerado, v_{PLL} , obtém a fase da tensão após um ciclo da rede, enquanto que a amplitude só se encontra próximo do valor real após sete ciclos da rede elétrica. Adicionalmente, a malha de controlo previamente explicitada permite, a partir de um sinal distorcido, a geração de um sinal sinusoidal com reduzido conteúdo harmónico, em específico, valores de THD de 5,76% e 0,56%, respetivamente. Além disso, apresenta-se na Figura 4.5 (b) a resposta do sistema de sincronização E-PLL à ocorrência de uma subtensão momentânea. É possível constatar que o sinal de saída, v_{PLL} , sincroniza rapidamente com a tensão da rede elétrica, sendo que o valor da amplitude é atingido após três ciclos da rede elétrica.

4.4 Sistema de Pré-Carga do Barramento CC

Em qualquer equipamento de eletrónica de potência, o armazenamento de energia é algo imprescindível para o correto do funcionamento do sistema em questão. Não obstante, o mesmo sucede com os FASs, que fazem uso dessa energia para realizar a compensação de problemas de QEE.

No caso concreto do FAS, devido ao facto de este ser colocado em série entre a rede elétrica e as cargas, o carregamento do barramento CC necessita ser realizado sem provocar a interrupção do normal funcionamento das cargas adjacentes. Deste modo, o método de pré-carga baseia-se na absorção de energia por parte do FAS através da síntese, por parte do inversor, de uma tensão sinusoidal em oposição de fase à da rede elétrica, como se encontra demonstrado na Figura 4.6. Este processo provoca uma diminuição da tensão na carga podendo provocar problemas se a diminuição for acentuada. Assim, de acordo com as especificações de funcionamento de um equipamento sensível, comum de ambientes industriais (i.e. braço robótico), de $230\text{ V} \pm 10\%$, estipulou-se a síntese de um sinal sinusoidal de 5 V de pico por parte do FAS [86].

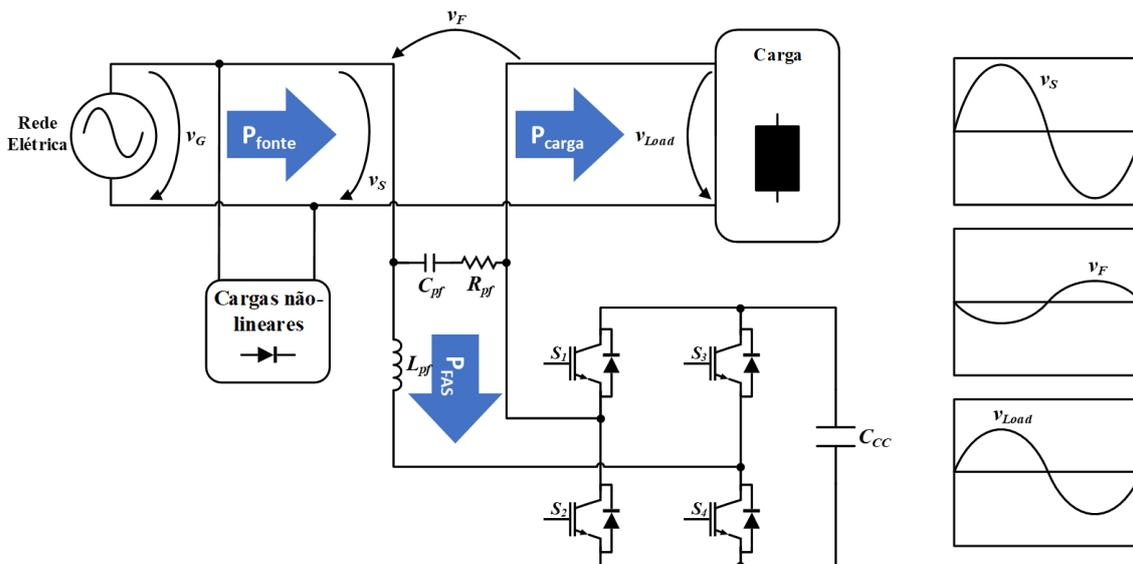


Figura 4.6 - Fluxo de energia referente ao processo de carregamento do barramento CC.

A Figura 4.7 representa o diagrama de blocos do algoritmo de controlo referente ao sistema de pré-carga do barramento CC. O diagrama é composto pela geração do sinal de referência, o controlador e a modulação dos sinais de PWM aplicados aos semicondutores de potência.

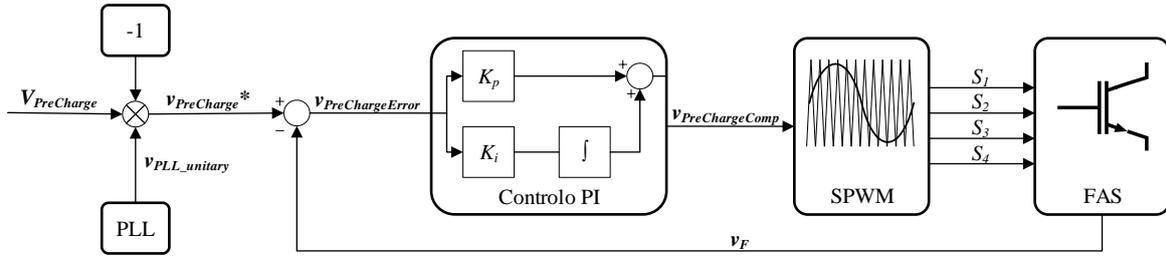


Figura 4.7 - Diagrama de blocos do algoritmo de controlo do sistema de pré-carga do barramento CC.

Como tal, a modulação do sinal por parte do FAS pressupõe que a PLL esteja sincronizada com a rede elétrica, dado que será com base nessa variável que o sinal de referência do sistema de pré-carga, $v_{PreCharge}^*$, será gerado, de acordo com (4.1).

$$v_{PreCharge}^* = (-1) v_{PLL_unitary} V_{PreCharge} \quad (4.1)$$

Posteriormente, a regulação da tensão de pré-carga toma em consideração a tensão de referência, $v_{PreCharge}^*$, e a tensão produzida pelo FAS, v_F . A tensão produzida pelo FAS, v_F , é comparada com a tensão de referência, $v_{PreCharge}^*$, gerando um sinal de erro, $v_{PreChargeError}$, como pode ser constatado em (4.2). Este valor é subsequentemente utilizado num controlador PI como demonstrado em (4.3), originando o sinal de compensação, $v_{PreChargeComp}$, a ser transmitido aos semicondutores de potência através de modulação SPWM unipolar.

$$v_{PreChargeError} = v_{PreCharge}^* - v_F \quad (4.2)$$

$$v_{PreChargeComp} = k_p v_{PreChargeError} + k_i \int v_{PreChargeError} dt \quad (4.3)$$

Uma vez explicitados o método de pré-carga e o algoritmo de controlo utilizado, apresentam-se de seguida alguns resultados de simulação do sistema em questão. A Figura 4.8 representa o processo de pré-carga do barramento CC, acompanhado pela sintetização da tensão do FAS, v_F , e a tensão de referência para o sistema de pré-carga, $v_{PreLoad}^*$, durante este procedimento.

Como é possível constatar, a tensão produzida pelo filtro ativo, v_F , encontra-se em concordância com a tensão de referência, $v_{PreLoad}^*$, embora contendo algum *ripple*.

Por último, dado que o carregamento da tensão do barramento CC tem por base a sintetização de um valor baixo de tensão por parte do FAS, é possível verificar que a tensão do barramento, V_{CC} , necessita de sensivelmente 8 s para atingir o valor de referência, V_{CC}^* , definido para 150 V.

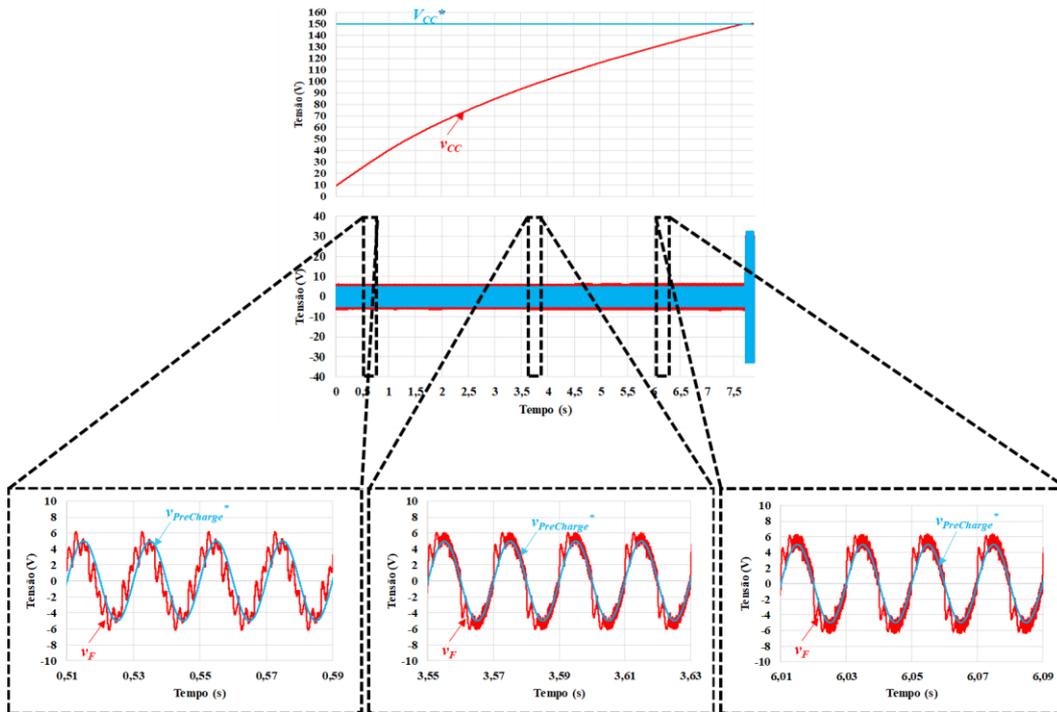


Figura 4.8 - Resultados de simulação da sintetização da tensão do FAS durante a pré-carga do barramento CC.

4.5 Funcionamento como Filtro Ativo de Potência Série

O princípio de funcionamento do FAS pressupõe a mitigação dos problemas de QEE relacionados com a tensão da rede elétrica, com o intuito de providenciar uma forma de onda sinusoidal às cargas. Assim sendo, o funcionamento do FAS é composto por quatro elementos essenciais: o cálculo da tensão de compensação, a regulação do barramento CC, a deteção de distúrbios da rede elétrica e o controlo da tensão produzida pelo filtro. Todos estes elementos encontram-se ilustrados na Figura 4.9, sendo posteriormente detalhados em secções apropriadas. É de salientar que o bloco relativo à deteção de distúrbios da rede elétrica encontra-se com contorno tracejado visto não ser estritamente necessário como será explicado na respetiva secção.

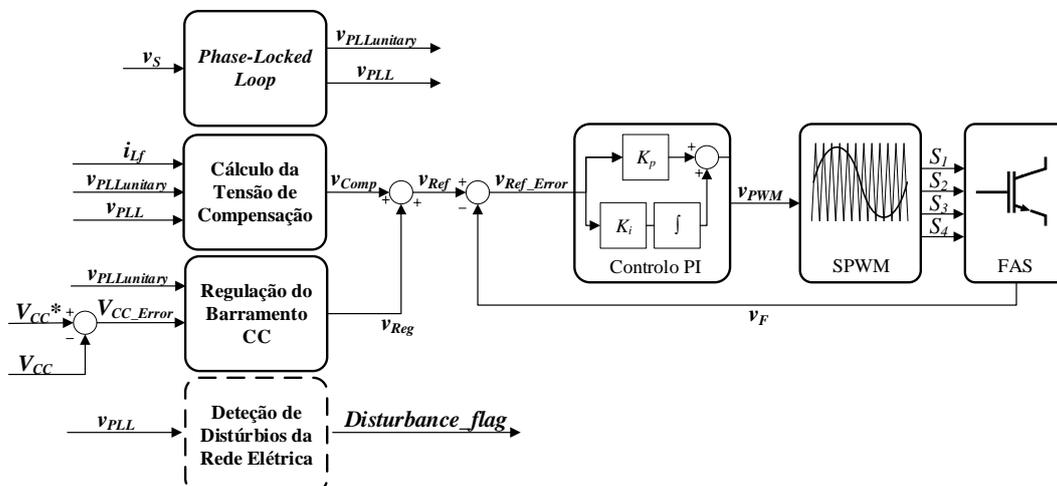


Figura 4.9 - Diagrama de blocos relativo ao funcionamento do filtro ativo série em regime permanente.

Como pode ser observado, o sinal de saída da PLL, v_{PLL} , é uma entrada comum dos blocos de cálculo da tensão de compensação, regulação do barramento CC e deteção de distúrbios da rede elétrica. Tal, deve-se ao facto de ser um sinal de referência em fase com tensão da rede elétrica, v_S , com reduzida distorção harmónica, sendo estes fatores imprescindíveis para a correta operação do sistema.

Em regime permanente, as principais funções do FAS relacionam-se com a compensação da tensão e a regulação do barramento CC, sendo esta última cessada no caso da deteção de uma sobretensão ou subtensão momentânea. Deste modo, a tensão de referência a ser sintetizada pelo FAS, v_{Ref}^* , é calculada através da soma da tensão de compensação, v_{Comp} , e da tensão de regulação do barramento CC, v_{Reg} , de acordo com (4.4).

$$v_{Ref}^* = v_{Comp} + v_{Reg} \quad (4.4)$$

Posteriormente, a tensão de referência, v_{Ref}^* , é comparada com a tensão produzida pelo filtro, v_F , gerando uma tensão de erro, v_{Ref_Error} (4.5). Esta tensão de erro é utilizada com entrada de um controlador PI cuja saída, v_{PWM} , liga ao sistema de modulação, produzindo os novos pulsos de PWM a aplicar aos semicondutores de potência do FAS (4.6).

$$v_{Ref_Error} = v_{Ref}^* - v_F \quad (4.5)$$

$$v_{PWM} = k_p v_{Ref_Error} + k_i \int v_{Ref_Error} dt \quad (4.6)$$

4.5.1 Regulação do Barramento CC

Após uma fase inicial de pré-carga do barramento CC, é mandatório que o FAS, em regime permanente, mantenha a tensão do barramento CC, V_{CC} , regulada na tensão de referência, v_{CC}^* , estipulada em 150 V. Assim sendo, a regulação é realizada através de um controlador PI, tal como se apresenta na Figura 4.10.

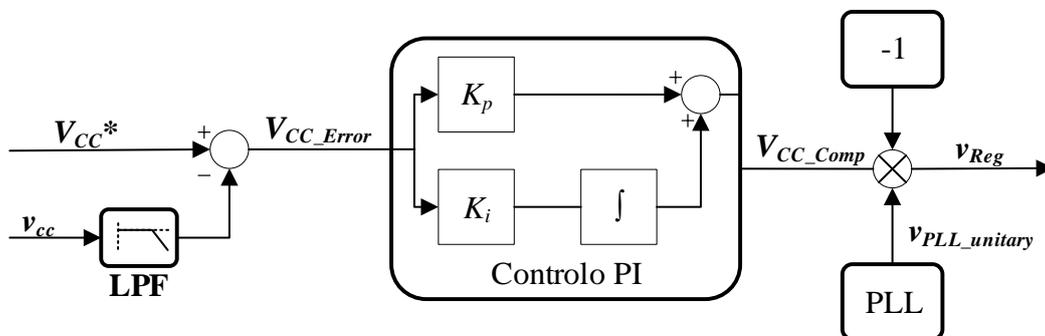


Figura 4.10 - Diagrama de blocos do sistema de regulação do barramento CC.

O método de controlo baseia-se na comparação do valor da tensão do barramento CC, v_{cc} , com o valor de referência, V_{CC}^* , originando uma tensão de erro, V_{CC_Error} (4.7). Este sinal é a entrada do controlo PI, produzindo um sinal de compensação, V_{CC_Comp} (4.8).

$$V_{CC_Error} = v_{cc}^* - V_{CC} \quad (4.7)$$

$$V_{CC_Comp} = k_p V_{CC_Error} + k_i \int V_{CC_Error} dt \quad (4.8)$$

Posto isto, a tensão de compensação relativa ao barramento CC é multiplicada por um sinal sinusoidal unitário, $v_{PLL_unitary}$, adaptado da saída do sistema de sincronização com a rede elétrica. Deste modo, é garantido que a tensão de regulação, v_{Reg} , se encontra em sincronia com a rede elétrica (4.9).

$$v_{Reg} = (-1) V_{CC_Comp} v_{PLL_unitary} \quad (4.9)$$

Assim, na Figura 4.11 apresenta-se o resultado de simulação do sistema de regulação do barramento CC previamente explicitado. Adicionalmente, é realizado um foco num curto instante de tempo, com o intuito de mostrar em maior detalhe o *ripple* presente na tensão do barramento CC.

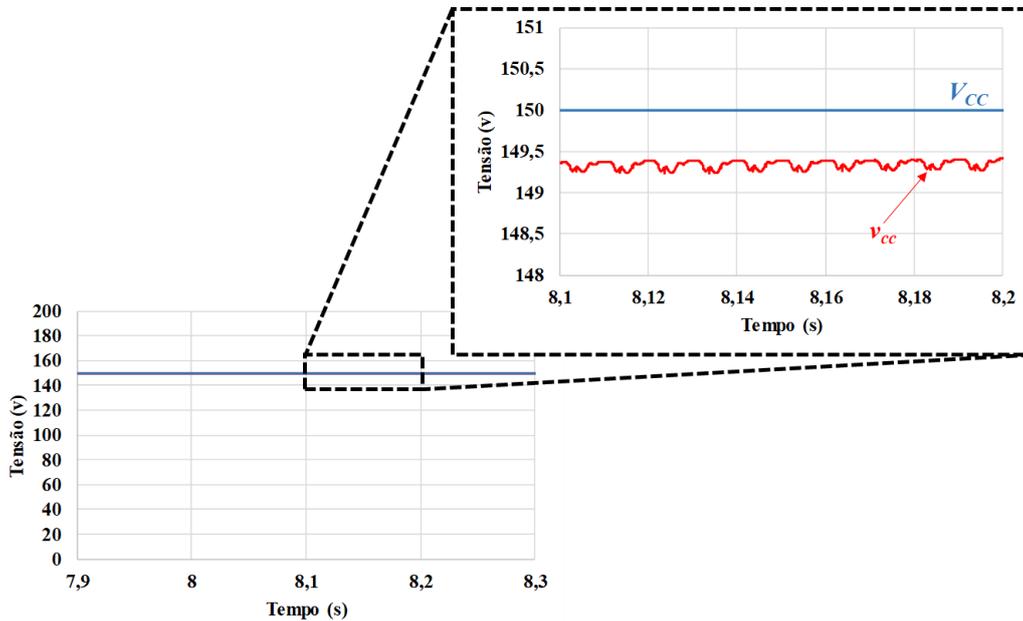


Figura 4.11 - Resultados de simulação do sistema de regulação da tensão do barramento CC, v_{cc} .

4.5.2 Funcionamento em Regime Permanente

Em regime permanente, o filtro necessita efetuar a compensação dos harmónicos e da variação do valor eficaz da tensão da rede elétrica. Aliado a esses processos, é também tido em consideração a queda de tensão no filtro passivo, Δv_{pf} , sendo efetuada a compensação da

mesma. Em detalhe, o processo de geração da tensão de compensação pode ser observado na Figura 4.12.

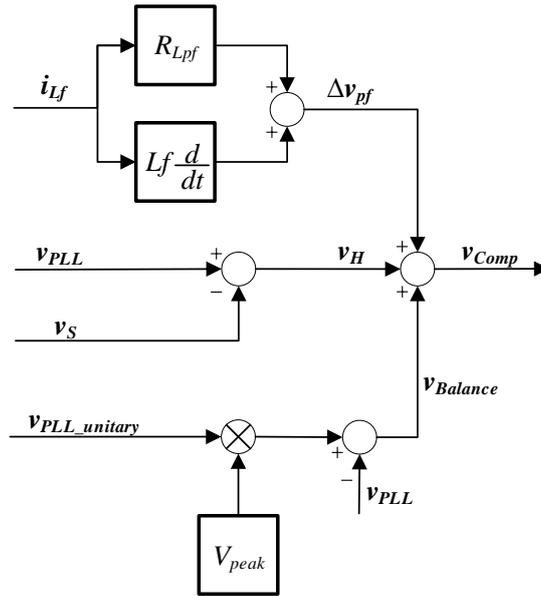


Figura 4.12 - Diagrama de bloco do sistema de cálculo da tensão de compensação.

Primeiramente, a compensação da queda de tensão no filtro passivo é efetuada devido ao facto deste não ser composto por componentes ideais. Em específico, a bobina de acoplamento é composta por várias espiras de material condutor e, sendo este elemento percorrido por níveis de corrente significativos, a energia dissipada torna-se um fator importante. Assim, com base na corrente da bobina, i_{L_f} , e os valores de indutância, L_f , e resistência interna, $R_{L_{pf}}$, é possível calcular a tensão do filtro passivo, v_{pf} , de acordo com (4.10).

$$v_{pf} = R_{L_{pf}} i_{L_f} + L_f \frac{d}{dt} i_{L_f} \quad (4.10)$$

Seguidamente, o cálculo da componente harmónica, v_H , presente na rede eléctrica é obtido através da comparação entre o sinal da rede eléctrica, v_S , e o sinal de referência gerado pela PLL, v_{PLL} , como é apresentado em (4.11).

$$v_H = v_{PLL} - v_S \quad (4.11)$$

Além disso, apesar do sinal de saída da PLL, v_{PLL} , providenciar uma referência fiável, em termos de amplitude e frequência, o seu valor eficaz é similar ao da rede eléctrica. Deste modo, o seu valor eficaz será diferente do expectável devido à variação do valor eficaz da tensão do sistema de alimentação. Assim sendo, torna-se necessário calcular a tensão de balanceamento, $v_{Balance}$, que permita entregar à carga um sinal sinusoidal com valor eficaz adequado. Tal é obtido relacionando a tensão de referência, v_{PLL} , com o sinal sinusoidal

pretendido para a carga. Este último é calculado com base num sinal sinusoidal unitário, $v_{PLL_unitary}$, em fase com a rede elétrica e o valor de pico, V_{Peak} , pretendido (4.12).

$$v_{Balance} = V_{Peak}v_{PLL_unitary} - v_{PLL} \quad (4.12)$$

Por último, o cálculo final da tensão de compensação, v_{Comp} , é realizado através da soma das três componentes previamente mencionadas (4.13).

$$v_{Comp} = \Delta v_{pf} + v_H + v_{Balance} \quad (4.13)$$

Posto isto, é apresentado na Figura 4.13 as formas de onda da tensão de referência, v_{Ref} , produzida pelos blocos apresentados anteriormente, e a tensão produzida pelo FAS, v_F , através de um controlador PI como mencionado previamente.

É de salientar que a tensão de referência, v_{Ref} , apresentada no gráfico refere-se à soma da tensão de compensação, v_{Comp} , com a tensão de regulação do barramento CC, v_{Reg} .

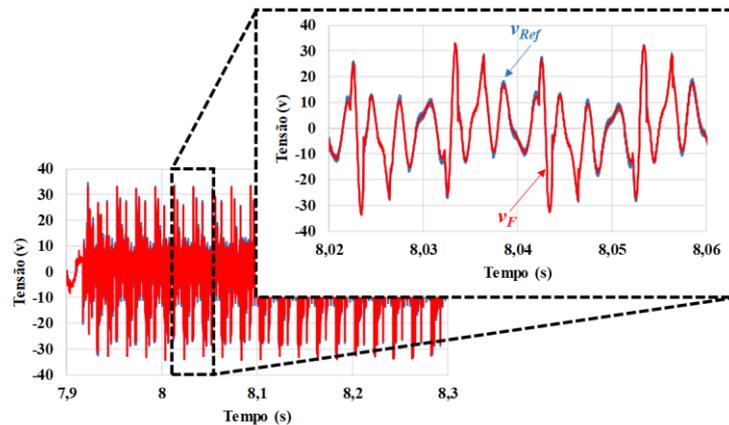


Figura 4.13 - Resultados de simulação da tensão de referência, v_{Ref} , e a tensão produzida pelo filtro, v_F , com o filtro ativo série a operar em regime permanente.

Por sua vez, a sintetização da tensão por parte do FAS permite obter aos terminais da carga uma tensão sinusoidal com 220 V RMS como é demonstrado na Figura 4.14. Além disso, a distorção harmónica é reduzida de 5,57% para 0,89%.

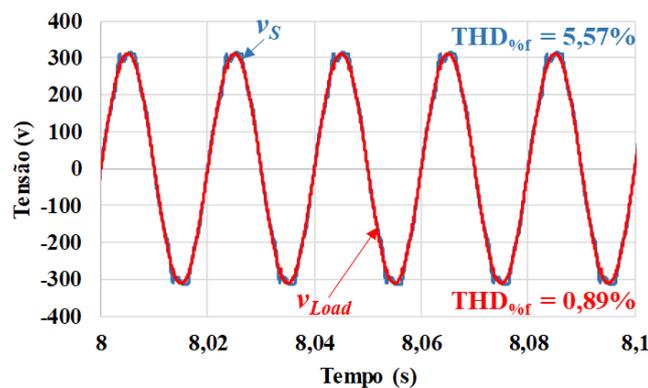


Figura 4.14 - Resultados de simulação da tensão na carga, v_{Load} , da tensão da rede elétrica, v_S , com o FAS a operar em regime permanente.

4.5.3 Compensação de Distúrbios na Tensão da Rede Elétrica

Associado ao funcionamento do FAS em regime permanente, é mandatório que este equipamento seja capaz de mitigar os problemas QEE relacionados com a tensão da rede elétrica, nomeadamente subtensões e sobretensões momentâneas. Assim sendo, de acordo com as definições expostas nas secções 1.1.1 e 1.1.2, foi estipulado uma margem de $\pm 10\%$ sob o valor eficaz da tensão da rede elétrica no algoritmo de controlo, sendo detetado algum problema caso esse limite não seja cumprido.

Método de Compensação de Distúrbios de Tensão baseado na Constante Análise do Valor Eficaz da Tensão da Rede Elétrica

Posto isto, o método de deteção de distúrbios da rede elétrica é realizado de acordo com a análise do valor eficaz do sinal da PLL, sendo este comparado com a margem de $\pm 10\%$ previamente mencionada. Caso tal variável não cumpra o referido, o sistema de controlo atua cessando a regulação da tensão do barramento CC como apresentado na Figura 4.15.

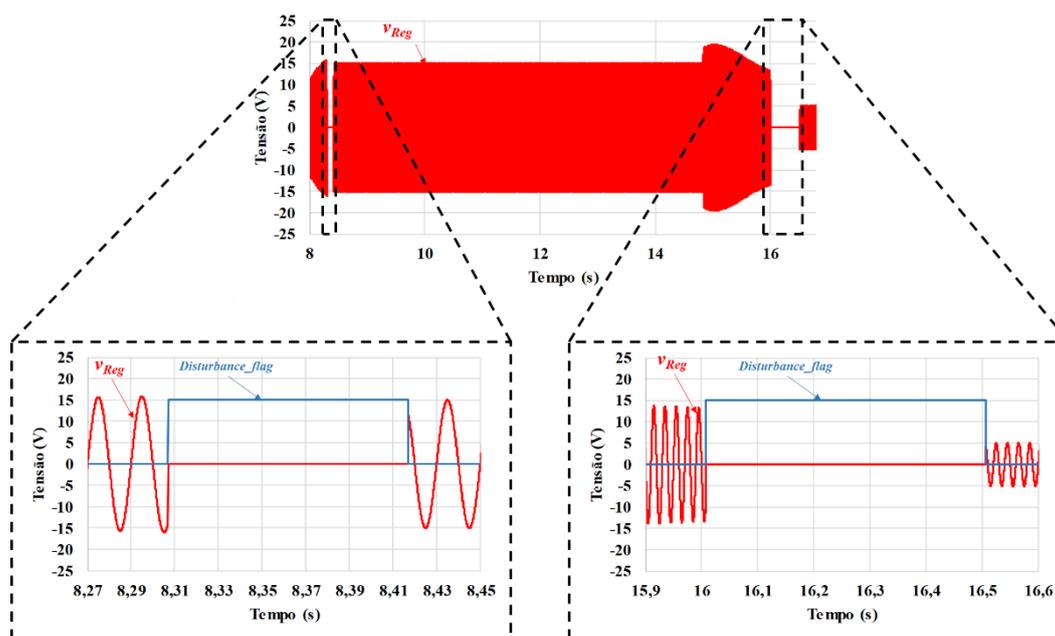


Figura 4.15 – Resultados de simulação da tensão de regulação do barramento CC, v_{Reg} , no momento da ocorrência de um distúrbio da rede elétrica e respetiva deteção por parte do sistema de controlo.

Deste modo, para comprovar a fiabilidade do FAS aquando da ocorrência de distúrbios na rede elétrica, foi configurada uma subtensão momentânea e uma sobretensão momentânea para ocorrer entre os instantes 8,3 s-8,41 s e 16 s-16,5 s, respetivamente. Como é possível constatar pela Figura 4.15, após a ocorrência do respetivo evento na rede elétrica, o sistema de controlo sinaliza tal distúrbio com um atraso de meio ciclo da rede elétrica devido à constante análise do valor eficaz e comparação com o estipulado na norma EN50160.

Assim, o FAS utiliza a energia armazenada no barramento CC para manter a tensão na carga estável. No final do evento, é realizado um processo lento de estabilização da tensão no barramento CC, baseado na absorção (se for uma cava de tensão) ou injeção (se for uma sobretensão) de energia por parte do FAS.

De modo a comprovar a correta operação do FAS, foram simulados dois distúrbios da rede elétrica: uma subtensão momentânea, apresentada na Figura 4.16, e uma sobretensão momentânea, na Figura 4.17.

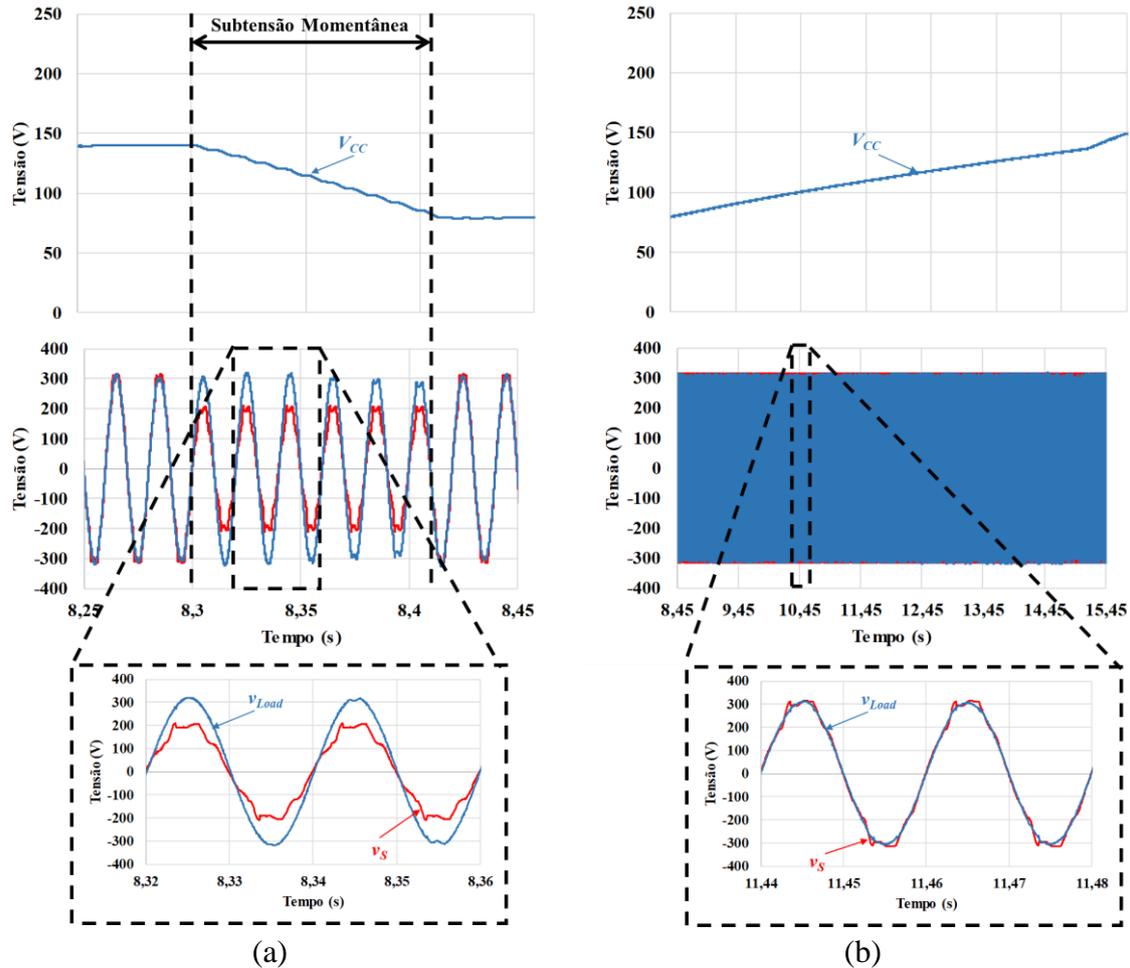


Figura 4.16 - Resultados de simulação do filtro ativo série em regime transitório: (a) Tensão na fonte, v_S , e na carga, v_{Load} , durante uma subtensão momentânea dos 8,3 s aos 8,41 s; (b) Recuperação lenta da energia do condensador do barramento CC após a subtensão momentânea.

Relativamente à subtensão da rede elétrica apresentada na Figura 4.16 (a), esta foi programada para ocorrer dos 8,3 s até aos 8,41 s e provocando uma descida de 35% no valor nominal da tensão da rede elétrica, v_S . É possível constatar que, assim que o evento foi detetado pelo controlo, a regulação da tensão do barramento CC, v_{CC} , é interrompida permitindo que o FAS faça uso da energia armazenada no barramento CC para manter a tensão na carga, v_{Load} , estável.

Por outro lado, após a cava de tensão, o sistema de controlo efetua um processo de recuperação lento de modo a carregar o barramento CC para o nível de tensão estipulado

antes de iniciar o processo de regulação explicitado em 4.5.1. Esse processo baseia-se no método de pré-carga do barramento CC, isto é, a tensão de regulação é definida como uma onda sinusoidal de baixa amplitude e em oposição fase à tensão da rede elétrica. Deste modo, o FAS mantém a tensão na carga, v_{Load} , estável ao mesmo tempo que a tensão do barramento CC, v_{CC} , é retomada para o nível de referência, como é demonstrado na Figura 4.16 (b).

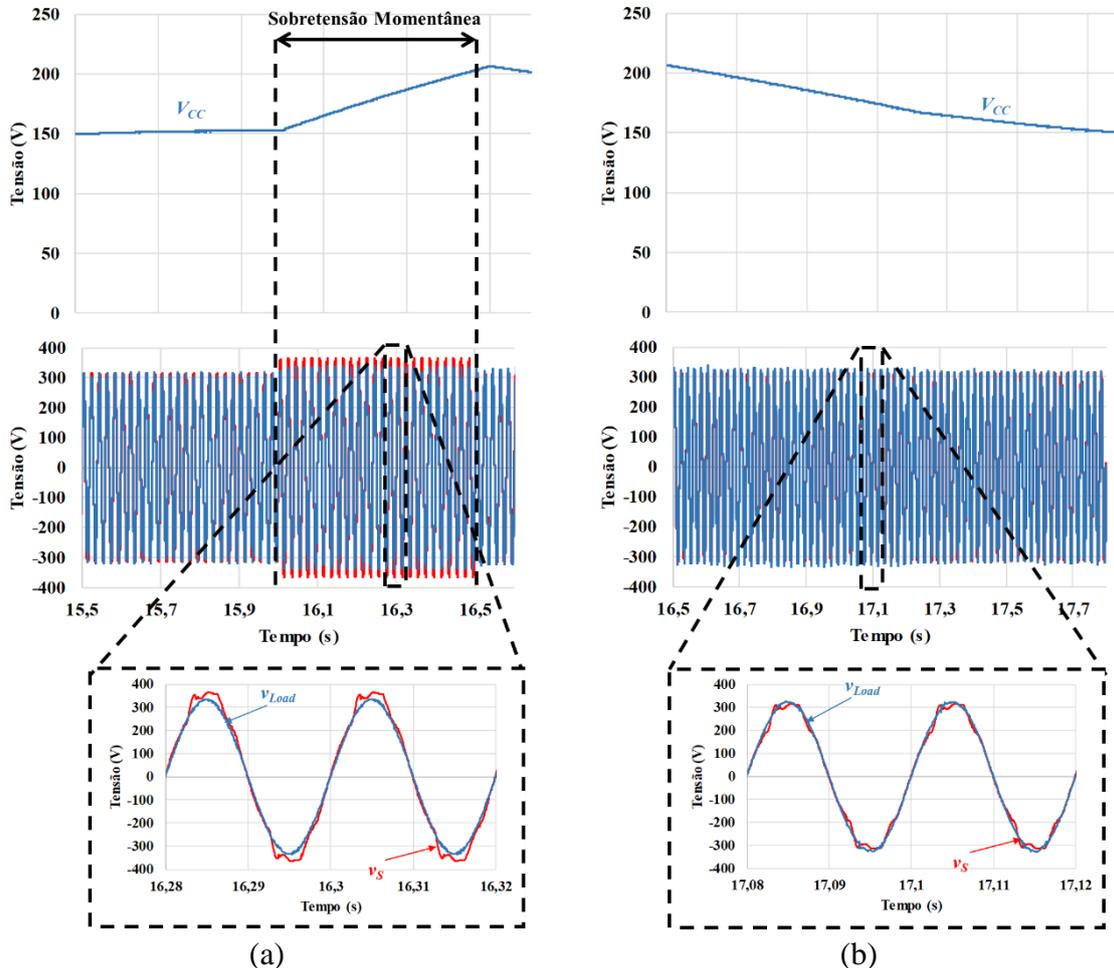


Figura 4.17 - Resultados de simulação do filtro ativo série em regime transitório: (a) Tensão na fonte, v_S , e na carga, v_{Load} , durante uma sobretensão momentânea dos 16 s aos 16,5 s; (b) Recuperação lenta da energia do condensador do barramento CC após a sobretensão momentânea.

Relativamente à sobretensão da rede elétrica apresentada na Figura 4.17 (a), esta foi programada para ocorrer entre os 16 s e os 16,5 s. Além disso, este distúrbio provoca um aumento de 13% no valor eficaz da tensão da rede elétrica, v_S . Posto isto, o funcionamento é semelhante ao previamente mencionado, isto é, após a deteção da sobretensão na rede elétrica, a regulação da tensão do barramento CC, v_{CC} , é interrompida privilegiando-se a tensão da carga, v_{Load} , estável, como se pode comprovar na Figura 4.17 (a).

Após a ocorrência da sobretensão momentânea, é realizado um processo lento de devolução do excesso de energia armazenado no barramento CC antes de se repor a regulação a regulação da tensão no barramento CC, v_{CC} , como demonstrado na Figura 4.17 (b). O método é similar ao apresentado, com a particularidade que, neste caso o sinal sinusoidal de baixa

amplitude é gerado em fase com a tensão da rede elétrica. Deste modo, como se pode comprovar pela Figura 4.17 (b), a tensão da carga, v_{Load} , mantêm-se estável durante este processo.

Método de Compensação de Distúrbios baseado na Sintetização de uma Tensão de Recuperação Variável

Por outro lado, foi também simulado um método alternativo de deteção de distúrbios da rede elétrica onde não é necessário cessar o processo de regulação da tensão do barramento aquando da ocorrência de uma subtensão ou sobretensão momentânea. Por sua vez, o FAS produz, continuamente, uma tensão de recuperação sinusoidal de baixa amplitude, $v_{Recovery}$, similarmente ao apresentado na secção 4.4 relativo ao sistema de pré-carga do barramento CC. Contudo, este sinal possui uma amplitude variável, isto é, depende da diferença entre o valor de referência para a tensão do barramento CC de 150 V e o valor instantâneo do mesmo, v_{CC} , e posteriormente limitado entre o valor mínimo e máximo admissível de $-5/+5V$, respetivamente. Adicionalmente, de modo a evitar que a tensão de regulação do barramento CC exceda para valores elevados aquando do distúrbio na rede elétrica, limita-se o valor de saída do controlador PI ao valor da tensão de regulação, v_{Reg} , em regime permanente. Deste modo, no conjunto destas duas características consegue-se manter a tensão na carga, v_{Load} , entre os limites aceitáveis aliado a uma rápida recuperação após tais eventos.

Assim sendo, de forma semelhante ao método anterior, foram também simulados dois distúrbios na rede elétrica de igual amplitude. O primeiro, uma sobretensão momentânea, foi estipulado para acontecer entre os 8,30 s-8,41 s, enquanto que a sobretensão momentânea foi programada para os instantes de 11,5 s-12 s. Aquando da subtensão momentânea, o sistema de controlo efetua a deteção de forma imediata, pelo que a tensão de regulação, v_{Reg} , é limitada e a tensão de recuperação, $v_{Recovery}$, é gerada em oposição ou em fase com a rede elétrica, em caso de subtensão ou sobretensão momentânea, respetivamente. Tal processo é apresentado na Figura 4.18, onde a tensão de recuperação, $v_{Recovery}$, se encontra ampliada, pelo que não se encontra à escala real.

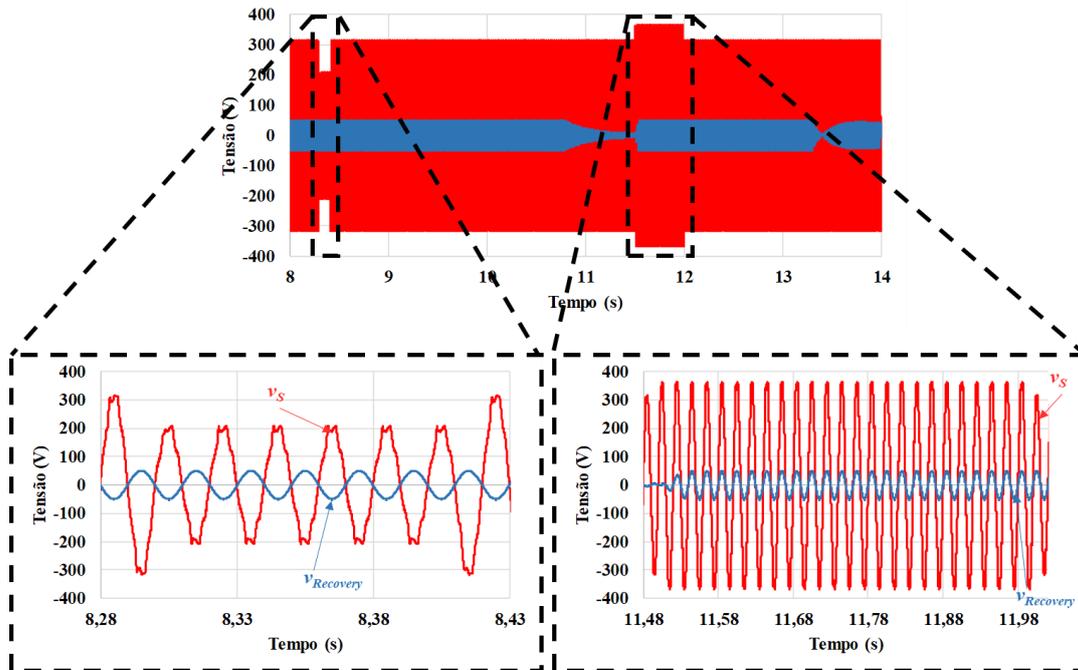
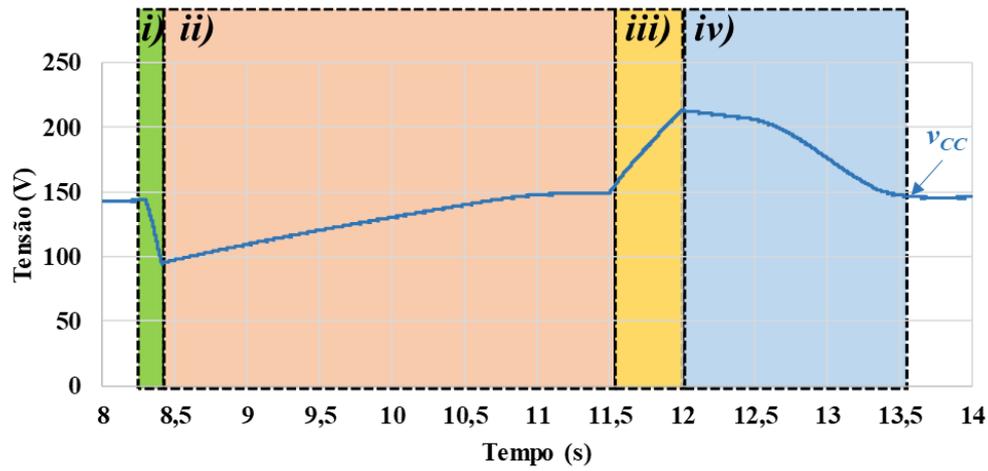


Figura 4.18 - Resultados de simulação da tensão de recuperação, $v_{Recovery}$, no momento da ocorrência de um distúrbio da rede elétrica, v_S .

Posto isto, é apresentado na Figura 4.19 o funcionamento deste processo alternativo. Como se pode observar na Figura 4.19 (a), semelhante à abordagem anterior, a variação da tensão no barramento CC, v_{CC} , na ocorrência de uma subtensão e sobretensão momentânea, onde a energia adicional é injetada e absorvida, respetivamente, com o intuito de manter a tensão na carga, v_{Load} , entre os limites estipulados pela Norma EN 50160 apresentada na secção 1.1.7. Relativamente à subtensão momentânea apresentada na Figura 4.19 (b), o FAS consegue manter a tensão na carga, v_{Load} , com valor eficaz de 213 V, sendo tal aceitável para os parâmetros estipulados na Norma EN 50160. Por outro lado, após o evento de subtensão momentânea, é efetuado um período de recuperação da tensão do barramento CC, v_{CC} . Devido à constante absorção de energia por parte do FAS, através da sintetização da tensão de recuperação, $v_{Recovery}$, o tempo de recuperação é reduzido para 2,5 s em comparação com os 7 s referentes ao algoritmo anterior apresentado na Figura 4.16 (b), o que demonstra a fiabilidade e rapidez no método proposto.

Relativamente à sobretensão momentânea apresentada na Figura 4.19 (d), programada com amplitude igual ao apresentado no algoritmo anterior, provoca o aumento da tensão do barramento CC, v_{CC} , atingindo este perto de 215 V RMS, como apresentado na Figura 4.19 (a). Durante este evento de QEE, o valor eficaz da tensão na carga, v_{Load} , mantém-se em 225 V RMS. Embora o valor seja inferior à tensão nominal estipulada de 230 V RMS, tal é aceitável visto cumprir o imposto pela norma EN 50160 exposta na secção 1.1.7.



(a)

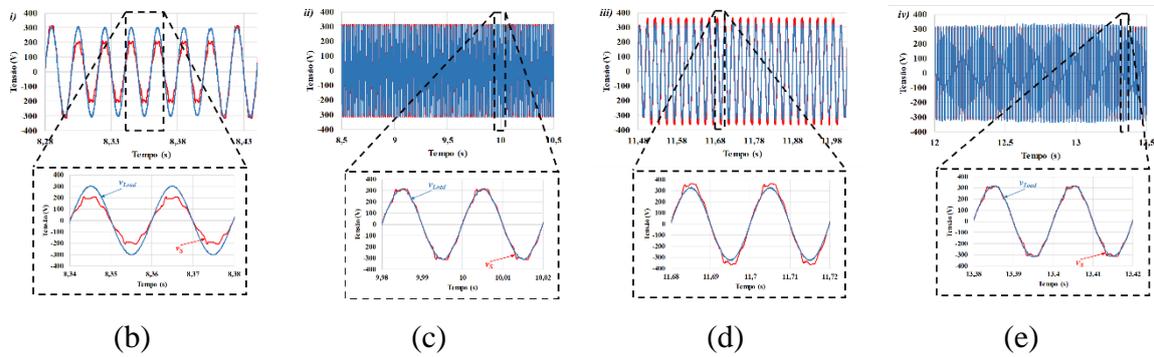


Figura 4.19 - Resultados de simulação do filtro ativo série em regime transitório utilizando o algoritmo alternativo de compensação de distúrbios da rede elétrica: (a) Variação da tensão no barramento CC, v_{CC} , durante um evento de subtensão e sobretensão; (b) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante um evento de subtensão; (c) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante o tempo de recuperação após o evento de subtensão; (d) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante um evento de sobretensão; (e) Tensão da rede elétrica, v_S , e tensão na carga, v_{Load} , durante o tempo de recuperação após o evento de sobretensão.

Após o evento de sobretensão momentânea, de modo semelhante ao apresentado anteriormente, o barramento CC injeta a energia de forma gradual mantendo a tensão na carga, v_{Load} , estável como demonstrado na Figura 4.19 (b), sendo que a recuperação para o nível de tensão de referência do barramento CC demora cerca de 1,5 s.

Seleção do Método de Compensação de Distúrbios na Rede Elétrica

Em termos comparativos entre os dois algoritmos apresentados, existem alguns pontos a ressaltar. O primeiro algoritmo contém uma elevada componente computacional devido ao facto de ser necessário detetar a ocorrência do distúrbio da rede elétrica através da constante verificação do eficaz da tensão da rede elétrica. Por consequente, uma vez detetado o distúrbio na rede elétrica, a regulação do barramento CC é cessada e torna-se necessário averiguar de que tipo de distúrbio se trata, pelo que o FAS necessitará de absorverá ou injetar a energia após o evento de QEE, dependendo se se trata de uma sobretensão ou subtensão

momentânea, respetivamente. Além disso, este algoritmo apresenta uma boa resposta relativamente a manter a tensão da carga estável, contudo o tempo necessário para efetuar a recuperação para o valor de referência da tensão do barramento CC é grande. Por sua vez, o segundo algoritmo assenta na sintetização contínua de um sinal de recuperação com baixa amplitude aliado à limitação dos valores de saída do controlador PI relativo à tensão de regulação do barramento CC. Como tal, este método apresenta uma componente computacional muito menor, pelo que a sua resposta é mais rápida que a anterior. Todavia, o ajuste dos limites no controlo PI torna-se o elemento fulcral visto que tal característica tem implicações diretas na performance do algoritmo. Deste modo, a escolha final para o algoritmo de deteção de distúrbios da rede elétrica recaiu sob o segundo algoritmo devido à sua rapidez, fácil implementação e resultados satisfatórios.

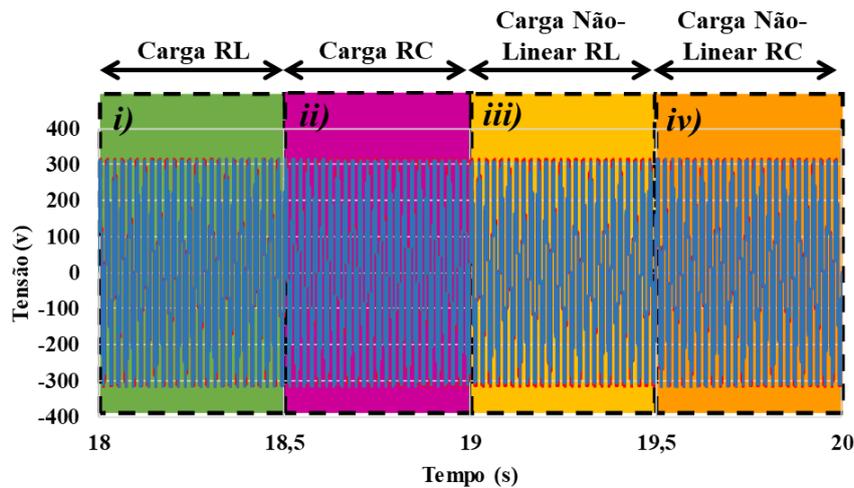
4.5.4 Sistema de Troca de Cargas

O desenvolvimento de equipamentos de eletrónica de potência pressupõe a criação de um dispositivo capaz de mitigar os problemas de QEE e que se adapte dinamicamente às condições da rede elétrica e das cargas. Não obstante, o mesmo requisito se impõe ao desenvolvimento de FAs, em concreto do tipo série, como o desenvolvido no âmbito desta dissertação. Com estes fatores em consideração, foi emulado um sistema de cargas similar ao que se poderia desenvolver em ambiente experimental, sendo este constituído por cargas RL, RC e cargas não-lineares predominantemente indutivas e capacitivas. O respetivo sistema encontra-se apresentado na Figura 4.20.

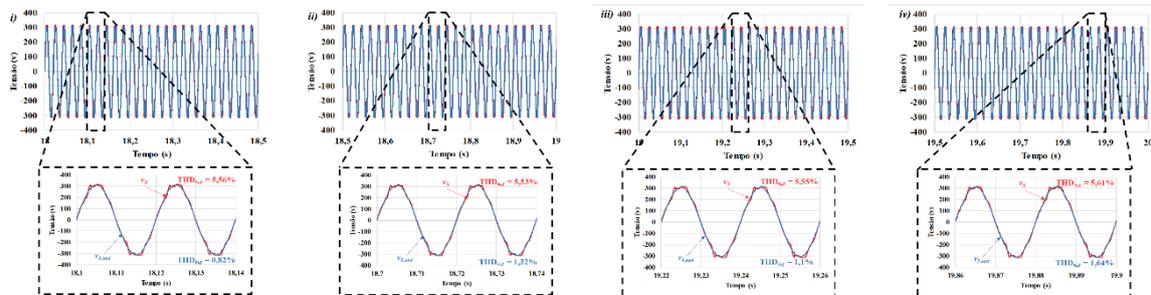
De acordo com as condições previamente mencionadas, a carga RL é composta por uma bobina de 50 mF e uma resistência de 26 Ω apresentada na Figura 4.20 (b) tendo tal troca de carga ter sido programada para acontecer aos 18 s. Como se pode constatar pelo resultado apresentado, é possível averiguar a forma de onda sinusoidal na tensão da carga, v_{Load} , em comparação com a tensão da rede elétrica, v_s . Após o momento de entrada da carga RL, a forma de onda da tensão na carga, v_{Load} , apresenta um valor de THD de 0,82% comparativamente com a distorção harmónica presente na rede elétrica de 5,56%.

Com base nas condições impostas, foi também dimensionada uma carga RC, tendo esta sido programada para entrar em funcionamento no instante 18,5s, removendo a anterior de serviço. Como tal, a carga em questão é constituído por um elemento resistivo de 26 Ω e capacitivo de 47 μ F. Deste modo, é apresentado na Figura 4.20 (c) o resultado de simulação relativo à tensão da rede elétrica, v_s , e à tensão da carga, v_{Load} . Como é possível observar, a tensão da carga RC, v_{Load} , adquire uma forma de onda sinusoidal posteriormente, com um valor de THD de 1,32%, inferior a distorção harmónica da rede elétrica de 5,53%. Por outro

lado, com o intuito de averiguar a resposta do FAS a qualquer tipo de carga não-linear, a carga RL de 26 Ω e 50 mH previamente utilizada foi acoplada a um retificador monofásico. A entrada em funcionamento desta carga foi programada para ocorrer a partir dos 19 s. Deste modo, é apresentado na Figura 4.20 (d) o resultado de simulação relacionado com a tensão na carga, v_{Load} , e a tensão da rede elétrica, v_S . Como é possível averiguar, apesar da tensão na carga continuar a ser sinusoidal, apresenta algumas incorreções nas zonas de maior amplitude que o algoritmo de controlo não foi capaz de solucionar. Como tal, tais imperfeições traduzem-se num aumento do valor de distorção harmónica da tensão na carga, v_{Load} , mais concretamente em 1,1%.



(a)



(b)

(c)

(d)

(e)

Figura 4.20 – Resultados de simulação relativos ao sistema de troca de cargas: (a) Instantes relativos aos momentos de conexão das diferentes cargas; (b) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga RL entre os 18 s e 18,5 s. (c) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga RC entre os 18,5 s e 19 s. (d) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga não-linear RL entre os 19 s e 19,5 s. (e) Tensão na rede elétrica, v_S , e tensão na carga, v_{Load} , com o filtro ativo série a compensar uma carga não-linear RC entre os 19,5 s e 20 s.

Por fim, a última carga refere-se a um retificador com carga RC, tendo sido utilizados os mesmos valores que anteriormente (26 Ω e 47 μF) no barramento CC do retificador. A Figura 4.20 (e) demonstra o resultado simulatório da tensão da carga, v_{Load} , em comparação com a tensão da rede, v_S . É de salientar que esta foi programada para ser acionada a partir

dos 19,5 s. Deste modo, como pode ser observado, a tensão da carga, v_{Load} , apresenta uma forma sinusoidal, contudo apresenta algumas imperfeições nas zonas de maior amplitude. Como tal, a distorção harmónica presente na tensão da carga toma um valor de 1,64%. Por fim, é apresentado na Tabela 4.1 os valores eficazes e a distorção harmónica das tensões na rede elétrica, aos terminais do FAS e em cada uma das diferentes cargas simuladas. Pode constatar-se que o sistema funciona de acordo com o esperado, no entanto não compensa perfeitamente as cargas RC e não-lineares.

Tabela 4.1 – Valores eficazes (RMS) e distorção harmónica (THD%) das tensões na rede elétrica, no filtro ativo série e na carga com os diferentes tipos de carga em regime permanente.

Tipo de Carga	Rede Elétrica		Carga	
	RMS	THD%	RMS	THD%
R	223,37 V	5,57	223,11 V	0,89
RL	223,7 V	5,56	220,82 V	0,82
RC	223,45 V	5,53	219,95 V	1,32
Não-linear RL	223,51 V	5,55	217,06 V	1,1
Não-linear RC	223,46 V	5,61	220,37 V	1,64

4.6 Conclusão

No decorrer deste capítulo foram abordados vários tópicos relativos à simulação do filtro ativo série e respectivo sistema de controlo com o intuito de estabelecer um ponto de referência para os ensaios experimentais, assegurando a integridade do próprio sistema e a aproximação dos resultados experimentais aos de simulação. Deste modo, no início do capítulo é descrito o modelo de simulação adotado, desenvolvido no programa computacional *PSIM* 9.1, representando este o ponto de partida de todos os resultados apresentados.

Relativamente aos resultados de simulação obtidos, foi fundamental assegurar primeiramente o sincronismo da PLL assim como a pré-carga dos condensadores do barramento CC antes da operação do inversor como filtro ativo série. O sincronismo da PLL, regeu-se pelo diagrama de blocos apresentado na Figura 4.4 em que, tomando por entrada o sinal da rede elétrica, v_s , providencia um sinal de saída, v_{PLL} , com a mesma fase e amplitude da componente fundamental do sinal de entrada. Já o método de carregamento do barramento CC tem por base a sintetização de uma tensão sinusoidal de baixa amplitude em oposição à tensão da rede elétrica, v_s , de modo a evitar problemas nas cargas adjacentes.

Posto isto, foram simulados os subsistemas relativos à operação como filtro ativo série, sendo inicialmente analisado o esquema geral de controlo apresentado na Figura 4.9.

Posteriormente, e em maior detalhe, foram demonstrados os sistemas intrínsecos e respetivos resultados de simulação referentes ao controlo do filtro ativo série em regime permanente.

Começando pelo sistema de regulação da tensão do barramento CC, v_{cc} , recorreu-se a um algoritmo de controlo PI para manter a tensão regulada para a tensão de referência de 150 V, tendo este valor sido atingido através do sistema de pré-carga.

Posteriormente, foi analisado o funcionamento do filtro ativo série em regime permanente, efetuando a compensação dos harmónicos de tensão, da variação do valor eficaz da tensão da rede eléctrica e da queda de tensão no filtro passivo. Observou-se a melhoria da tensão na carga, obtendo esta uma forma sinusoidal com reduzido valor de distorção harmónica.

Seguidamente, simulou-se a ocorrência de distúrbios na rede eléctrica, nomeadamente subtensões e sobretensões momentâneas. Como se pode constatar, o sistema detetou rapidamente a ocorrência de tais eventos, cessando de imediato a regulação da tensão do barramento CC. Além disso, após a ocorrência de tais eventos, a regulação da tensão do barramento não é efetuada de imediato visto que poderia efetuar a paragem súbita das cargas adjacentes. Por esse mesmo motivo, é realizado uma recuperação lenta em que a energia do barramento é absorvida/injetada (dependendo do evento) de forma a atingir o valor de referência estipulado para a tensão do barramento CC de 150 V.

Por último, foi analisado o desempenho do filtro ativo série com diversos tipos de cargas, tendo-se tido em foco os momentos de transição de carga. Além disso, ainda nesta secção foi averiguado a distorção harmónica com cada tipo de carga

Capítulo 5

Desenvolvimento do Sistema de Controlo e Hardware de Potência

5.1 Introdução

Neste capítulo é descrito o desenvolvimento e implementação do sistema de controlo e hardware de potência do FAS sem fontes externas de energia. Deste modo, são apresentadas as diversas placas de circuito impresso (*Printed Circuit Board* – PCB) utilizadas para, entre outros, o acoplamento dos sensores, o condicionamento de sinal, *driver* e proteção dos semicondutores de potência.

É de salientar que muitos dos circuitos que compõe ambos os sistemas já existiam no laboratório do GEPE, tendo sido posteriormente necessário dimensionar os componentes de forma a adaptar as PCBs às especificações em questão. Todo o dimensionamento é também explicitado neste mesmo capítulo.

5.2 Desenvolvimento do Sistema de Controlo

O sistema de controlo, apresentado na Figura 5.1, é constituído pelos componentes essenciais para o correto funcionamento do FAS. As variáveis (v_S , v_{CC} , v_F , i_{Carga} , i_{Lf}) necessárias para o sistema de controlo são obtidas através de sensores de tensão e corrente, passando por um condicionamento de sinal sendo finalmente convertidas através de uma placa de conversão analógico-digital para serem interpretadas pelo DSC.

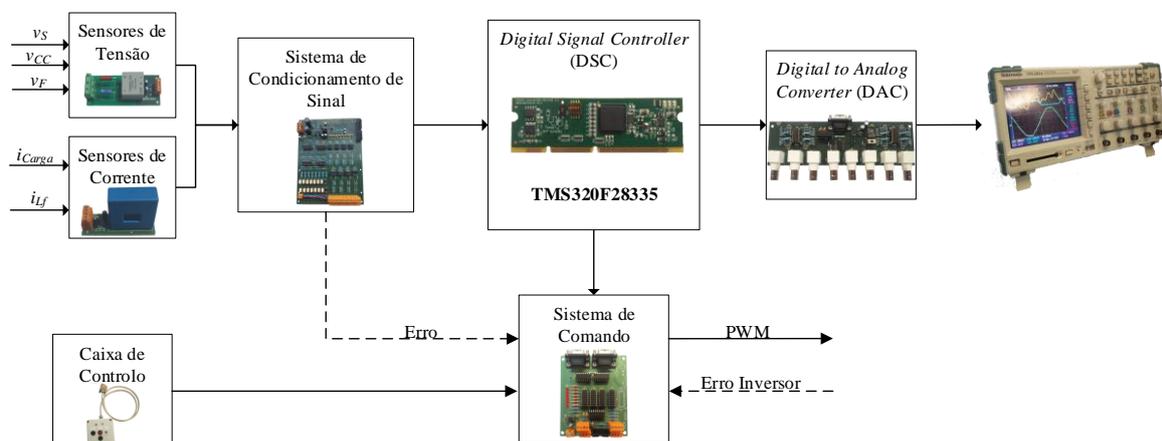


Figura 5.1 -Visão geral do sistema de controlo.

O DSC representa a unidade central do sistema de controlo. É o componente que, com base na informação providenciada pela placa de condicionamento, executa o algoritmo de controlo e gera os pulsos digitais de PWM. Através da placa de comando, estes pulsos são convertidos de 3,3 V TTL (*Transistor – Transistor Logic*) para 15 V CMOS (*Complementary metal-oxide-semiconductor*) e posteriormente transmitidos aos terminais de *gate* dos IGBTs por meio das placas de *driver* respetivas.

De forma a garantir a integridade de todo o sistema, esta mesma placa contém um circuito que permite interromper o envio de pulsos PWM para os semicondutores, na eventualidade de alguma das variáveis adquiridas pela placa de condicionamento de sinal ultrapassar os valores máximos estipulados pelo circuito de deteção de erros nela existente.

Além disso, o sistema de controlo possui uma placa de conversão de digital para analógica (DAC – *Digital to analog converter*) que permite a visualização das variáveis internas do DSC, em tempo real, com recurso a um osciloscópio.

5.2.1 Placa do Sensor de Tensão

Para o correto funcionamento do FAS sem fontes externas de energia, é essencial ter o conhecimento de determinados valores de tensão, tais como, a tensão da rede elétrica, a tensão de saída do FAS e a tensão do barramento CC. Dado que os níveis de tensão são consideráveis, é necessário tomar partido de elementos capazes de adquirir essas mesmas tensões sem comprometer a segurança dos circuitos adjacentes. Deste modo, o isolamento galvânico torna-se indispensável.

Assim sendo, para efetuar as medições das tensões necessárias para o funcionamento do FAS, foram utilizados os sensores de tensão de efeito de Hall CYHVS5-25A da *ChenYang Technologies*. Estes sensores, com o esquema e aspeto físico apresentados na Figura 5.2, têm a particularidade de efetuarem leituras de tensões CC e CA, podendo medir até um valor máximo de 2 kV [87].

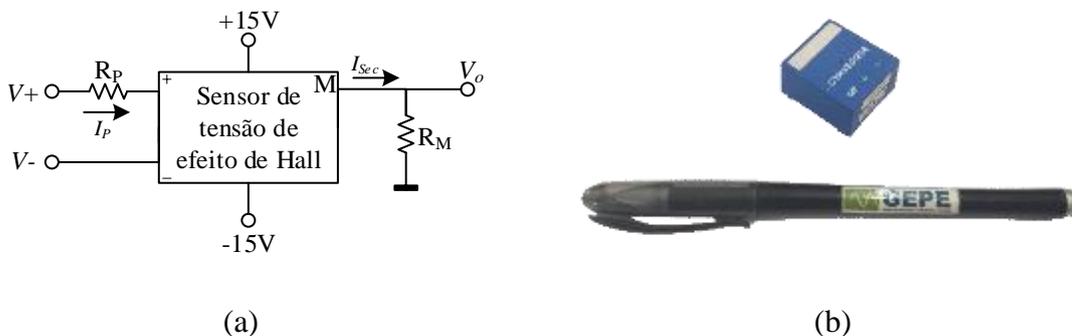


Figura 5.2 - Sensor de tensão CYHVS5-25A: (a) Esquema operacional; (b) Aspeto físico.

Como é demonstrado na Figura 5.2 (a), para efetuar medições corretas, é necessário utilizar resistências de medida no lado primário e secundário do sensor.

O lado primário possui uma corrente nominal (I_p) de 5 mA RMS, sendo este fator pertinente aquando da escolha da(s) resistência(s) visto que se deve garantir que a corrente de entrada não ultrapasse este valor. Devido ao facto de o sensor possuir um rácio de espiras de 5000:1000, a corrente nominal do secundário (I_{Sec}) é de 25 mA. Adicionalmente, a saída deste sensor (I_{Sec}) é em corrente, sendo necessário utilizar uma resistência de medida em paralelo de forma a obter uma saída em tensão (V_o).

De forma a acoplar os sensores de tensão ao sistema, foram utilizadas PCBs previamente desenvolvidas no laboratório do GEPE como a apresentada na Figura 5.3. Nesta mesma PCB são visíveis as resistências de entrada do lado primário (R_p) e alguns condensadores de filtragem de ruído do lado secundário, sendo que as resistências de medida se encontram na placa de condicionamento de sinal que é abordada na secção 5.2.3.



Figura 5.3 - PCB de aquisição dos sinais dos sensores de tensão CYHVS5-25.

Assim, de modo a dimensionar as resistências de entrada, é necessário estipular o nível máximo de tensão (V_{Max}) que o sensor terá de medir. Além disso, visto que a corrente do primário do sensor (I_p) é de 5 mA RMS, o cálculo da resistência de entrada (R_p) pode ser efetuado de acordo com a equação (5.1).

$$R_p = \frac{V_{Max}}{I_p} \quad (5.1)$$

Por outro lado, como a tensão de entrada é elevada, a resistência a colocar tem de possuir uma potência de dissipação adequada, de forma a evitar a sua deteriorização. Tal pode ser averiguado com recurso à Lei de Joule, apresentada na equação (5.2).

$$P = R_p \cdot I_p^2 \quad (5.2)$$

Deste modo, tendo ainda em consideração os valores *standard* das resistências e a disponibilidade das mesmas no laboratório, estas foram dimensionadas como se apresenta na Tabela 5.1. Foi tido em consideração a possibilidade de existência de uma sobretensão momentânea de 30% na rede elétrica, resultando num aumento de 1,3 ao valor da tensão estipulada.

Tabela 5.1 - Dimensionamento da resistência de entrada dos sensores de tensão.

Sensor de Tensão	Tensão Estipulada	Resistência de Entrada (R_P)	Potência Mínima	Resistência(s) Utilizada(s)
Tensão da Rede Elétrica	$1,3\sqrt{2} \cdot 230 \approx 425 \text{ V}$	85 k Ω	2,125 W	47 k Ω (3 W), 47 k Ω (3 W)
Tensão do Barramento CC	300 V	60 k Ω	1,5 W	47 k Ω (3 W), 27 k Ω (3 W)
Tensão de Saída do Filtro Ativo	115 V	23 k Ω	0,575 W	10 k Ω (3 W), 15 k Ω (3 W)

5.2.2 Placa do Sensor de Corrente

Em conjunto com os sensores de tensão apresentados previamente, é também necessário recorrer a sensores de corrente de forma a complementar o sistema de controlo, mais concretamente ao nível da aquisição da corrente da carga (i_{Carga}) e do filtro passivo (i_{Lf}). Visto que se tratam de pontos de aquisição com correntes consideráveis, o isolamento galvânico é mandatório.

Para cumprir com as condições apresentadas, para efetuar a medição das correntes necessárias recorreu-se a sensores de corrente de efeito de Hall LA-100P do fabricante LEM, sendo o seu esquema operacional e aspeto físico apresentados na Figura 5.4.

De modo semelhante ao sensor de tensão, este sensor permite a leitura de correntes (I_p) em CC ou CA até uma gama máxima de $\pm 100 \text{ A}$. Adicionalmente, possui uma relação de espiras de 1:2000, sendo a corrente nominal do secundário (I_{Sec}) de 50 mA RMS [88]. Visto que a saída do sensor é também obtida em corrente, é necessário utilizar uma resistência de medida do lado secundário para obter a saída sob a forma de tensão.

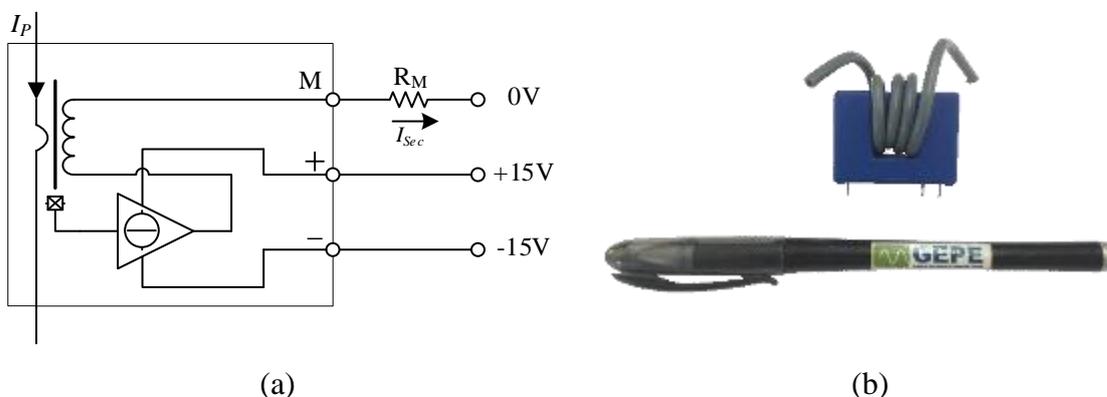


Figura 5.4 - Sensor de corrente LA-100P: (a) Esquema operacional; (b) Aspeto físico com quatro espiras do fio condutor através da abertura do sensor.

Para além disso, é ainda possível reduzir a gama de medição em prol de uma maior sensibilidade. Tal é conseguido através da passagem do condutor de corrente através da janela

no sensor, podendo este ser enrolado em espiras em torno do mesmo como é demonstrado na Figura 5.4 (b). Deste modo, a gama de medição é reduzida proporcionalmente ao número de espiras.

De forma similar aos sensores de tensão, foram utilizadas PCBs previamente desenvolvidas no laboratório do GEPE com o intuito de integrar os sensores de corrente no sistema de controlo como a que é apresentada na Figura 5.5. Estas possuem entradas de alimentação e condensadores de filtragem do lado secundário, sendo o lado primário acedido através da janela presente no sensor, dedicada à passagem do condutor de corrente pela mesma.



Figura 5.5 - PCB de aquisição dos sinais dos sensores de corrente LA-100P.

5.2.3 Placa de Condicionamento de Sinal e Detecção de Erros

Em qualquer sistema de controlo de eletrónica de potência, é necessário existir um sistema de condicionamento de sinal auxiliado de proteções por hardware. Deste modo, é possível estabelecer uma interface entre a saída dos sensores de tensão em corrente e o DSC em simultâneo com a deteção de sobretensões e/ou sobrecorrentes em quaisquer dos sensores de medida. Assim, em caso de falha, a operação do conversor é interrompida e a integridade do sistema é assegurada. Desta forma, a placa de condicionamento de sinal utilizada para esta tarefa é composta pelas duas partes anteriormente explicitadas.

A parte referente ao circuito de condicionamento de sinal, representado na Figura 5.6, é responsável por converter os sinais analógicos provenientes dos sensores para uma escala de ± 5 V para a leitura do conversor analógico-digital (*Analog-to-Digital Converter* – ADC) e posterior transmissão, em formato digital, ao DSC. De forma a facilitar esta interface, utilizou-se o ADC externo ADS8528 do fabricante *Texas Instruments*, em vez do ADC interno do DSC. A escolha requereu sob o facto deste ADC permitir a leitura de valores de ± 5 V e possuir uma resolução de 12-bits [89]. Para além disso, o ADC interno da DSC só realiza a leitura de valores positivos, o que implicaria o uso da soma de um *offset* no circuito amplificador inversor. Assim sendo, a placa de condicionamento de sinal e deteção de erros foi preparada para a ligação dos oito canais do ADC externo. De referir que, para a realização

deste trabalho apenas foram utilizados cinco dos oito canais existentes, sendo cada canal de ADC referente a cada sensor utilizado.

Ainda referente ao circuito de condicionamento de sinal, presente na Figura 5.6, este pode ser dividido na resistência de medida, no circuito amplificador inversor, no seguidor de tensão e no filtro passa-baixo RC.

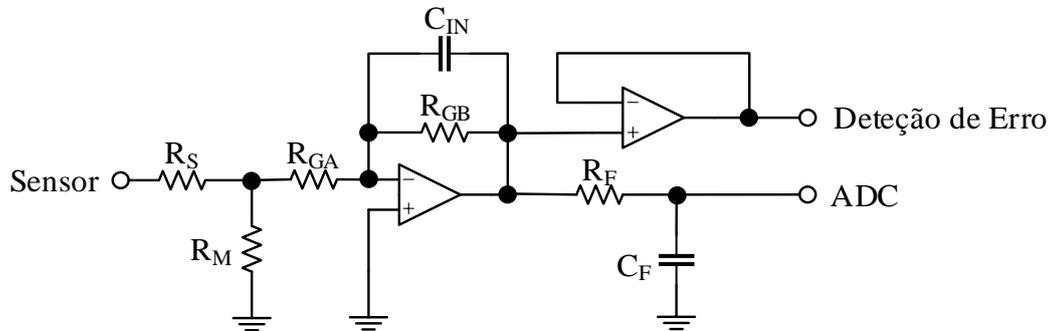


Figura 5.6 - Circuito de condicionamento de sinal.

A resistência de medida, R_M , encontra-se dimensionada de modo a que a tensão máxima aos seus terminais seja $\pm 2,5$ V. Isto deve-se ao facto deste elemento estar conectado a uma montagem amplificadora inversora, cujo dimensionamento das resistências, providencia um ganho de dois. Em conjunto, a multiplicação deste ganho pela tensão máxima da resistência de medida corresponde à gama máxima de ± 5 V face às especificações do ADC externo. Posto isto, o valor da resistência de medida, R_M , foi obtido de acordo com a equação (5.3), tendo em consideração o valor máximo de tensão admissível para a queda de tensão na resistência de medida, R_M , de 2,5 V e a corrente nominal, I_{sec} , imposta pelo fabricante do sensor (25 mA para o secundário do sensor de tensão e 50 mA para o secundário do sensor de corrente).

$$R_M = \frac{2,5}{I_{sec}} \quad (5.3)$$

É de referir que o circuito de condicionamento de sinal permite a associação de uma resistência, R_S , em série com a resistência de medida, R_M . O resultado do cálculo da resistência de medida, proveniente da equação (5.3), pode não estar comprometido entre os valores definidos pelo fabricante, tornando-se imprescindível o uso do elemento resistivo R_S para garantir os valores padrão da resistência de medida, R_M . Caso não seja necessário utilizar a segunda resistência, deve colocar-se um *shunt* no espaço disponível. Posto isto, apresenta-se na Tabela 5.2 as resistências utilizadas no circuito de condicionamento de sinal com base nas informações anteriormente explicitadas.

Tabela 5.2 - Resistências utilizadas no circuito de condicionamento de sinal.

Sensor	R_s	R_M	R_{GA}	R_{GB}
v_{rede}	-	100 Ω	18 k Ω	36 k Ω
v_{cc}	-	100 Ω	18 k Ω	36 k Ω
v_f	-	100 Ω	18 k Ω	36 k Ω
i_{carga}	-	50 Ω	18 k Ω	36 k Ω
i_{lf}	-	50 Ω	18 k Ω	36 k Ω

Por outro lado, o seguidor de tensão e o filtro passa-baixo RC estão ambos ligados à saída do amplificador inversor. O filtro passa-baixo, composto pela resistência R_F e o condensador C_F , tem a função de filtrar os ruídos do sinal a ser adquirido pelo ADC. Em contrapartida, em relação ao circuito seguidor de tensão, implementado com recurso a um AMPOP, funciona como um “isolador”, de modo a transmitir o valor de tensão da saída do amplificador inversor para o circuito de deteção de erros.

O circuito de deteção de erros, apresentado na Figura 5.7, consiste num comparador em janela. Este circuito permite obter um nível lógico alto na saída caso o sinal de entrada (Erro_ADC) não se encontre dentro da gama definida. Assim sendo, os limites superiores (*Upper Trip Point – UTP*) e inferior (*Lower Trip Point – LTP*) do comparador em janela são definidos através do dimensionamento das respetivas resistências. É de salientar que o curto-circuito entre as ambas as saídas dos comparadores, visível na Figura 5.7, apenas é possível se as mesmas forem em coletor aberto.

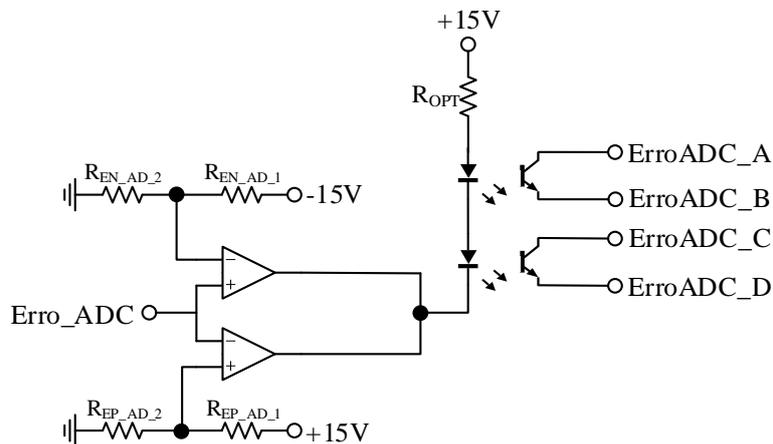


Figura 5.7 – Circuito comparador em janela utilizado na deteção de erros.

Deste modo, com o correto dimensionamento das resistências é possível estipular uma gama de valores máximos e mínimo para as tensões e correntes do sistema proposto. Caso os limites impostos sejam ultrapassados, um sinal de erro é gerado e transmitido à placa de comando (secção 5.2.6), permitindo interromper a comutação dos IGBTs.

Tabela 5.3 - Resistências utilizadas no circuito de deteção de erros.

Sensor	REN_AD_1	REN_AD_2	REP_AD_1	REP_AD_2
v_{rede}	150 k Ω	75 k Ω	150 k Ω	75 k Ω
v_{cc}	150 k Ω	510 Ω	150 k Ω	75 k Ω
v_f	150 k Ω	75 k Ω	150 k Ω	75 k Ω
i_{carga}	150 k Ω	75 k Ω	150 k Ω	75 k Ω
i_{lf}	150 k Ω	510 Ω	150 k Ω	75 k Ω

O aspeto final da placa de condicionamento de sinal e deteção de erros encontra-se na Figura 5.8, tendo sido desenvolvida e disponibilizada pelo laboratório do GEPE.

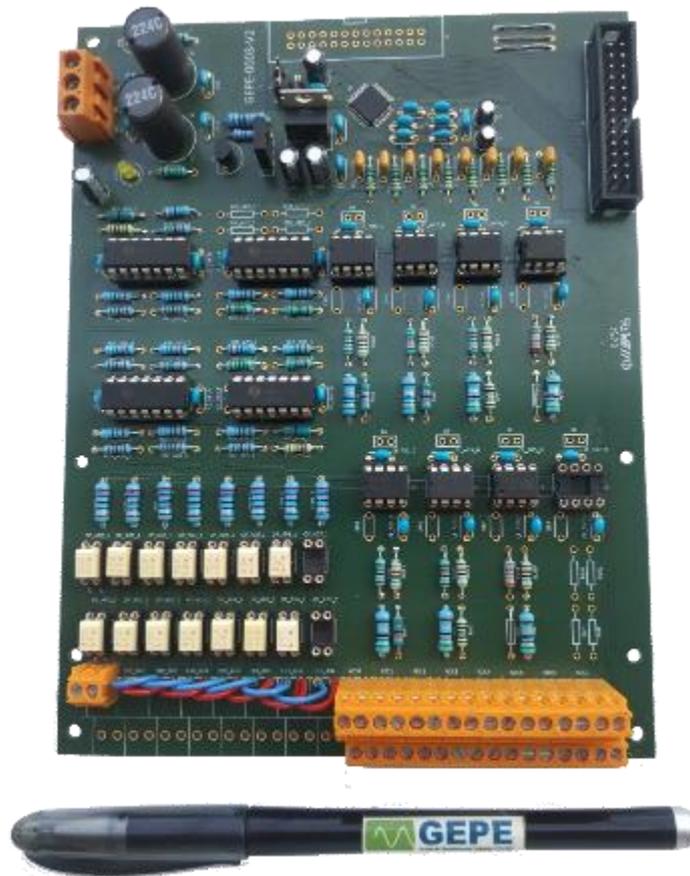


Figura 5.8 - PCB de condicionamento de sinal e deteção de erros.

5.2.4 Placa de Controlo Digital de Sinal

Atualmente, qualquer sistema eletrónico, independentemente das suas dimensões, possui um elemento central capaz de manter o correto funcionamento de todo o sistema adjacente. Não obstante, o mesmo princípio é empregue em sistemas de eletrónica de potência, dado que pretende efetuar-se a amostragem de grandezas físicas e atuação de semicondutores de potência a frequências elevadas. Deste modo, com o avanço da tecnologia foi possível

desenvolver controladores digitais de baixo custo, elevada performance e consumo de energia reduzido.

Para a função de controlo e processamento do sistema, foi escolhido o DSC *TMS320F28335*, desenvolvida sob uma arquitetura Harvard pelo fabricante *Texas Instruments*, dada a consideração empregue pelo fabricante na área de eletrónica de potência. Este microcontrolador, apresentado na Figura 5.9, possui uma unidade central de processamento (*Central Process Unit – CPU*) de 32-bits, com uma frequência de cristal de 150 MHz, e uma unidade de vírgula flutuante (*Floating-Point Unit – FPU*), permitindo um maior desempenho na execução de cálculos envolvendo números com parte decimal em relação aos processadores do tipo *fixed-point*. Além disso, relativamente a memória, apresenta 68 kB de memória RAM (*Random Access Memory*) e 512 kB de memória *flash*. Em termos de periféricos, este DSC possui 18 canais de PWM, estando estes preparados para funcionarem de forma independente ou complementar e gerar *deadtimes*. Adicionalmente, também possui 3 timers de 32-bits, 88 pinos de entrada/saída de uso geral (*General Purpose Input/Output – GPIO*) e um ADC interno de 12-bits com 16 canais, não tendo sido este último utilizado devido às vantagens inerentes ao ADC externo expostas na secção 5.2.3. Para além dos periféricos salientados, este controlador digital possui alguns periféricos dedicados a comunicação, nomeadamente módulos JTAG, CAN, UART, I2C e SPI, sendo este último utilizado para estabelecer comunicação com a placa de DAC apresentada na secção 5.2.9 [90].

A *Texas Instruments* fornece ferramentas de suporte ao desenvolvimento e depuração de aplicações para as placas por eles comercializadas. Deste modo, o ambiente de desenvolvimento integrado (*Integrated Development Environment – IDE*), o *Code Composer Studio™ v8*, providencia uma plataforma intuitiva para a programação da respetiva placa, em código C/C++.



Figura 5.9 - Placa de controlo digital de sinal *TMS320F28335*.

5.2.5 Placa de Suporte de DSC

A placa DSC *TMS320F28335* apresenta inúmeras características relevantes ao desenvolvimento de equipamentos de eletrónica de potência, como apresentado na secção

5.2.4. No entanto, como se pode constatar na Figura 5.9, o acesso aos pinos de GPIO é feito através dos pontos de contacto apresentados na parte inferior da DSC (zona a amarelo). Este fator, torna a interligação entre todas as placas e a unidade central de controlo complicada. Deste modo, utilizou-se uma PCB de suporte ao DSC desenvolvida e disponibilizada pelo laboratório do GEPE que se encontra na Figura 5.10, representando uma interface viável entre a DSC e as restantes placas de controlo.

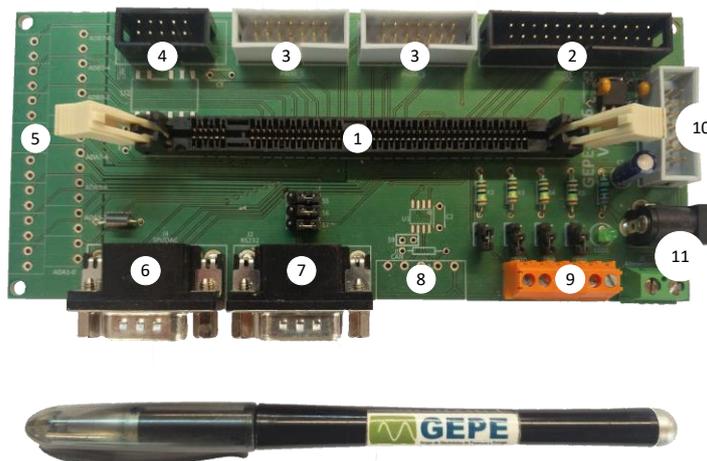


Figura 5.10 - Placa de suporte baseada no DSC *TMS320F28335*.

Esta placa permite a ligação da DSC através da *socket* DIMM 100 (1), assim como a ligação da placa de ADC externo (2), da placa de comando (3) e da placa de *Input/Output* (4) através de *flat cables*. Adicionalmente, permite a ligação de sinais analógicos aos canais do ADC interno da placa (5), embora este não tenha sido utilizado. Para além disso, contém 2 conectores DB9 para a ligação da placa de DAC (6) e para o envio e receção de informação através da porta-série (7), respetivamente. Além do protocolo de comunicação RS232, suporta o protocolo CAN (8), não sendo este utilizado nesta dissertação. Posto isto, incorpora 5 pinos de GPIO (9) que podem ser configurados individualmente como interrupções externas. Por conseguinte, é ainda suportado através de um conector *header* (10), a programação e depuração do código através do IDE *Code Composer Studio*™ v8. Por fim, esta placa tem duas formas de alimentação (11): 5 V através do conector ou 5 V pela entrada *jack*.

5.2.6 Placa de Comando

Em qualquer sistema de eletrónica de potência, o controlo do andar de potência é baseado no envio de pulsos de forma a comandar os semicondutores de potência. No entanto, os níveis de tensão usuais no sistema de controlo (3,3 V ou 5 V) são inferiores aqueles usados para comandar os semicondutores de potência (pelo menos 15 V). Deste modo, para comandar os IGBTs do FAS foi utilizada uma placa de comando, previamente desenvolvida e

disponibilizada pelo laboratório do GEPE, com a função de realizar uma interface entre o DSC e o circuito de *driver* dos semicondutores de potência. Esta PCB, apresentada na Figura 5.11, recebe os sinais de PWM gerados pelo DSC em lógica TTL de 3,3 V e converte-os para lógica CMOS de 15 V. Além disso, assegura a proteção dos semicondutores de potência, isto é, os pulsos de comando das *gates* dos IGBTs só são transmitidos se o sinal de habilitação de comutação (*led* verde) estiver ativo e não existir sinais de erros (*leds* vermelhos). Os erros podem estar associados à placa de aquisição de sinal, ao circuito de *driver* dos semicondutores, ou a outra fonte de erros. Caso um desses erros seja detetado, o led associado é ligado e o envio dos pulsos para os semicondutores é inibido. Os erros despoletados são memorizados e mantêm-se desse modo até ser enviado um sinal para limpar os mesmos, proveniente do utilizador em controlo do sistema.



Figura 5.11 - Placa de comando monofásica.

5.2.7 Placa de Disparo do FAS Monofásico

O desenvolvimento de equipamentos de eletrónica de potência pressupõe o uso de conversores de potência de modo a controlar o fluxo de energia. Em específico, nesta dissertação é utilizado um conversor CC-CA em ponte completa com um condensador no barramento CC como elemento armazenador. Este elemento, num estágio inicial de arranque do sistema, necessita de ser carregado com um valor de tensão especificado pelo algoritmo de controlo. Devido ao facto deste conversor se encontrar em série com a rede elétrica, é necessário garantir que o condensador seja carregado de forma suave sem perturbar o funcionamento das cargas. Posto isto, foi desenvolvida uma placa de disparo do FAS monofásico, apresentada na Figura 5.12, que permite colocar os dois semicondutores superiores/inferiores do conversor CC-CA fechados na ausência do sinal de habilitação de comutações, proveniente da placa de comando. Deste modo, é garantido que a ligação do

FAS à rede elétrica é realizada por esses mesmo semicondutores, evitando que a energia carregue o condensador e ocorra uma interrupção no correto funcionamento da carga.

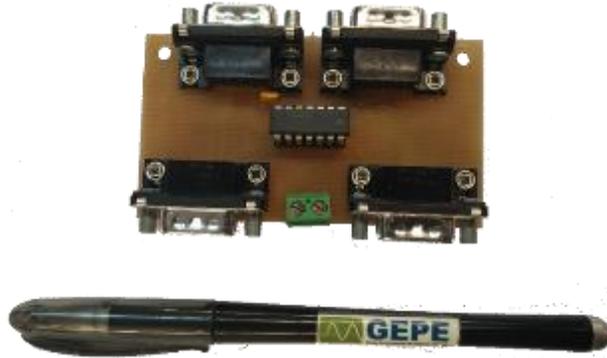


Figura 5.12 - Placa de disparo do filtro ativo série monofásico.

5.2.8 Caixa de Controlo

Tratando-se esta dissertação do desenvolvimento de um sistema de eletrónica de potência, a criação de um elemento entre o sistema de controlo e o utilizador torna-se imprescindível. Tal elemento tem de sinalizar a existência/ausência de erros, permitir habilitar as comutações e o possibilitar o envio de comandos para o sistema de controlo. Assim sendo, a Figura 5.13 representa a caixa de controlo desenvolvida no âmbito deste projeto e contém todas as especificações previamente mencionadas.



Figura 5.13 - Caixa de controlo do sistema.

Em detalhe, esta caixa possui:

- 2 leds de sinalização (*led* vermelho – estado de erro; *led* verde – estado operacional);
- Botão de *enable* da DSC (não implementado);
- Botão de emergência (não implementado);
- Botão de *reset* dos erros da placa de comando;
- Interruptor de habilitação das comutações;

5.2.9 Placa de DAC

O desenvolvimento de equipamentos de eletrónica de potência carece da utilização de um sistema central capaz de controlar todo o sistema em questão. Embora seja uma opção viável em termos de velocidade, custo e eficiência, torna o processo de depuração das variáveis internas do DSC complicado. Apesar do IDE, neste caso o *Code Composer Studio*™ v8, providenciar ferramentas para a visualização das mesmas, a frequência de amostragem não é adequada (≤ 10 Hz) para observar sinais de elevada frequência de forma rigorosa.

Posto isto, para averiguar o comportamento de determinadas variáveis internas do DSC, em tempo real, foi utilizada uma placa de DAC de 8 canais, sem *offset*, previamente desenvolvida pelo laboratório do GEPE. Esta placa, exposta na Figura 5.14, é composta por um DAC *TLV5610* do fabricante *Texas Instruments*. Trata-se de um DAC de 12-bits com saída entre 0 e 2,5 V [91]. De forma a retirar o *offset*, esta placa também contém um circuito de condicionamento de sinal com amplificadores operacionais *rail-to-rail*, permitindo que a saída seja entre ± 5 V.



Figura 5.14 - Placa de DAC.

O DAC *TLV5610* comunica através de um protocolo *SPI* (*Serial Peripheral Interface*), sendo a placa conectada através de uma ficha DB9 à *socket* reservada para a mesma na placa de suporte à DSC. Por outro lado, os 8 canais de saída estão acessíveis por meio de terminais *BNC*, um individual para cada canal, podendo cada saída ser visualizada com recurso a um osciloscópio.

5.2.10 Construção do Sistema de Controlo

O sistema de controlo é composto por um conjunto de PCBs interligadas entre si de modo a estabelecer o correto funcionamento do filtro ativo monofásico. Assim, com o intuito de preservar o sistema em si de possíveis interferências externas, foi decidido que este seria

colocado num *rack* de 19 polegadas. O *rack* utilizada foi o modelo *PF-19* do fabricante *RS PRO* devido às suas dimensões e flexibilidade para aplicações de eletrónica de potência [92]. De forma a evitar o possível estrago da estrutura, numa primeira fase foi realizado um estudo para a melhor disposição das PCBs no interior do *rack*. Para isso, recorreu-se a um *design* 2D da possível ordem, sendo somente depois realizado a montagem de todo o sistema de controlo.

***Design* 2D do Sistema de Controlo**

O *design* do sistema de controlo foi pensado de modo a que este pudesse ser aproveitado no futuro para outro sistema de eletrónica de potência. Em específico, na escolha da localização da placa de ADC e de comando foi tomada em consideração a possível colocação de PCBs em cascata, possibilitando a leitura de um maior número de sensores e a atuação de mais semicondutores de potência. Deste modo, a Figura 5.15 representa a distribuição das placas que compõe o sistema de controlo, em que todas as ligações entre as placas será realizado por intermédio de calhas (as ligações não se encontram representadas).

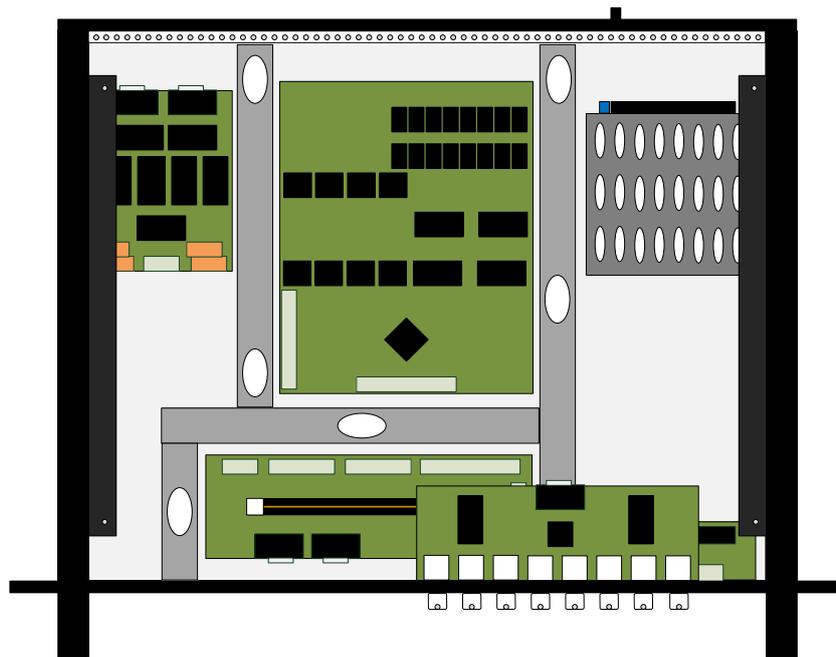


Figura 5.15 - *Design* 2D da distribuição das PCBs que constituem o sistema de controlo.

Além das placas apresentadas nas secções anteriores, o *rack* de controlo é composto por uma fonte energia (canto superior direito). Trata-se de uma fonte de 35 W *TXL 035-1515D* do fabricante *Traco Power*, com duas saídas reguladas para -15 V e +15 V, respetivamente [93]. Devido a este mesmo fator, foi utilizado um conversor *buck* para baixar a tensão para 5 V de forma a alimentar a placa de suporte ao DSC. Além disso, foi também utilizada uma placa para efetuar o envio e depuração de código. Ambas as placas foram dispostas por baixo da placa de DAC, sendo só possível visualizar esta última na Figura 5.15.

Em termos práticos, o *rack* foi desenvolvido para efetuar uma interface entre o utilizador, os sensores e o andar de potência. Assim sendo, a parte traseira do *rack*, apresentada na Figura 5.16, representa a ligação entre os sensores e o andar de potência. É composta por um conector *IEC*, um interruptor, 8 conectores *XLR* de 4 pinos e 2 conectores *DB9* macho.

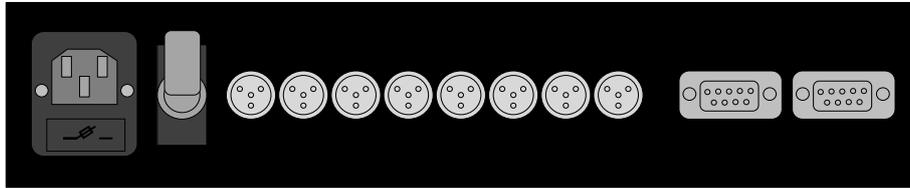


Figura 5.16 - *Design 2D* da parte traseira do *rack* do sistema de controlo.

O conector *IEC* é ligado à rede elétrica (230 V/50 Hz) e fornece energia à fonte, podendo esta ser interrompida através do interruptor. Os 8 conectores *XLR* de 4 pinos permitem efetuar a ligação dos sensores à placa de ADC, tendo sido necessário usufruir de 5 conectores dos 8 disponíveis. Por último, os 2 conectores *DB9* macho permitem o envio dos pulsos de PWM, gerados pelo DSC, para os módulos de *driver* dos semicondutores de potência.

De modo análogo, a parte frontal do *rack* foi dedicada à interface com o utilizador. É composta por 2 conectores *DB9*, 8 terminais *BNC* fêmea e uma porta micro USB (*Universal Serial Bus*) tipo B fêmea, como se pode comprovar na Figura 5.17.

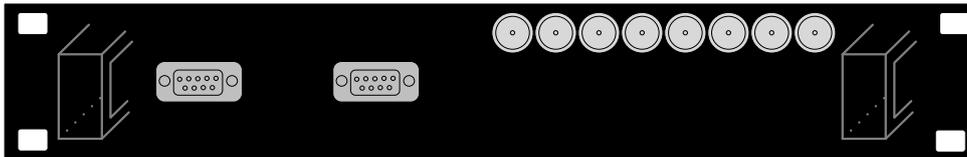


Figura 5.17 - *Design 2D* da parte frontal da *rack* do sistema de controlo.

O primeiro conector *DB9* é referente à caixa de controlo apresentada na secção 5.2.8, permitindo o envio dos sinais para limpar os erros do sistema e habilitação de comutações, respetivamente. O segundo conector *DB9* permite efetuar comunicação porta-série entre o utilizador e o sistema de controlo. Proporciona o envio de comandos e receção de informação útil ao utilizador. Seguidamente, os 8 terminais *BNC* providenciam ao utilizador a visualização das variáveis internas do DSC, em tempo real, com recurso a um osciloscópio. Por último, a porta micro USB efetua ligação entre a placa de depuração do DSC e o utilizador. Através dela, é possível enviar o código referente à malha de controlo e, como já foi referido, efetuar depuração de todo o sistema.

Construção do Sistema de Controlo

Com base no especto do sistema de controlo apresentado anteriormente, passou-se para a construção do mesmo. A Figura 5.18 (a) representa o aspeto real da projeção em 2D apresentada na Figura 5.15, contendo as ligações entre todos os componentes.

Adicionalmente, na Figura 5.18 (b) pode visualizar-se a vista lateral do sistema de controlo, com ênfase para os métodos de interface com o utilizador.

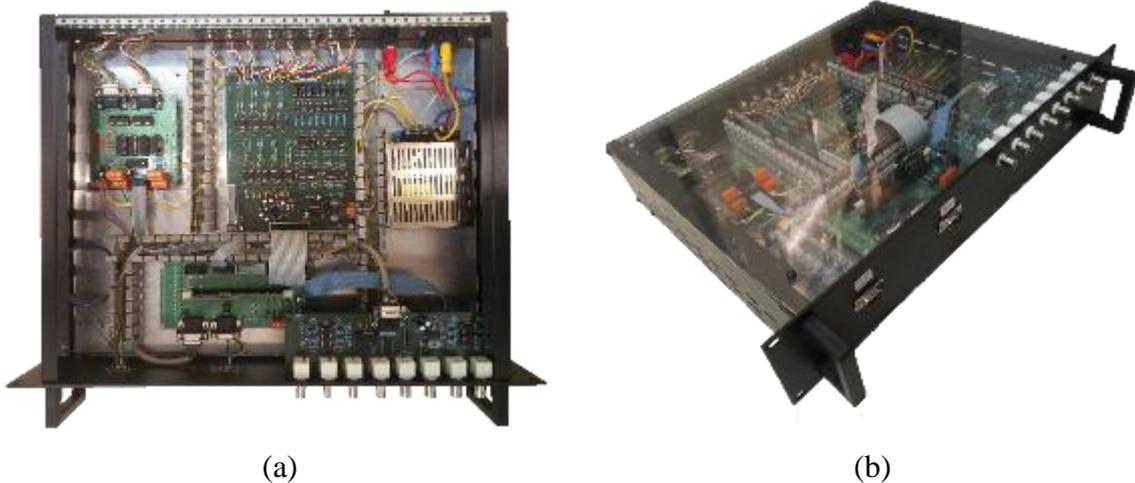


Figura 5.18 - Aspeto final do rack contendo o sistema de controlo: (a) Vista de cima, (b) Vista lateral.

É de salientar que a parte superior do *rack* foi coberta por uma placa de policarbonato transparente, que oferece grande resistência a impactos ao mesmo tempo que permite a visualização, por parte do utilizador, o estado do sistema através dos *leds* presentes nas placas.

5.2.11 Implementação do Algoritmo de Controlo

Uma vez concluída a montagem e o teste individual de cada placa que compõe o sistema de controlo, iniciou-se o desenvolvimento do algoritmo de controlo referente ao filtro ativo série. Como previamente mencionado, toda a malha de controlo foi implementada em código C no DSC *TMS320F28335* do fabricante *Texas Instruments*, tendo sido grande parte do código desenvolvido nas simulações computacionais, adaptado para esta plataforma.

Deste modo, apresenta-se na Figura 5.19 um fluxograma geral do algoritmo de controlo implementado. Em específico, este algoritmo refere-se à função *main()* do DSC, sendo as sub-rotinas de configuração do sistema, pré-carga do barramento CC e controlo do filtro ativo implementadas em funções separadas.

Posto isto, o desenvolvimento de qualquer algoritmo de controlo em DSCs pressupõe que certos periféricos internos do controlador sejam configurados anteriormente por parte do utilizador. Assim sendo, o processo de configuração do sistema permite colocar todos os periféricos do DSC num estado de *reset* e configurar os periféricos (*timer*, interrupção externa, SPI, USART, SPI, PWM, GPIOs) necessários ao controlo do FAS. Ainda neste processo, os periféricos do *timer* e PWM foram configurados com uma frequência de 20 kHz e 40 kHz, respetivamente.

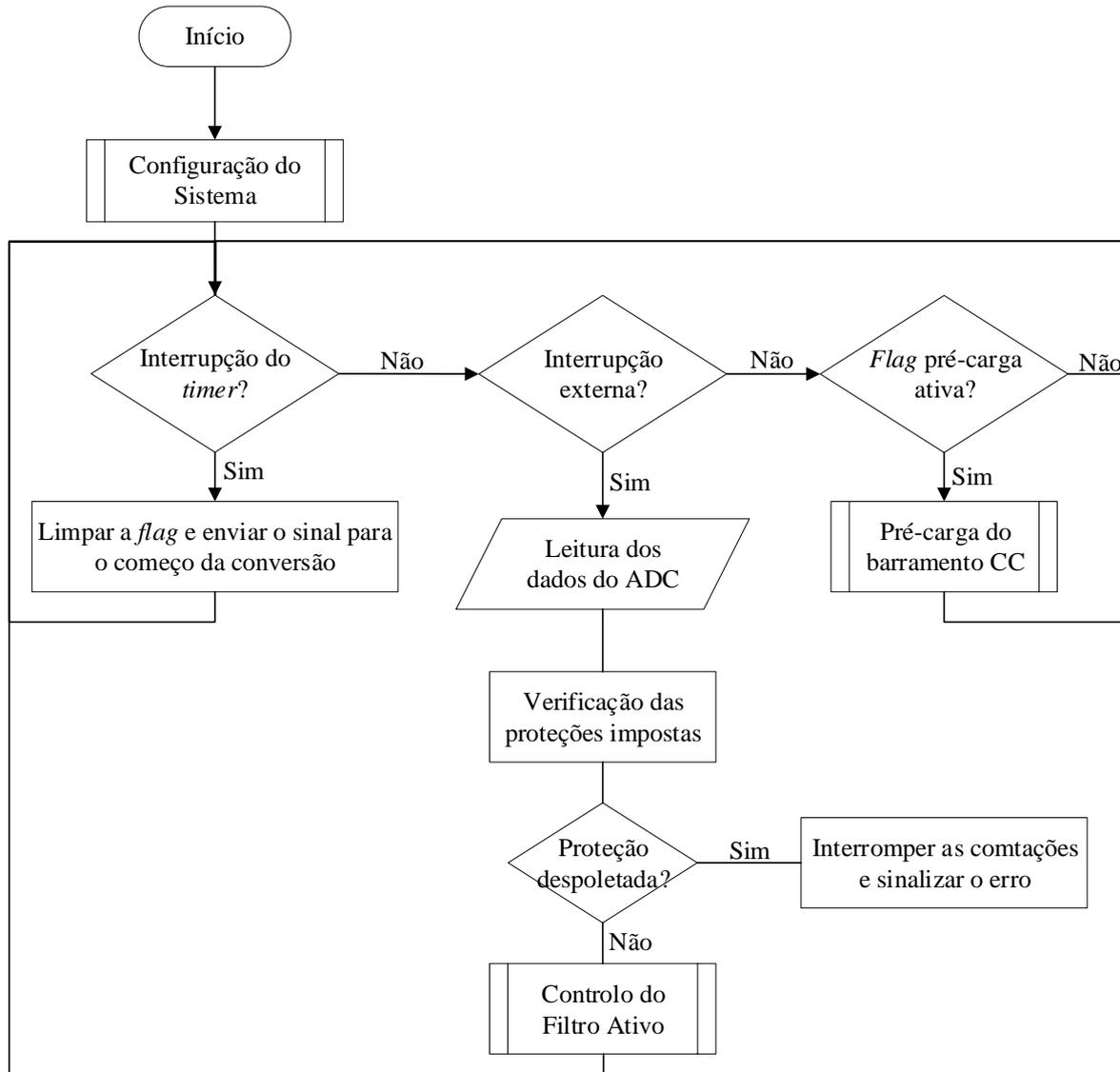


Figura 5.19 - Fluxograma geral relativo ao algoritmo de controlo implementado no DSC.

Após esta configuração inicial, é necessário esperar pela interrupção do *timer* (a cada 25 μ s) para sinalizar ao ADC externo o começo da conversão dos valores proveniente dos sensores. Após tais terem sido adquiridos, o ADC externo indica ao DSC, por meio de uma interrupção externa, que a informação pode ser manipulada. Assim, o DSC efetua a leitura dos valores do ADC, verifica se os mesmos se encontram dentro dos limites de segurança impostos e efetua a sub-rotina relativa ao controlo do filtro ativo. No caso de algum dos valores do ADC despoletar alguma das proteções imposta por software, as comutações são interrompidas e o erro é sinalizado, de forma a solicitar a intervenção do utilizador.

Por outro lado, o processo de pré-carga do barramento CC só é sinalizado na sub-rotina de controlo do FAS, apresentada na Figura 5.20. Em particular, este processo, explicado na secção 4.4, é desencadeado no momento em que a PLL sincroniza com a rede elétrica (em termos de amplitude), podendo esse processo ser visualizado em detalhe na Figura 5.20.

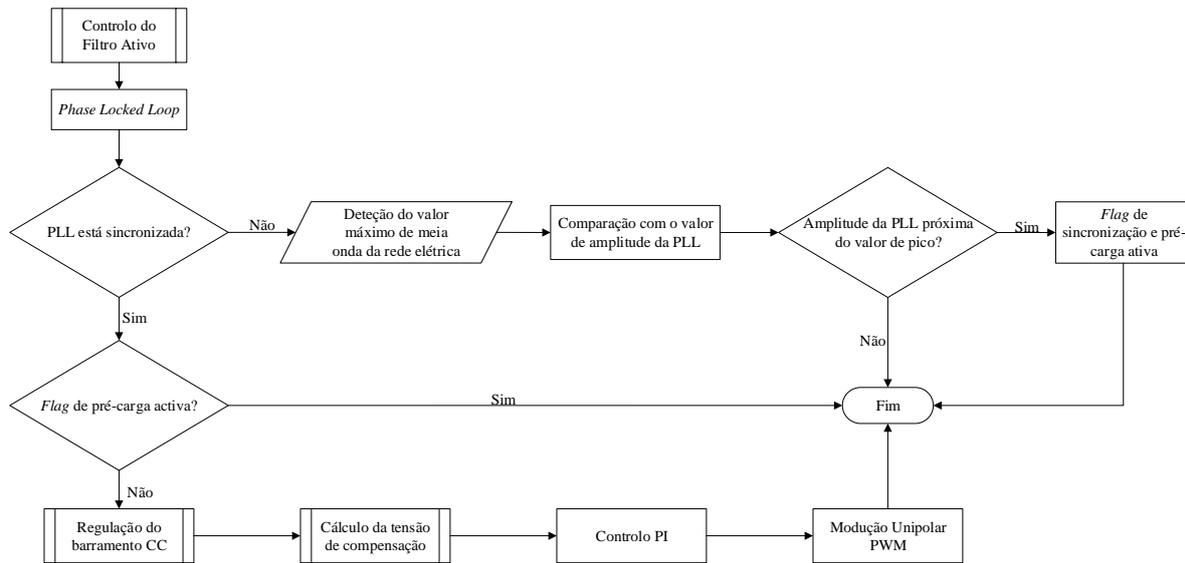


Figura 5.20 - Fluxograma central relativo ao algoritmo do filtro ativo série.

Após este processo de pré-carga estar concluído, o FAS entra em regime permanente realizando a regulação ao barramento CC, compensação de harmónicos e compensação do valor eficaz. Relativamente à compensação de cavas e sobretensões da rede elétrica, esse processo é analisado na sub-rotina relativa à regulação do barramento, cessando a regulação na deteção de um evento desse tipo.

5.3 Desenvolvimento do Hardware de Potência

A construção de inversores para aplicações de electrónica de potência pressupõe o cumprimento de certos requisitos elétricos específicos da aplicação em questão. Além disso, devido ao facto de existirem níveis de potência significativos, é essencial ter em consideração o modo de montagem, potencializando a dissipação do calor gerado pelos componentes eletrónicos.

Deste modo, o andar de potência desenvolvido no âmbito desta dissertação encontra-se na Figura 5.21. É composto por um conversor CC-CA em ponte completa, um barramento CC e um filtro passivo RLC de acoplamento à rede elétrica. Assim sendo, com base nas condições de tensão e corrente necessárias ao funcionamento do inversor, adquiridas das simulações computacionais, associada à frequência de comutação estipulada (40 kHz) procedeu-se à seleção dos componentes necessários à construção do andar de potência.

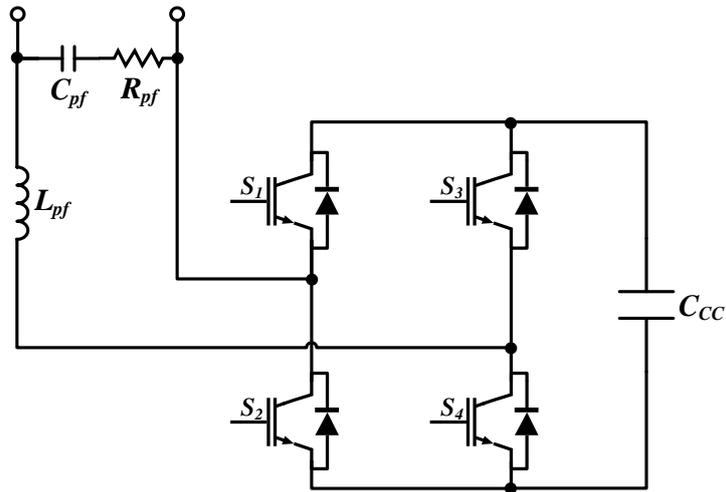


Figura 5.21 - Circuito referente ao andar de potência.

É possível observar na Figura 5.22 uma visão geral dos componentes escolhidos e a forma de interligação entre os mesmos. É de salientar que se encontram identificados três componentes que não foram previamente mencionados: a *driver* de IGBTs, o sistema de proteção e o circuito de *snubber* devido a não estarem presentes na Figura 5.21, embora sejam de elevada importância na construção de inversores de potência.

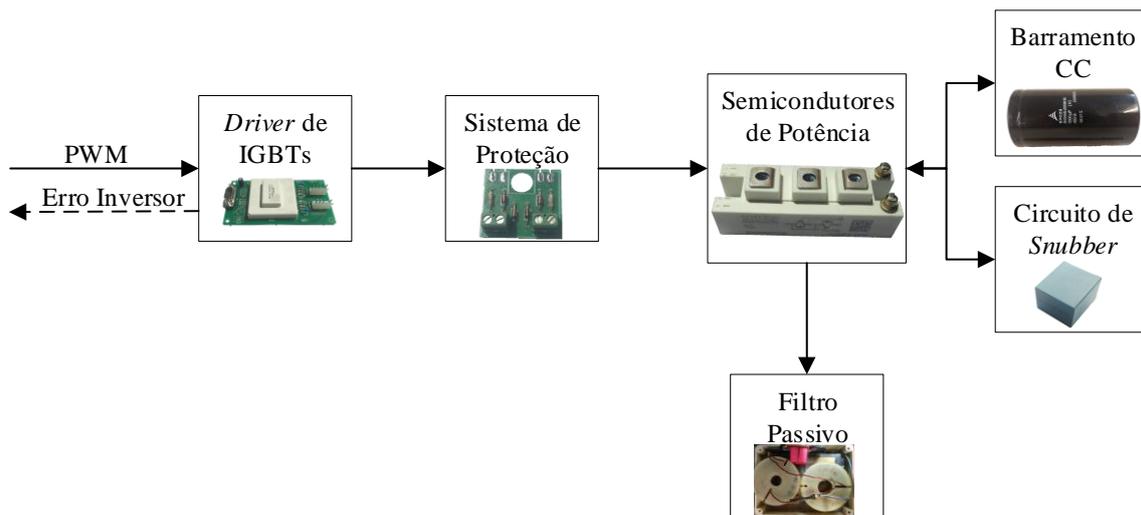


Figura 5.22 - Visão geral da interligação dos componentes do andar de potência.

Relativamente ao modo de funcionamento, a *driver* de IGBTs recebe os sinais de *gate* dos semicondutores proveniente do sistema de controlo apresentado na Figura 5.1. Posteriormente, esses sinais são transmitidos aos semicondutores de potência por meio de um sistema de proteção composto por díodos *zener* e resistências de *gate*. Aliado aos semicondutores de potência, encontra-se o circuito de *snubber* para filtragem dos ruídos eletromagnéticos das comutações dos IGBTs, o barramento CC para armazenar a energia necessária ao sistema e o filtro passivo para realizar o acoplamento entre o FAS e a rede elétrica. É de referir que o dimensionamento referente a cada elemento é apresentado em secção adequada.

5.3.1 Módulo de IGBT

O modelo de IGBT utilizado no desenvolvimento do inversor de potência foi o *SKM100GB125DN* do fabricante *Semikron* como é apresentado na Figura 5.23 (a). Internamente é composto por dois IGBTs em série e os respetivos díodos em antiparalelo como se pode comprovar pela Figura 5.23 (b).

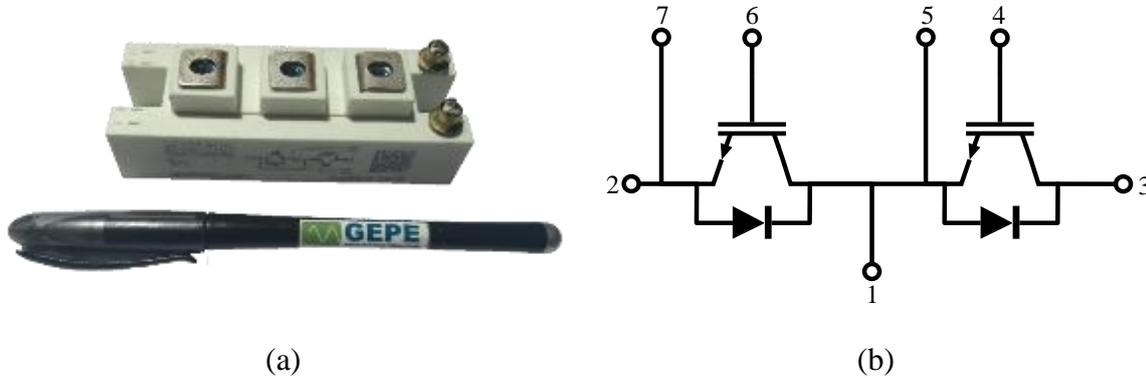


Figura 5.23 - Módulo de IGBTs SKM100GB125DN: (a) Aspeto físico; (b) Esquema elétrico.

Em termos eletrónicos, cada semicondutor suporta correntes de coletor de 80 A e tensões de 1200 V sendo adequado para aplicações com frequências de comutação superior a 20 kHz [94].

5.3.2 Placa e Circuito de Driver de IGBT

De forma a possibilitar o envio dos pulsos de *gate* para os semicondutores, é usual por parte dos fabricantes a venda do circuito de *driver* em conjunto com os módulos de semicondutores. Assim, os circuitos de *driver* são comercializados com a garantia de isolamento galvânico. Este fator permite a interface entre o sistema de controlo e o andar de potência de forma isolada. Posto isto, foram utilizados dois circuitos de *driver* duplo *SKHI 22AH4 R* do fabricante *Semikron* como o apresentado na Figura 5.24 (a). Em maior detalhe, na Figura 5.24 (b) é possível visualizar os pinos que compõe o circuito de *driver*, sendo a parte esquerda referente ao primário e a direita ao secundário. É de referir que circuito possui um pino de erro no lado primário, despoletado por um baixo valor da tensão de alimentação ou proteção contra curto-circuitos, estando este erro associado à placa de comando presente no sistema de controlo. Além das especificações previamente mencionados, esta *driver* permite o bloqueio entre os pulsos de comando, geração de tempos mortos por hardware e a monitorização da tensão V_{CE} de forma a sinalizar um erro ao sistema de controlo como previamente mencionado [85].

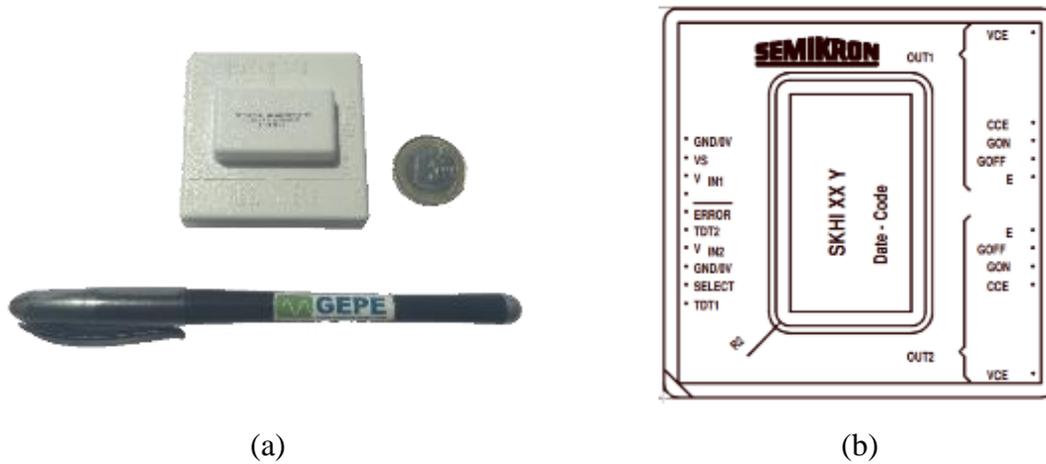


Figura 5.24 - Circuito de driver de IGBTs SKHI 22AH4 R: (a) Aspeto real; (b) Aspeto estrutural [85].

Com o intuito de modularizar o sistema, o circuito de *driver* foi colocado numa placa de circuito de *driver* previamente desenvolvida e fornecida pelo laboratório do GEPE como a presente na Figura 5.25. A interface entre esta placa e o sistema de controlo é realizada através de um conector DB9 ligado à saída de PWM presente na traseira do sistema de controlo apresentado na Figura 5.16. Além disso, os terminais *header* permitem a ligação aos pinos dos IGBTs apresentado na Figura 5.23 (b).



Figura 5.25 - Placa de circuito de *driver* dos IGBTs.

5.3.3 Circuito de Proteção de IGBT

Similarmente à proteção imposta internamente por parte do circuito de *driver* contra curto-circuitos, o mesmo é também necessário de modo a proteger o terminal de *gate* de valores excessivos de tensão. Posto isto, o módulo de IGBT apresentado em 5.3.1 apresenta um valor de tensão *gate*-emissor máximo de ± 20 V [94]. Assim sendo, foram utilizados dois díodos de *zener* de 16 V em anti série com ligação em ânodo comum. Deste modo, o terminal de *gate* é protegido contra tensões superiores a +16 V ou inferiores a -16 V. Além disso, é necessário garantir que não existam comutações indesejáveis devido o ruído presente na *gate* dos semicondutores. É possível evitar esse acontecimento colocando uma resistência de *pull-down* entre a *gate* e o emissor com o intuito de manter a tensão aplicada à *gate* nula durante os níveis baixos de PWM.

Em termos práticos, foram utilizadas duas placas de proteção como a exposta na Figura 5.26 (a). Individualmente, cada placa contém dois circuitos proteção como o apresentado na Figura 5.26 (b), sendo cada um referente a um e só um semiconductor de potência.



Figura 5.26 - Placa de proteção de IGBT: (a) Aspecto físico; (b) Esquema elétrico.

5.3.4 Condensador de Snubber

O desenvolvimento de inversores de potência pressupõe a construção de equipamentos com elevada frequência de comutação e capazes de suportar grandes níveis de tensão e corrente. Desta forma, a comutação rápida de correntes elevadas provoca a ocorrência de picos de tensão, podendo atingir valores que provoquem a destruição dos semicondutores de potência. Como tal, no caso específico dos semicondutores de potência utilizados, o fabricante (*Semikron*) recomenda o uso de condensadores de *snubber* e que a sua montagem seja diretamente nos terminais individuais de cada módulo de IGBT, em paralelo com o barramento CC [95].

Com base nessa informação, os níveis de tensão da aplicação em questão e a disponibilidade de componentes no laboratório, foram utilizados condensadores de polipropileno de 1 uF/1000 V do fabricante *EPCOS* como o da Figura 5.27.

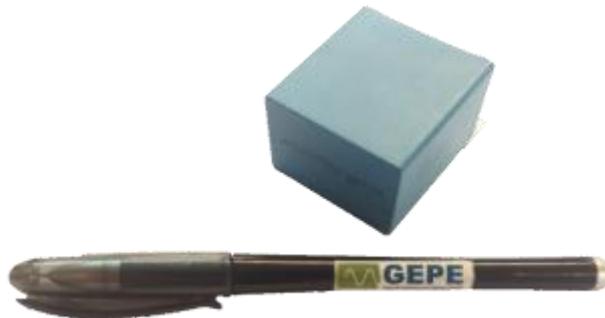


Figura 5.27 - Condensador de *snubber* utilizado.

5.3.5 Condensador de Barramento CC

O desenvolvimento de inversores para aplicações de eletrónica de potência envolve a existência de um elemento armazenador de energia. No caso específico desta dissertação, visto tratar-se de um VSI, o armazenamento é realizado com recurso a condensadores como o exibido na Figura 5.28. Trata-se de um condensador eletrolítico de 5600 $\mu\text{F}/450\text{ V}$ referente ao modelo *B43456-A5568-M* do fabricante *EPCOS*. Aliado a estas especificações, este condensador apresenta uma resistência série equivalente (*Equivalent Series Resistance – ESR*) $ESR_{(100\text{ Hz})} = 0,034\Omega$ e suporta uma corrente de *ripple* máxima de 31 A [96].



Figura 5.28 - Condensador eletrolítico utilizado no barramento CC.

Deste modo, o barramento CC utilizado é composto por dois desses condensadores ligados em paralelo com recurso à placa apresentada na Figura 5.29. No conjunto, o barramento perfazia um total de 11200 μF de capacidade com 450 V de tensão.

5.3.6 Placa de Adaptação do Barramento CC

De forma a facilitar a construção do andar de potência, mais especificamente a ligação entre os módulos de IGBTs e o barramento CC devido aos níveis de potência em jogo entre estes dois elementos, foi utilizada uma placa de adaptação como a presente na Figura 5.29. Esta placa foi previamente desenvolvida no laboratório do GEPE no âmbito de outros projetos.

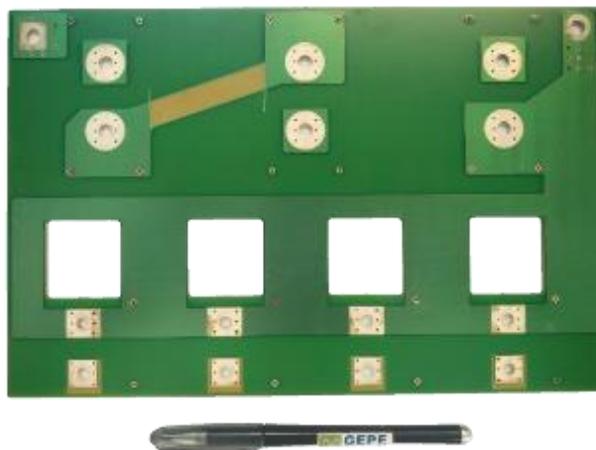


Figura 5.29 - PCB de adaptação entre o barramento CC e os semicondutores de potência.

Em termos estruturais, permite a interligação entre quatro módulos de IGBTs e três condensadores no barramento CC. Além disso, esta placa foi desenvolvida com o intuito de ser montada no topo de um dissipador, como será demonstrado na secção 5.3.7.

5.3.7 Construção do Andar de Potência

Com base nas especificações dos componentes previamente mencionadas, procedeu-se à montagem dos mesmos. Dado que o andar de potência é composto por elementos que comutam a grande frequência, a produção de calor é um fator a ter em conta. Deste modo, recorreu-se a um dissipador *KL-285* em conjunto com uma ventoinha *4114NHH*, como demonstrado na Figura 5.30.

Devido à forma construtiva do dissipador, foi possível montar o andar de potência sob o mesmo. Nas Figura 5.30 (a) e Figura 5.30 (b) é possível observar a disposição dos *drivers* de IGBTs e o barramento CC, respetivamente. Além disso, pode observar-se a interligação entre ambos os elementos através da placa de adaptação apresentada em 5.3.6. Esta última ainda permite a ligação aos semicondutores de potência e condensadores de *snubber*.

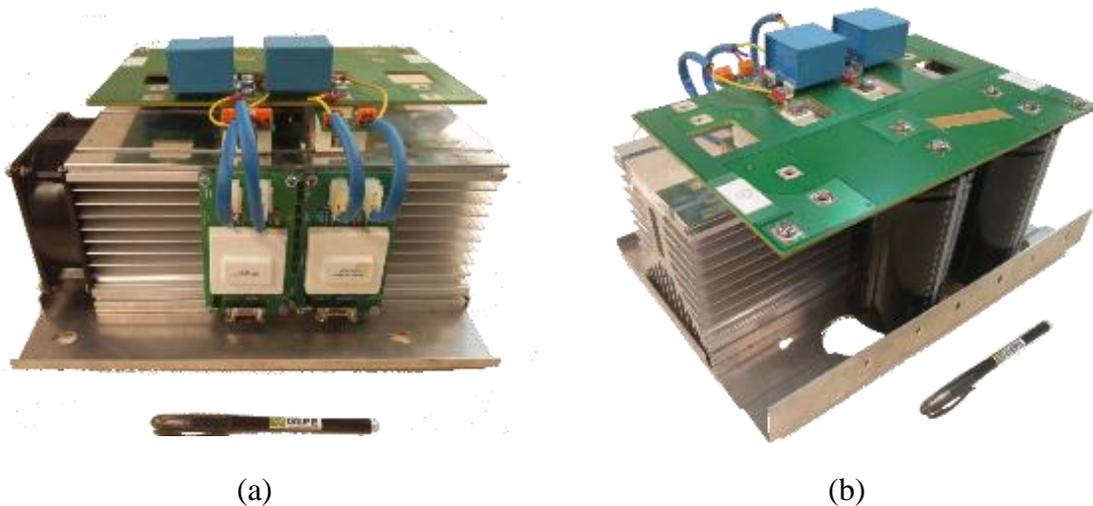


Figura 5.30 - Aspeto final do inversor de potência construído: (a) Vista frontal; (b) Vista traseira.

5.4 Filtro Passivo RLC

De modo a efetuar a ligação entre o FAS monofásico e a rede elétrica é necessário a existência de um filtro passivo passa-baixo conectado à saída do conversor de potência capaz de reduzir o *ripple* da tensão de saída proveniente das comutações dos semicondutores de potência [97]. Por conseguinte, foi inicialmente ponderado o uso de um filtro passivo passa-baixo de primeira ordem RC, mas a sua aplicabilidade, em ambiente simulatório, não permitia a obtenção de resultados satisfatórios devido às perdas existentes na resistência do filtro passivo. Como tal, a utilização de um filtro passivo passa-baixo de segunda ordem LC

tornou-se uma abordagem com resultados mais próximos dos expectáveis. A topologia do filtro passivo implementada encontra-se apresentada na Figura 5.31.

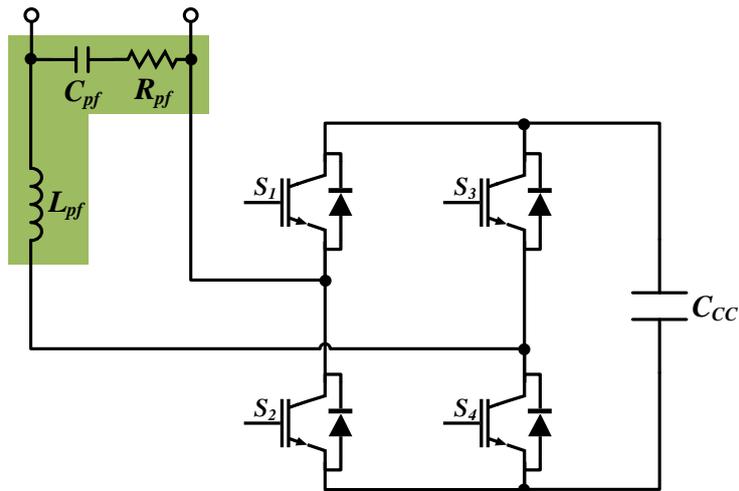


Figura 5.31 - Topologia do filtro passivo RLC de acoplamento à rede elétrica.

Para o cálculo da bobina de acoplamento do filtro passivo utilizou-se a equação (5.4), tendo por base as informações do sistema em questão, nomeadamente, a tensão nominal do barramento, V_{CC} , de 150 V, a frequência de comutação, f_s , de 40 kHz e o *ripple* máximo aceitável de 5 A. Assim, obteve-se o valor teórico da bobina de 375 μH , tendo sido utilizado 400 μH devido ao facto de ser um valor próximo do desejado.

$$L_{pf} = \frac{1/2 V_{CC}}{f_s \Delta i_{L_{PFmax}}} \quad (5.4)$$

Uma vez dimensionada a bobina do filtro passivo, o cálculo do condensador é realizado de acordo com a equação (5.5). Todavia, a frequência de corte, f_c , necessita de estar estabelecida entre a frequência do maior harmónico que se pretende compensar e $1/4$ da frequência de comutação, f_s , como apresentado na equação (5.6). Em particular, a determinação do harmónico de maior frequência assentou na informação expressa na Tabela 1.2 relativa aos valores das harmónicas de tensão estipulados na Norma EN 50160. Tal como é expresso, são averiguadas as 40 primeiras harmónicas, mas somente são consideradas as 25 primeiras devido à baixa amplitude das restantes, tendo sido, por isso, este o valor escolhido a maior frequência do harmónico de tensão a compensar. Posto isto, e tendo em consideração o valor da bobina previamente estipulada, assim como o valor da frequência de corte, dimensionou-se um condensador de 16,88 μF , contudo utilizou-se um elemento capacitivo de 10 μF devido à disponibilidade no laboratório.

$$C_{pf} = \frac{1}{L_{pf} (2\pi f_c)^2} \quad (5.5)$$

$$25 f_{fundamental} \leq f_c \leq 1/4 f_s \tag{5.6}$$

Como os elementos previamente estipulados estabeleceu-se um filtro LC para uma frequência de corte de 2,516 kHz como pode ser constatado Figura 5.32.

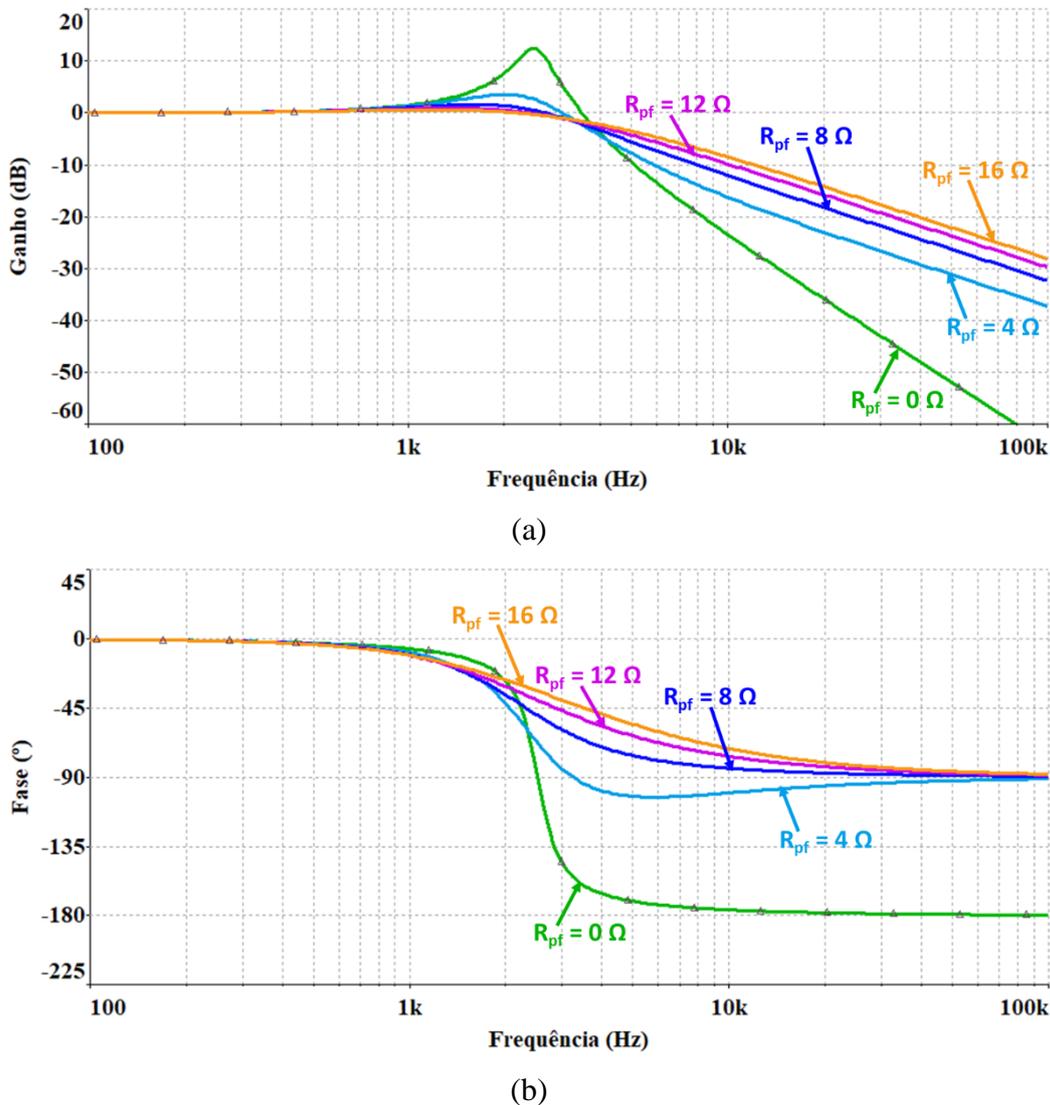


Figura 5.32 – Diagrama de bode da resposta em frequência do filtro passivo RLC com diferentes valores de resistência: (a) Módulo; (b) Fase;

Como pode ser observado pela Figura 5.32 (a), com os elementos escolhidos ($R_{pf} = 0 \Omega$) consegue-se obter um filtro LC com um ganho de -40 dB por década, contudo ocorre uma amplificação do conteúdo espectral na zona da frequência de corte. Além disso, pela Figura 5.32 (b) pode-se observar que a fase atinge 180° , tornando assim o sistema instável. Por sua vez, para colmatar este problema torna-se necessário a introdução de resistências de amortecimento. Como tal, foram realizados vários ensaios com diferentes valores de resistências tendo-se comparado e concluído que o valor mais adequado seria 8Ω , uma vez que apresenta resultados satisfatórios.

Na Figura 5.33 encontra-se apresentado a implementação final do filtro passivo RLC, onde se pode observar as bobinas necessárias, assim como os condensadores e as resistências de amortecimento.



Figura 5.33 - Implementação do filtro passivo RLC.

5.5 Integração do Sistema

Uma vez finalizado e testado o andar de potência em conjunto com o sistema de controlo, era necessário efetuar a ligação do filtro ativo em série entre a rede elétrica e as cargas. Com essa ideia em mente, foi projetado um sistema de controlo baseado em contactores, botões de pressão e disjuntores. Como tal, de modo a que o circuito de controlo funcione como pretendido, foram utilizados três botões de pressão (S_1 - botão de emergência, S_2 - botão de ligação à rede elétrica, S_3 - botão de ligação do FAS), dois contactores (KM_1 e KM_2) e um disjuntor (Q_1). Assim, este circuito que se apresenta na Figura 5.34, foi pensado de modo a que a interligação do FAS à rede elétrica seja realizada sem perturbar o normal funcionamento da carga.

Assim sendo, o funcionamento do circuito de comando é iniciado através do acionamento do disjuntor Q_1 , que funciona como interruptor geral e elemento de proteção do sistema, simultaneamente. A atuação deste elemento permite a ligação de um elemento de sinalização (L_1), demonstrando ao utilizador que tanto o sistema de controlo como o andar de potência estão prontos para operar. Além disso, devido às condições impostas, a bobina do contactor KM_2 é atracada devido ao fluxo de corrente através do contacto auxiliar normalmente fechado (NF) K_1 . Adicionalmente, o contacto auxiliar normalmente aberto (NA) K_2 é fechado, permitindo com que a bobina KM_2 seja alimentada independentemente do estado do contacto auxiliar NF K_1 .

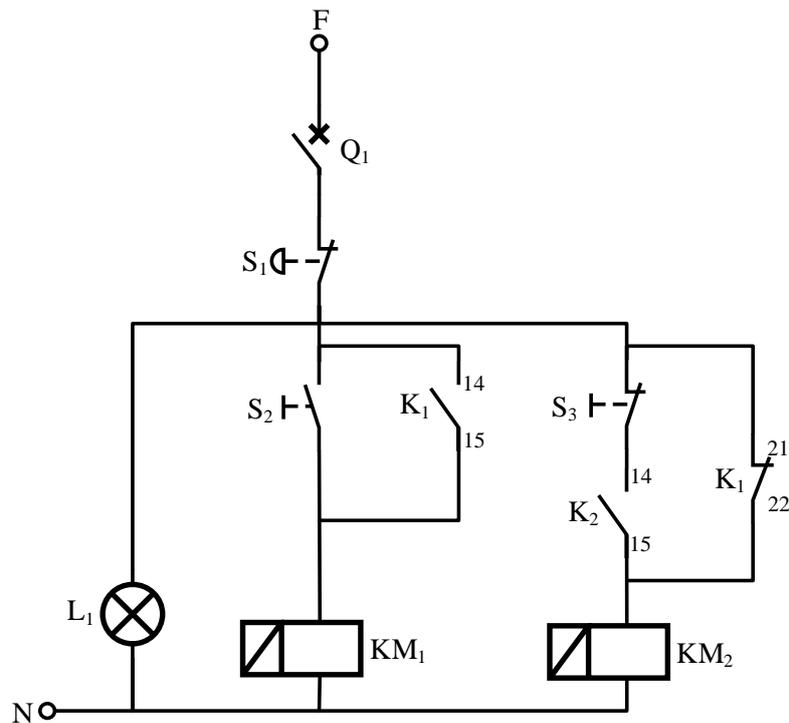


Figura 5.34 - Esquema elétrico do circuito de comando do filtro ativo série.

Assim, o contacto de potência normalmente aberto (NA) K_2 , apresentado na Figura 5.35, fecha, permitindo a ligação da carga à rede elétrica, sendo esta realizada através do acionamento do botão de pressão S_2 . Esta ação provoca a atracagem da bobina KM_1 e o fecho do contacto auxiliar NA K_1 , realizando por esta forma um circuito de realimentação após a intervenção do utilizador. Além disso, o contacto auxiliar NF K_1 , é aberto. Neste momento, ambas as bobinas estão atracadas, fechando assim o contacto de potência NA K_1 fornecendo tensão da rede elétrica à carga.

Por outro lado, a ligação do FAS à rede elétrica é realizada por intermédio do botão de pressão S_3 , a comando do utilizador. Tal ação provoca o corte da alimentação da bobina do contator KM_2 , abrindo o contacto auxiliar e de potência NA K_2 no mesmo instante. Isto permite a interligação do FAS entre a rede elétrica e a carga sem interromper o normal funcionamento da mesma.

Por último, foi adicionado um botão de estado S_1 capaz de interromper o funcionamento do circuito de comando. Trata-se de um botão de emergência que permite retirar o FAS da rede elétrica, tanto numa situação de funcionamento normal como na deteção de uma anomalia por parte do utilizador.

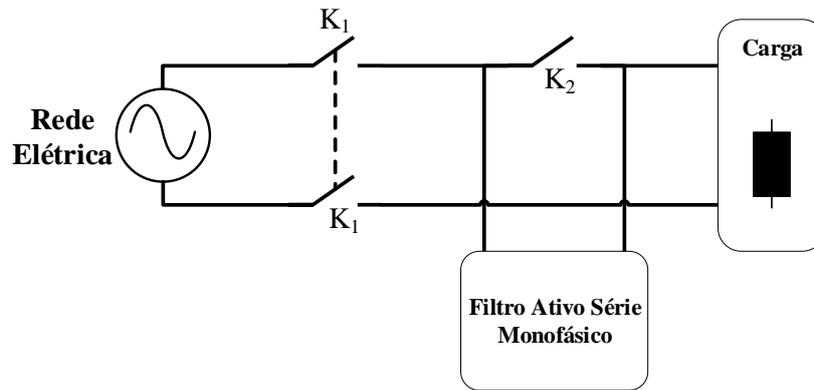


Figura 5.35 - Esquema elétrico do circuito de potência do filtro ativo série.

Posto isto, foi desenvolvida uma estrutura capaz de conjugar todos os sistemas envolvidos no protótipo. É constituído por 3 camadas distintas como apresentado na Figura 5.36.

A camada inferior (3) é relacionada com a interface do filtro ativo com a rede elétrica apresentada anteriormente. Além disso, os sensores de tensão e corrente necessários para adquirir as variáveis necessárias ao sistema de controlo e o filtro passivo são também incorporados nesta camada.

A camada intermédia (2) é destinada ao sistema de controlo. Encontra-se equidistante tanto dos sensores como do inversor de potência colocado na camada superior (1).

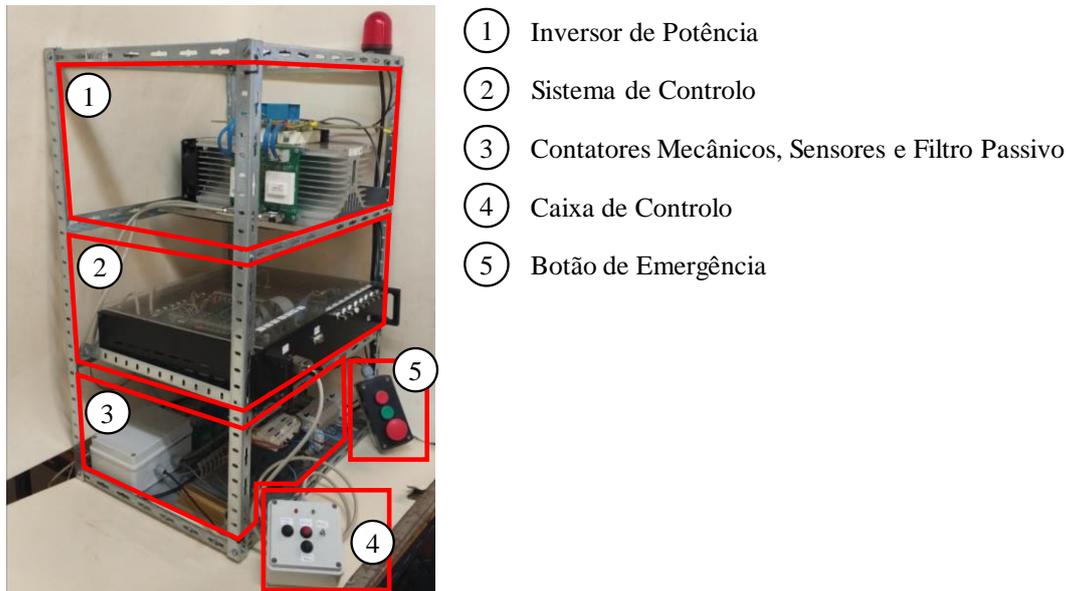


Figura 5.36 - Protótipo do filtro ativo série monofásico desenvolvido.

Por último, na camada superior está localizado o inversor de potência. Dado que é o componente que produzirá maior calor, foi colocado sob um dissipador com uma ventoinha para manter a temperatura de operação abaixo do limite dos IGBTs.

Além disso, foi criada uma simples interface com o utilizador (4) para permitir a habilitação dos pulsos de PWM entre o sistema de controlo e o andar de potência e limpar possíveis erros detetados. Adicionalmente, para permitir ao utilizador a conexão e desconexão em segurança

do FAS da rede elétrica, foi desenvolvido um mecanismo composto por dois botões de pressão e um botão de emergência (5).

5.6 Conclusão

Neste capítulo foi descrito o processo de desenvolvimento do protótipo do filtro ativo série, desde o sistema de controlo ao andar de potência e finalizando na interligação do mesmo com a rede elétrica. Para tal, foi possível reutilizar algum material previamente desenvolvido para outros projetos que se encontrava no laboratório do GEPE.

Primeiramente, relativo ao sistema de controlo, foram apresentadas as principais características e funções dos sensores de tensão e corrente utilizados, sendo a aquisição dos valores medidos, convertidos pelo ADC externo ADS8528 presente na placa de condicionamento de sinal e deteção de erros, para posterior transmissão ao DSC *TMS320F28335*. Tratando-se o DSC da unidade central do sistema de controlo, a interligação entre este e o resto das placas é essencial. Deste modo, a placa de suporte permite a inserção do DSC e a ligação entre com as restantes placas do sistema de controlo. Posto isto, foram apresentadas as placas de comando e disparo do filtro ativo monofásico. A primeira permite o envio dos pulsos de PWM, em lógica CMOS 15 V, para os *drivers* dos IGBTs, a habilitação das comutações e a interrupção das mesmas em caso de erros. Por outro lado, a segunda permite a colocação de dois semicondutores (ambos superiores ou ambos inferiores) fechados, mantendo o normal funcionamento da carga e evitando o carregamento repentino do barramento CC assim que o filtro fosse conectado à rede elétrica. Além disso, foram descritos dois métodos de interação com o utilizador: a caixa de controlo, que permite limpar os erros associados à placa de comando e habilitar as comutações dos IGBTs; a placa de DAC que permite visualizar o comportamento das variáveis internas do DSC, em tempo real, com recurso a um osciloscópio. Adicionalmente, foi apresentada a construção do *rack* do sistema de controlo, passando por uma fase inicial de planeamento da disposição até à fase final de construção. Por último, ainda foi apresentado a implementação do algoritmo de controlo, com base na malha de controlo usada nas simulações com a incorporação das funções de configuração do DSC.

Relativamente ao andar de potência, foram apresentados os componentes correspondentes ao inversor de potência, ao filtro passivo de acoplamento, bem como ao circuito de interligação do FAS à rede elétrica. Assim sendo, começou-se por efetuar uma descrição dos elementos referentes ao andar de potência, como os módulos de IGBTs e respetivos circuitos de *driver*, circuitos relativos à proteção da *gate* e de picos de tensão (condensador de *snubber*) e os condensadores do barramento CC. Seguidamente, foi demonstrado o dimensionamento do

filtro passivo RLC para acoplamento do FAS à rede elétrica. Por último, é realizado um circuito de potência e comando baseado em contactores para permitir a interligação do FAS entre a rede elétrica e as cargas. Com os subsistemas montados, decidiu-se incorporar os mesmos numa estrutura compacta, tornando o sistema móvel e de fácil adaptação futura, caso tal seja necessário.

Capítulo 6

Resultados Experimentais

6.1 Introdução

Neste capítulo são apresentados os resultados experimentais relativos ao funcionamento do protótipo do FAS sem fontes de energia externas partindo da mesma estrutura apresentada no Capítulo 4, referente às simulações computacionais no software PSIM. Como tal, primeiramente, são analisados os resultados experimentais referentes ao mecanismo de sincronização com a rede elétrica, averiguando-se a rapidez de sincronização por parte do sistema de controlo fase com a tensão de entrada em termos de fase e de amplitude. Por sua vez, são apresentados os resultados experimentais relativos ao método de pré-carga do barramento CC, tendo esta sido estipulada para 30 V. Posteriormente, são expostos os resultados experimentais do FAS a operar em regime permanente. Inicia-se pela apresentação dos resultados referentes ao sistema de regulação do barramento CC utilizando o algoritmo PI apresentado na secção 4.5.1. Seguidamente, são exibidos os resultados obtidos relativos ao FAS a compensar uma carga resistiva, tendo sido analisado o conteúdo harmónico previamente e posteriormente à compensação com recurso a equipamentos especializados, nomeadamente, o osciloscópio *Tektronix TPS 2024B* e o analisador de QEE *Fluke 435 Power Quality Analyzer*.

De modo a garantir a segurança e integridade de todo o hardware desenvolvido, os valores de tensão à entrada foram sendo aumentados de forma gradual, embora tais valores ainda se encontrem relativamente abaixo da tensão nominal de funcionamento. Deste modo, os resultados aqui apresentados foram obtidos para uma tensão da rede elétrica de 50 V RMS, conseguida por intermédio de um transformador. Como tal, é apresentado na Figura 6.1 a vista frontal da bancada de trabalho, onde se pode observar o protótipo do FAS desenvolvido, tal como os instrumentos de medida necessários para averiguar o funcionamento do sistema.

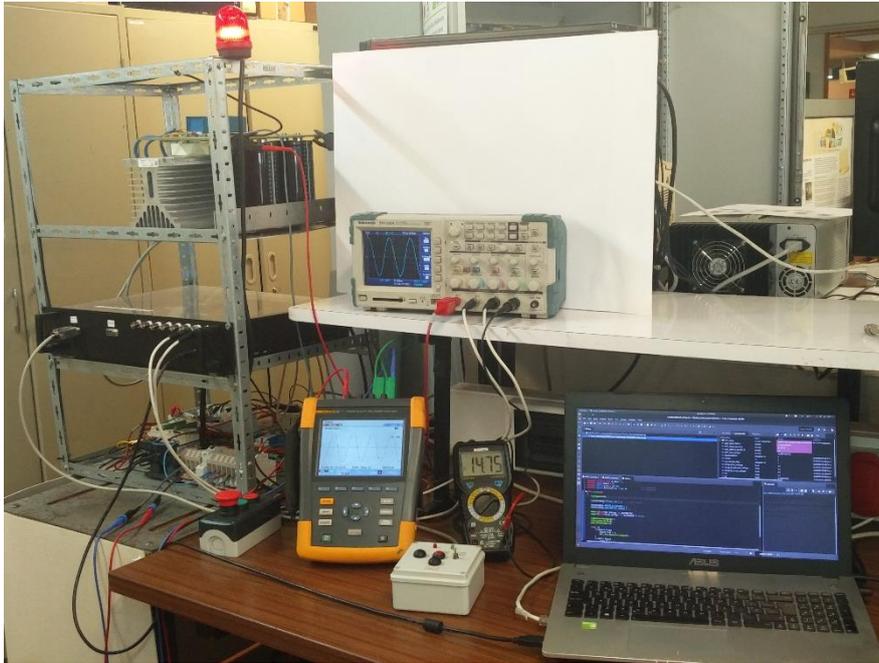


Figura 6.1 - Bancada de ensaios do filtro ativo série monofásico sem fontes externas.

6.2 Resultados Experimentais

De modo a assegurar a fiabilidade do sistema durante a realização dos ensaios experimentais, foi implementado o esquema apresentado na Figura 6.2. A montante do FAS foi colocado um transformador para baixar a tensão de entrada de 230 V para 50 V de forma a realizar os testes experimentais de forma segura. Para além disso, foi também incluído um retificador monofásico com uma carga RC, nomeadamente, uma resistência de 26Ω e um condensador de $63 \mu\text{F}$ com o propósito de aumentar a distorção harmónica da tensão na fonte e, posteriormente fornecido à carga.

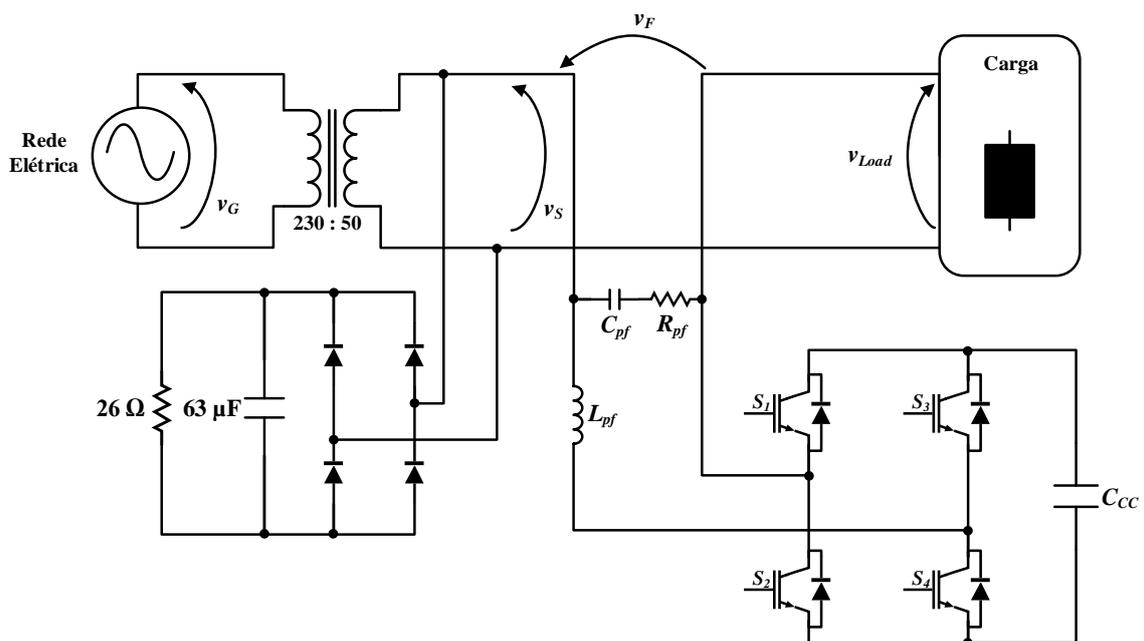


Figura 6.2 - Esquema multifilar da montagem implementada para a realização dos ensaios experimentais.

Por outro lado, de forma a averiguar a resposta do protótipo em regime permanente, a carga utilizada no sistema para condução dos testes experimentais, de forma similar ao apresentado no Capítulo 4, tratou-se de uma carga resistiva de 26Ω .

6.2.1 Resultados Experimentais do Sistema de Sincronização com a Rede Elétrica

De modo a ser possível efetuar a pré-carga do barramento CC e a compensação eficiente dos harmónicos de tensão, por parte do FAS monofásico, torna-se necessário realizar o sincronismo da PLL com a rede elétrica de modo a que os cálculos efetuados pelo sistema de controlo sejam desprovidos de conteúdo harmónico. Como tal, a obtenção do resultado experimental ilustrado na Figura 6.3 foi conseguida através da conexão do primário do sensor de tensão, previamente dimensionado para a gama adequada, à rede elétrica. Por conseguinte, com base nas informações adquiridas pelo sensor, o sistema de controlo gera o sinal de referência da PLL, v_{PLL} , que é posteriormente transmitido à placa de DAC para ser visualizado no osciloscópio.

Na Figura 6.3 é possível observar-se o regime transitório do sinal de saída da PLL, v_{PLL} , desde o momento em que o sensor de tensão é conectado à rede elétrica até o sinal de referência atingir regime permanente. Pode visualizar-se que o sinal de referência sincroniza a fase após dois ciclos da rede elétrica, mas a componente de amplitude só atinge regime permanente após dez ciclos da rede elétrica.

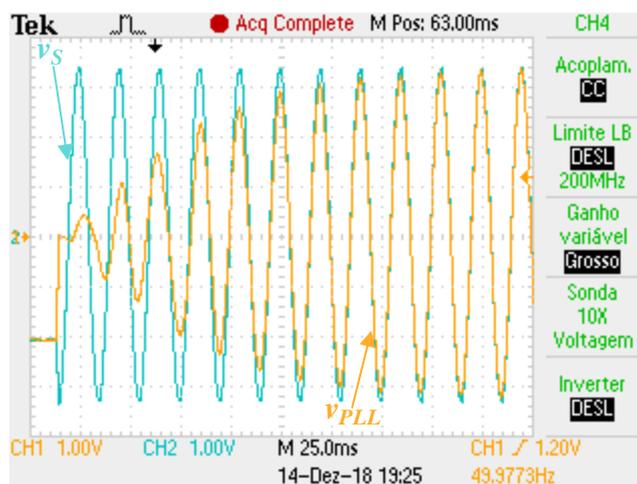


Figura 6.3 - Resultado experimental do sistema de sincronização, v_{PLL} , (CH2: 1V/div) com a rede elétrica, v_s , (CH1: 1V/div) em regime transitório.

Posto isto, uma vez que o algoritmo de pré-carga do barramento CC necessita de sintetizar uma tensão de baixa amplitude em oposição de fase à tensão da rede elétrica, v_s , torna-se mandatório que o sistema de controlo seja capaz de detetar quando é que o sistema de sincronização se encontra em regime permanente. Como tal, na Figura 6.4 é apresentada a

evolução da componente de amplitude do sinal de referência, \hat{A} , pelo que a entrada em regime permanente por parte do sistema de sincronização é sinalizada pelo sinal “sync” após dez ciclos da rede elétrica.

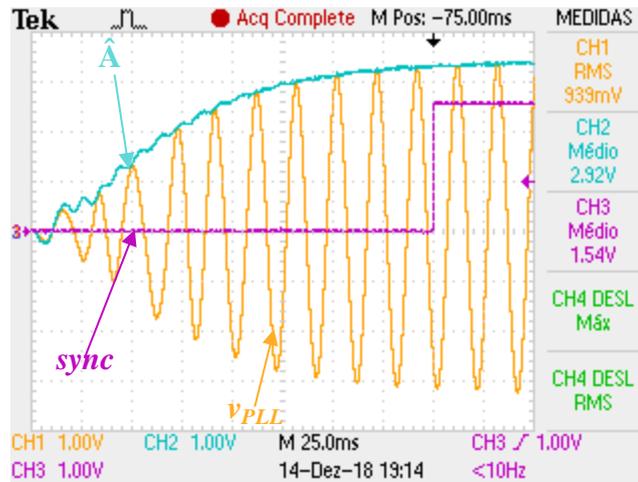


Figura 6.4 - Resultado experimental relativo à deteção do momento de sincronismo da amplitude \hat{A} , (CH2: 1V/div) do sistema de sincronização, v_{PLL} , (CH1: 1V/div) com a rede elétrica.

6.2.2 Resultados Experimentais do Sistema de Pré-Carga do Barramento CC

Uma vez ocorrida a deteção de sincronismo entre a rede elétrica e o sistema de controlo, o próprio sistema comuta de estado, iniciando, portanto, o sistema de pré-carga do barramento CC. Como explicitado na secção 4.4, este processo baseia-se na sintetização de uma onda de baixa amplitude (i.e. 5 V de pico) em oposição de fase à tensão da rede elétrica. Deste modo, o carregamento é efetuado de forma segura sem incorrer numa paragem involuntária das cargas a jusante. Como tal, é apresentado na Figura 6.5 o resultado experimental relativo a esse mesmo processo.

Como se pode observar pela Figura 6.5, a tensão de referência de pré-carga, v_{ref} , foi definida para um valor de 5 V de pico, pelo que a tensão de saída do FAS, v_f , acompanha-a com elevada fiabilidade. Por conseguinte, a tensão do barramento CC, v_{CC} , aumenta lentamente, atingindo o valor de referência de 30 V em 2 s. Durante este intervalo de tempo, a tensão aos terminais da carga, v_{Load} , é temporariamente reduzida de forma a possibilitar que uma porção de energia seja absorvida pelo FAS e armazenada no barramento CC.

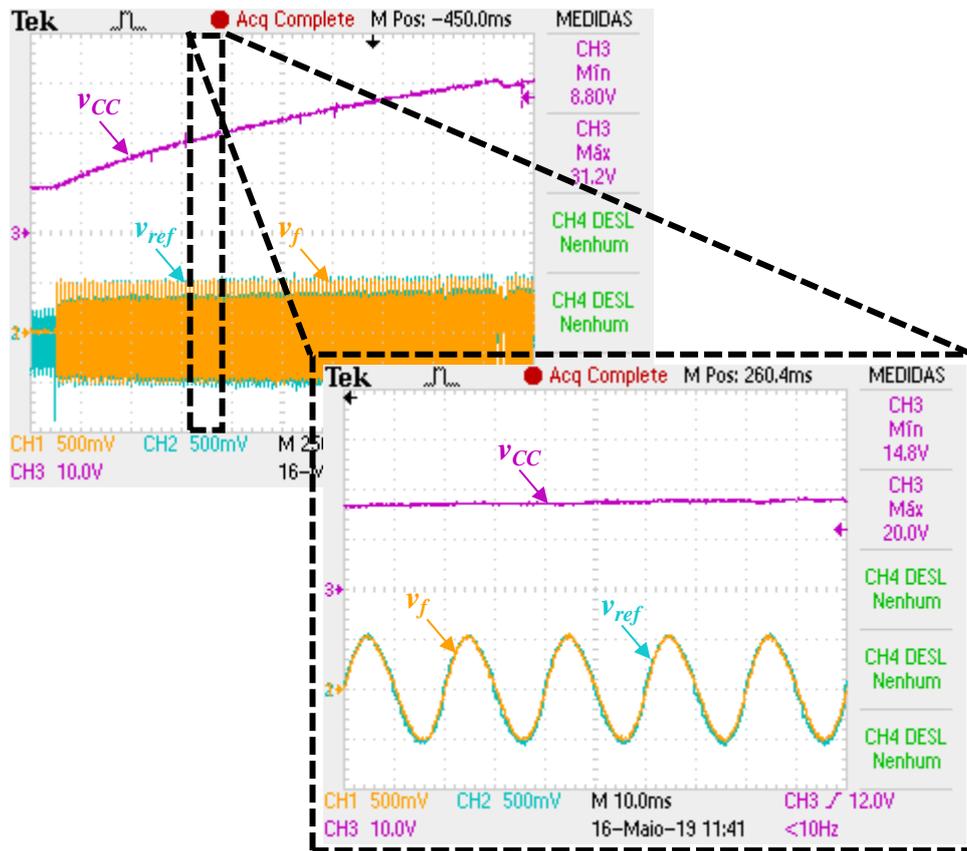


Figura 6.5 - Resultado experimental referente ao processo de pré-carga da tensão barramento CC, v_{CC} , (CH3: 10 V/div) e respetivas tensão de referência, v_{ref} , (CH1: 500 mV/div) e tensão de sintetização do FAS, v_f , (CH2: 500 mV/div) obtidos pela placa de DAC.

Deste modo, a Figura 6.6 representa a evolução temporal das tensões supracitadas assim como a tensão da rede elétrica, v_S , e da carga, v_{Load} , sendo todas analisadas através de pontas de prova diretamente. Como previamente mencionado, e evidenciado na Figura 6.6, durante o processo de pré-carga a tensão na carga, v_{Load} , tem um valor eficaz inferior à tensão de entrada, v_S , sendo que posteriormente retorna a um valor próximo da tensão na fonte. Adicionalmente, é também demonstrado um espectro mais ampliado da escala com o intuito de demonstrar, com maior pormenor, as afirmações previamente mencionadas. Como previamente mencionado, durante o processo de pré-carga do barramento CC, v_{CC} , parte da energia proveniente da rede elétrica, v_S , para alimentar a carga, v_{Load} , é absorvida pelo FAS, reduzindo o valor eficaz da tensão aos terminais da carga. Para além disso, o valor teórico, $v_{teórico}$, calculado através da diferença entre as duas ondas sinusoidais supracitadas, encontra-se em concordância com a tensão produzida pelo FAS, v_f , comprovando a eficácia do respetivo método.

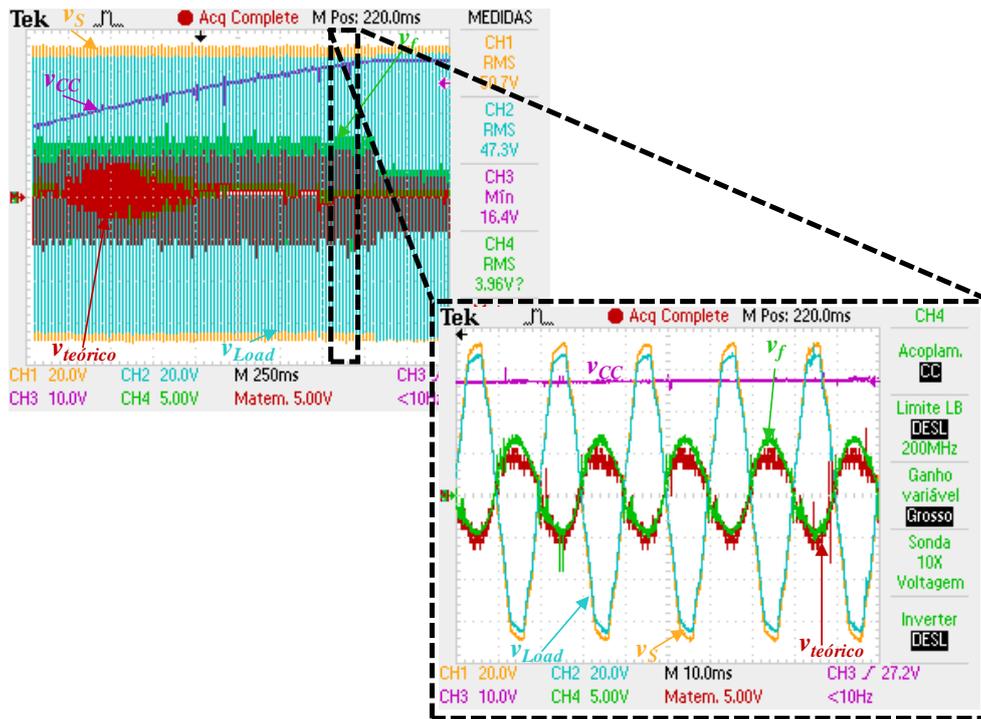


Figura 6.6 - Resultado experimental referente ao processo de pré-carga da tensão barramento CC, v_{CC} , ($CH3$: 10 V/div) e respectivas tensão de saída do FAS, v_f , ($CH4$: 5 V/div), tensão de entrada, v_s , ($CH1$: 20 V/div) e tensão na carga, v_{Load} , ($CH2$: 20 V/div).

6.2.3 Resultados Experimentais do Sistema em Funcionamento como Filtro Ativo Série

O FAS representa um equipamento de eletrónica de potência capaz de se adaptar dinamicamente às condições da rede elétrica e da carga de forma a mitigar os problemas de QEE e providenciar uma tensão sinusoidal à carga. Assim sendo, de forma a avaliar a performance do FAS, conduziram-se alguns ensaios experimentais com diferentes tipos de carga. Para o ensaio experimental com uma carga resistiva apresentado na Figura 6.7, foi utilizada uma resistência de 26Ω com uma potência de 2 kW. Como pode ser observado, a tensão de saída do FAS, v_F , acompanha relativamente bem a tensão de referência, v_{ref} , contudo apresenta pequenas variações.

Como tal, essas variações em relação ao sinal de referência têm implicações na compensação da tensão da carga. Como pode ser visualizado, a tensão da rede elétrica, v_s , apresenta uma forma de onda achata nos picos, o que é totalmente compensado pelo FAS como se pode ver pela tensão na carga, v_{Load} . Contudo, a tensão na carga não apresenta uma forma de onda perfeitamente sinusoidal visto existir um harmónico de tensão que não foi totalmente compensado.

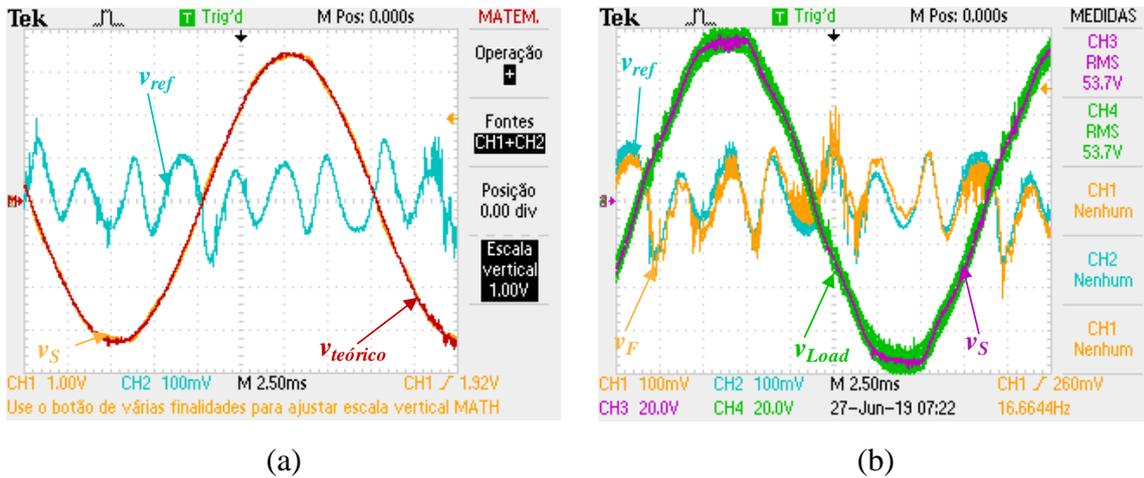


Figura 6.7 – Resultado experimental do sistema em regime permanente: (a) Visualização pelo DAC da sintetização teórica da tensão na carga, $v_{teórico}$, (MATH: 1V/div) através da soma do sinal da rede elétrica, v_s , (CH1: 1V/div) com a tensão de referência, v_{ref} , (CH2: 100mV/div); (b) Tensão do filtro, v_F , (CH1: 100mV/div) e tensão de referência, v_{ref} , (CH2: 100mV/div) e respetiva comparação entre a tensão da rede elétrica, v_s , (CH3: 20V/div) e a tensão na carga, v_{Load} , (CH4: 20V/div).

Em termos de distorção harmónica total, antes de se iniciar a compensação dos harmónicos, a carga é alimentada com a tensão da rede elétrica, v_s , com um valor de THD de 3,2%. Após a compensação do FAS, a tensão da carga possui uma forma de onda mais sinusoidal com 2,1% de THD, como é exibido na Figura 6.8. É de referir que as cargas não-lineares conectadas a montante do FAS provocam o aparecimento de harmónicos de sétima ordem.

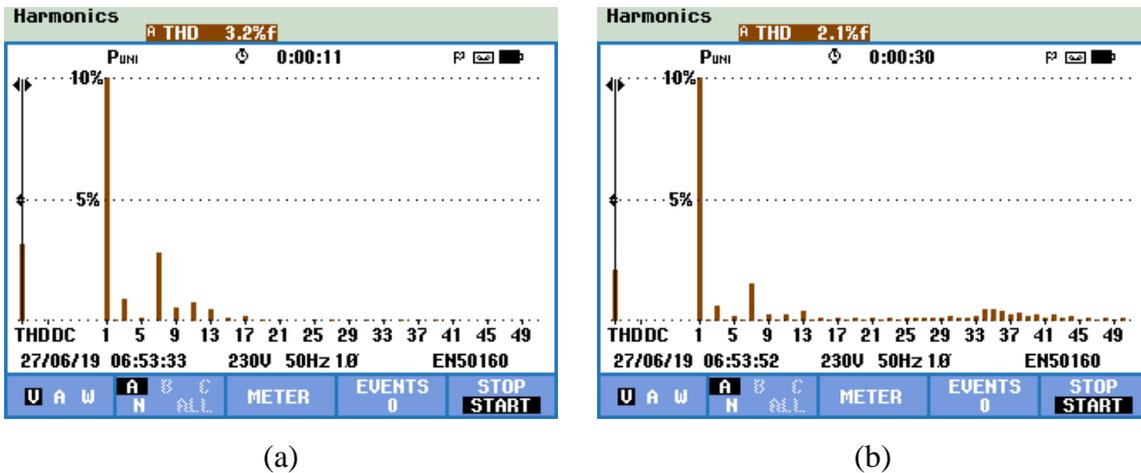


Figura 6.8 - Espectro harmónico da tensão na carga, v_{Load} : (a) anteriormente ao processo de compensação; (b) posteriormente ao processo de compensação.

6.3 Conclusões

Neste capítulo foram abordados e apresentados os resultados experimentais obtidos relativamente ao funcionamento do FAS sem fontes externas desenvolvido no âmbito desta dissertação. Como tal, os ensaios experimentais permitiram testar e validar os algoritmos de controlo relativos às simulações computacionais expostos no Capítulo 4.

Posto isto, a estrutura apresentada neste capítulo seguiu a estrutura adquirida no Capítulo 4 referente às simulações computacionais, facilitando a comparação entre os resultados obtidos pela ferramenta de simulação *PSIM* e pelo protótipo desenvolvido.

Primeiramente, abordou-se o método de sincronização do sistema de controlo com a rede elétrica. Tratando-se este de um sistema essencial ao bom funcionamento dos restantes subsistemas do FAS monofásico, averiguou-se a resposta em regime transitório assim como em regime permanente, podendo verificar-se que o algoritmo apresenta uma resposta fiável e satisfatória. Adicionalmente, para a transição automática para o sistema de pré-carga, é mandatário que o sistema de sincronização com a rede elétrica esteja em concordância com o sinal de entrada. Como tal, apresentou-se também o momento da deteção em que o sistema de sincronização entra em regime permanente, iniciando, posteriormente, o processo de pré-carga do barramento CC.

Por sua vez, o processo de pré-carga é iniciado através da sintetização de um sinal de baixa amplitude (i.e. 5 V pico) por parte do FAS monofásico, em oposição de fase ao sinal de entrada da rede elétrica. Deste modo, foi comprovado que o FAS absorve energia de forma gradual e controlada, sendo esta armazenada no barramento CC. Como pôde ser constatado, foi efetuado o carregamento da tensão do barramento CC até ao valor estipulado de 30 V, tendo se mantido regulada posteriormente. Durante este processo, a tensão da carga foi reduzida em prol do carregamento do barramento CC. Contudo, a redução evidenciada não é suficiente para provocar a paragem indevida das cargas a jusante. Além disso, a redução da tensão na carga não é superior a 10% do seu valor eficaz, cumprindo a cláusula relativa ao valor eficaz da tensão na rede elétrica presente na Norma EN 50160 apresentada na secção 1.1.7.

Posto isto, uma vez efetuada a pré-carga do barramento CC, o sistema entra em funcionamento como filtro ativo série em regime permanente. Neste estado é pressuposto que o FAS seja capaz de fornecer uma tensão sinusoidal às cargas a jusante, compensando os problemas de QEE relacionados com a tensão da rede elétrica, nomeadamente, a variação do valor eficaz e os harmónicos de tensão. Como tal, os resultados obtidos evidenciam que, teoricamente, a tensão de compensação calculada permitiria compensar a tensão da carga de forma que esta obtivesse uma forma de onda sinusoidal. Todavia, a tensão produzida pelo FAS apresenta imperfeições na passagem por zero. Com tal informação, decidiu-se alternar o método de modulação de unipolar para bipolar de modo a colmatar este problema. Como expectável, os sinais de referência e de saída do FAS encontram-se em concordância, no entanto o ruído inerente às comutações dos semicondutores de potência aumenta para níveis inaceitáveis. A origem do problema reside no filtro passivo RLC de acoplamento à rede elétrica, pelo que

foram conduzidos diversos ensaios com valores diferentes de componentes passivos de modo a que este problema fosse minimizado, contudo tal nunca foi totalmente reduzido de modo a obter resultados satisfatórios. Adicionalmente, o tempo despendido nesta etapa foi longo pelo que impediu os ensaios experimentais relacionados com os distúrbios da rede elétrica e os diversos tipos de cargas.

Capítulo 7

Conclusão e Sugestões de Trabalho Futuro

7.1 Conclusões

Neste trabalho de dissertação de mestrado foi realizado o desenvolvimento e teste de um Filtro Ativo Série monofásico sem fontes de energia externas, de forma a que este providencie, dinamicamente, uma tensão sinusoidal às cargas independentemente das condições inerentes à tensão da rede elétrica. Como tal, o FAS necessita de injetar uma tensão de compensação de modo a que a tensão aos terminais da(s) carga(s) permaneça sinusoidal. Além disso, devido à ausência de fontes de energia externas, a deteção e regulação da tensão do barramento CC do FAS na ocorrência de um evento de subtensão ou sobretensão momentânea obrigou a que o sistema de controlo fosse mais sofisticado.

No Capítulo 1 foram abordados os temas centrais de estudo inerentes ao desenvolvimento do sistema apresentado nesta dissertação, sendo expostos os problemas de QEE relacionados com a tensão da rede elétrica, capazes de serem mitigados pelo sistema desenvolvido. Foram explicados os conceitos teóricos de classificação de eventos de subtensão e sobretensão momentânea, flutuação, micro-cortes, harmónicos de tensão e desequilíbrios em sistemas trifásicos. Adicionalmente, foi exposta a norma EN 50160 que define de forma detalhada os índices de qualidade que o sistema elétrico deve apresentar no ponto de entrega aos clientes finais. Após isto, foram apresentadas as várias topologias de FAs para mitigar os problemas de QEE previamente mencionados.

No Capítulo 2 foi realizada uma revisão bibliográfica sobre os elementos estáticos que compõe o sistema a desenvolver, nomeadamente, sobre as várias tecnologias de semicondutores de potência, conversores monofásicos CC-CA e técnicas de modulação sinusoidal aplicáveis aos conversores previamente mencionados. Começou por abordar-se os vários tipos de semicondutores adequados para o andar de potência e respetivas características de tensão, corrente e velocidade de comutação. De seguida, apresentou-se os conversores monofásicos CC-CA do tipo VSI e CSI, sendo que posteriormente o foco concentrou-se nos conversores CC-CA do tipo VSI, nomeadamente, na topologia em meia ponte, ponte completa e nas três topologias tradicionais de conversores multinível: NPC, *Flying-Capacitor* e CHB, sendo que em todas as topologias apresentadas foram descritas as

principais características e os respetivos processos de funcionamento. Já para o controlo dos respetivos conversores CC-CA, foram descritas várias técnicas de modulação SPWM, sendo inicialmente exposta a modulação bipolar e unipolar para conversores mais simples, e de seguida, as técnicas de modulação multinível com desfasamento vertical e horizontal de ondas portadoras, ambas subjacentes a conversores CC-CA multinível.

No Capítulo 3 foi exposta uma revisão bibliográfica, desta vez, referente aos condicionadores ativos do tipo série e respetivos sistemas de controlo, onde foram abordadas desde topologias utilizadas na transmissão de energia elétrica em AT/MT até topologias usadas em BT. Foram inicialmente abordadas algumas topologias de compensadores estáticos série e respetivos modos de funcionamento. Seguidamente, apresentaram-se algumas topologias de condicionadores série capazes de mitigar os problemas de QEE expostos no Capítulo 1. Foram mencionadas as características e o modo de funcionamento do DVR, das UPSs e do FAS monofásico. Relativamente às UPSs, foram explicitadas de acordo com os elementos constituintes, nomeadamente, rotativas, estáticas e híbridas. Contudo, o estudo focou-se mais nas UPSs estáticas devido aos elementos de eletrónica de potência, tendo sido expostas as UPSs do tipo *offline*, *line interactive* e *online*. Relativamente ao FAS monofásico, e sendo este o ponto central desta dissertação, foi realizada uma comparação entre a topologia tradicional com transformador de acoplamento e fonte externa de energia e a topologia desenvolvida nesta dissertação. Ainda relacionado com os condicionadores ativos série, foram apresentados alguns métodos de sincronização com a rede elétrica, exemplificando tanto algoritmos em malha aberta como em malha fechada. Por último, este capítulo é finalizado com a apresentação de teorias de controlo aplicáveis a FAS monofásicos, sendo apresentados o controlo por PLL e a teoria da potência instantânea com recurso a tensões fictícias para emular um sistema trifásico.

O Capítulo 4 foi dedicado às simulações computacionais no software *PSIM* relativas ao sistema implementado. Como tal, foi inicialmente descrito o modelo de simulação onde se abordou cada parte individual do mesmo. Posto isto, apresentaram-se os resultados de simulação relativos aos processos antecedentes ao funcionamento do FAS em regime permanente, nomeadamente, o sistema de sincronização com a rede elétrica e a pré-carga dos condensadores do barramento CC. Uma vez adquiridas as condições necessárias para operação como FA, são expostos os resultados de simulação relacionados com a regulação do barramento CC e compensação de harmónicos de tensão e valor eficaz. Para além disso, foi ainda estudada a resposta do sistema a distúrbios na tensão de alimentação, nomeadamente, subtensões e sobretensões momentâneas. Em ambos os casos, o controlo deteta a ocorrência do evento em meio ciclo da rede elétrica, pelo que tal é mitigado de

imediatamente sem causar implicações para a carga. O último tópico abordado neste capítulo tratou-se de submeter o FAS a diferentes cargas de forma a averiguar o seu comportamento em regime permanente e a resposta à troca de cargas, concluindo-se que a THD na tensão da carga foi melhorada para valores inferiores ao da rede elétrica, não tendo sido tão notório o melhoramento com cargas não-lineares.

Após a validação do sistema em ambiente de simulação, no Capítulo 5 foi discriminado o desenvolvimento e implementação do FAS monofásico, tendo tal processo sido separado na construção do sistema de controlo, do hardware de potência e do circuito de comando para efetuar a ligação com a rede elétrica. Relativamente ao sistema de controlo, foram apresentadas as placas dos sensores de tensão e corrente utilizadas, assim como a placa de condicionamento de sinal e deteção de erros que converte esses sinais de analógico para digital ao mesmo tempo que sinaliza, por hardware, a ocorrência de erros, nomeadamente, valores de tensão ou corrente superiores aos limites estipulados. Por sua vez, foi também apresentada o DSC utilizado, o *TMS320F28335* em específico, para o desenvolvimento do algoritmo de controlo que, em conjunto com as variáveis adquiridas dos sensores gera os sinais de PWM a serem aplicados aos semicondutores de potência. Além disso, foi também desenvolvida uma PCB de disparo do FAS para manter os IGBTs superiores ou inferiores de cada braço ligados por defeito de modo a evitar a absorção de energia repentina para o barramento CC. Como ponto final do sistema de controlo, as PCBs utilizadas foram dispostas num *rack*, com o intuito de se proteger e compactar o mesmo. Relativamente ao hardware de potência, foram expostas todas as PCBs utilizadas na construção do mesmo, assim como o dimensionamento do filtro passivo RLC para interligação com a rede elétrica. O último tópico abordado neste capítulo relaciona-se com a integração geral do sistema, isto é, a conexão e desconexão de forma segura do FAS com a rede elétrica. Para tal, foi apresentado um circuito de comando baseado em contactores e botões de pressão que permitia a ligação do FAS entre a rede elétrica e as cargas. É de salientar que, tanto as placas que compõem o sistema de controlo como o hardware de potência, foram disponibilizadas pelo laboratório do GEPE, sendo posteriormente adaptadas ao sistema em questão.

Por fim, no Capítulo 6 foram apresentados e avaliados os resultados experimentais obtidos durante o processo de testes ao protótipo desenvolvido. De forma semelhante ao apresentado no Capítulo 4, os ensaios foram realizados de forma parcial a cada módulo do sistema de controlo de modo a averiguar a fiabilidade do mesmo e que o correto funcionamento do FAS era assegurado. Deste modo, foi mostrado o resultado experimental do algoritmo de sincronização com a rede elétrica em regime transitório e permanente, sendo que se pôde constatar um rápido sincronismo e a obtenção de um sinal de saída sinusoidal a partir de um

sinal de entrada distorcido. De seguida, foram expostos os resultados experimentais relativos ao processo de pré-carga do barramento CC, podendo-se constatar que o FAS sintetiza um sinal de baixa amplitude em oposição à rede elétrica, permitindo que o barramento CC seja carregado até ao valor de referência sem causar interferência com o normal funcionamento das cargas a montante. Prova-se assim que o algoritmo apresentado funciona de acordo com o expectável. Por último, apresentaram-se os resultados experimentais referentes ao funcionamento do FAS em regime permanente. Neste estado, o FAS compensa a componente harmónica presente na tensão na rede elétrica assim como a variação do valor eficaz da tensão da mesma. Contudo, como mencionado previamente, tal processo não é realizado de forma satisfatória devido ao aparecimento de frequências ressonantes inerente do filtro passivo RLC. Este mesmo elemento foi dimensionado e testado várias vezes, pelo que, esse mesmo fator impediu os ensaios experimentais com diferentes tipo de cargas assim como a resposta do protótipo à ocorrência de distúrbios na rede elétrica.

Ao longo do desenvolvimento desta dissertação, existiram diversos problemas que necessitaram de ser resolvidos. Começando pelo hardware desenvolvido, um dos problemas encontrados relacionou-se com a placa de disparo do FAS. Como referido na secção 5.2.7, esta placa permite a colocação dos dois semicondutores superiores ou inferiores do conversor CC-CA fechados antes do FAS iniciar o funcionamento. Contudo, teve de ser adicionado um circuito de atraso na entrada desta placa para permitir que o pulso do sinal de habilitação de comutação fechasse os IGBTs especificados. Por outro lado, o filtro passivo RLC necessitou de ser alterado, visto que com o previamente dimensionado não eram obtidos resultados aceitáveis. Por outro lado, o desenvolvimento do sistema de controlo também apresentou algumas dificuldades. O algoritmo de controlo foi desenvolvido num DSC da *Texas Instruments*, pelo que tornou-se necessário despende algum tempo na aprendizagem da arquitetura de uma nova placa de controlo.

Como balanço final, o desenvolvimento desta dissertação permitiu colocar em práticos os conhecimentos adquiridos ao longo do curso, nomeadamente, na programação em C do DSC do fabricante *Texas Instruments* bem como no desenvolvimento de competências nas áreas práticas de conversores de potência e FAs relacionados com a QEE.

Por último, devido ao facto de ter sido um trabalho de investigação, foi também possível desenvolver aptidões e conhecimentos não transmitidos ao longo do percurso académico.

7.2 Sugestões de Trabalho Futuro

O trabalho de dissertação desenvolvido e descrito neste documento permitiu validar o algoritmo de controlo e o hardware do FAS monofásico sem fontes de energia externas.

Contudo, existem alguns aspetos inconvenientes que seriam de todo o interesse melhorar, de modo a aumentar o desempenho do sistema assim como a sua fiabilidade.

Um das primeiras sugestões relaciona-se com o hardware desenvolvido. Como previamente mencionado, na placa de disparo do FAS foi adicionado um circuito de atraso de modo a permitir que os semicondutores superiores ou inferiores fechassem. Dado que o utilizador necessita de enviar um pulso para tal acontecer, sugere-se que esta mesma placa seja refeita envolvendo esse novo circuito de atraso, ou até mesmo desenvolver uma nova placa de comando que envolva os componentes inseridos na placa de disparo do FAS. Adicionalmente, a interação humana para o envio do sinal de habilitação de comutação pode ser enviada por software com recurso a uma placa de I/O (*Input/Output*).

Ainda relacionado com o hardware, outra componente que pode ser melhorado é o filtro passivo RLC. Este elemento foi desenvolvido utilizando uma bobina de núcleo de ar, pelo que este pode ser alterado por uma bobina com núcleo pó de ferro com o intuito de reduzir as perdas no cobre.

Além disso, em relação a termos estruturais, a infraestrutura que suporta os componentes necessários ao funcionamento do FAS necessita de ser reforçada de modo a que esta seja capaz de suportar um peso maior sem comprometer a segurança de todo o sistema em causa. Relativamente aos ensaios experimentais realizados ao protótipo desenvolvido pode constatar-se que estes revelam que o sistema apresenta uma boa performance para uma tensão da rede elétrica de 50 V RMS, sendo de particular interesse averiguar, de forma gradual, o desempenho do mesmo até à tensão nominal de 230 V RMS para qual foi dimensionado. É de salientar que o aumento progressivo da tensão de entrada implica um aumento proporcional da potência em jogo no sistema, pelo que é aconselhável colocar placas de metal em torno de toda a estrutura, de forma a manter todo o sistema protegido e que os testes sejam realizados com a máxima segurança possível.

Em relação ao sistema de controlo, existem algumas alterações que podem ser realizadas. Apesar de ter apresentado bons resultados, este pode ser substituído por um sistema baseado na teoria p-q com tensões fictícias, com o intuito de comparar a resposta com o utilizado nesta dissertação. Além disso, pode também modelar-se o FAS como um sistema dinâmico não-linear e averiguar a resposta do sistema. Esta última abordagem tem como vantagem a ausência de ajuste de ganhos dos controladores PI.

Por último, sugere-se a migração de todo o sistema de controlo desenvolvido no DSC para uma FPGA (*Field Programmable Gate Array*) com o intuito de tornar todo o sistema mais eficiente e com uma resposta mais rápida na atuação das proteções aquando de evento de sobretensão ou sobrecorrente. Adicionalmente, sugere-se também o desenvolvimento de uma

aplicação gráfica que, recebendo a informação mais importante, apresenta cada um dos sinais e respetivo valor de THD. Além disso, poderá também permitir ao utilizador a habilitação e desabilitação das comutações, assim como sinalizar um erro caso tal ocorra.

Lista de Referências

- [1] W. M. Grady and S. Santoso, “Understanding Power System Harmonics,” *IEEE Power Eng. Rev.*, vol. 21, no. 11, pp. 8–11, Nov. 2001, doi: 10.1109/MPER.2001.961997, ISSN: 0272-1724.
- [2] H. Akagi, “New trends in active filters for improving power quality,” *Int. Conf. Power Electron. Drives Energy Syst. Ind. Growth*, vol. 1, pp. 417–425 vol.1, 1996, doi: 10.1109/MPER.2001.961997, ISSN: 0272-1724.
- [3] J. S. Martins, C. Couto, and J. L. Afonso, “Qualidade de energia eléctrica,” *3º Congr. Luso-Moçambicano Eng. – CLME’2003 Eng. e Inovação para o Desenvolv.*, pp. 219–231, 2003, ISSN: 9728063156.
- [4] I. Titov and E. Khoddam, “APPLICATION NOTE THE COST OF POOR POWER QUALITY,” no. June, pp. 1–2, Dec. 2014, ArXiv ID: 1412.6418.
- [5] “Portal ERSE - Qualidade de energia eléctrica.” [Online]. Available: <http://www.erse.pt/pt/electricidade/qualidadedeservico/qualidadedeservicotecnica/Paginas/Qualidadedaondadetensao.aspx>. [Accessed: 28-Oct-2017].
- [6] M. Simic *et al.*, “Software Oriented Approach in Providing and Processing of Signals with Real Power Quality Problems,” *2018 25th Int. Conf. Syst. Signals Image Process.*, pp. 1–5, 2018, doi: 10.1109/IWSSIP.2018.8439420, ISBN: 978-1-5386-6979-2, ISSN: 21578702.
- [7] CENELEC, “En 50160,” *Eur. Stand.*, pp. 1–20, 2005.
- [8] M. N. Z. Abidin and Schaffner EMV AG, “IEC 61000-3-2 harmonics standards overview,” pp. 1–5, 2005.
- [9] A. De Almeida, L. Moreira, and J. Delgado, “Power quality problems and new solutions,” *ISR-Department Electr. Comput. Eng. Univ. Coimbra, Polo II*, vol. 1, no. 1, pp. 3030–3290, 2003.
- [10] “POWER QUALITY BASICS: VOLTAGE FLUCTUATIONS AND FLICKER | Power Quality In Electrical Systems.” [Online]. Available: <http://www.powerqualityworld.com/2011/09/voltage-fluctuations-flicker.html>. [Accessed: 23-Jan-2018].
- [11] “POWER QUALITY BASICS: VOLTAGE NOTCHING | Power Quality In Electrical Systems.” [Online]. Available: <http://www.powerqualityworld.com/2012/01/voltage-notching-power-quality-basics.html>. [Accessed: 23-Jan-2018].
- [12] G. A. Patil, M. T. Electrical, and P. Systems, “Three Phase Induction Furnace,” pp. 0–5, 2017.
- [13] S. Kasa and S. Ramasamy, “Mitigation of current harmonics in renewable source integrated grid topology with fuzzy based dynamic shunt active filter,” in *2017 Innovations in Power and Advanced Computing Technologies (i-PACT)*, 2017, pp. 1–6, doi: 10.1109/IPACT.2017.8245067.
- [14] A. Singh and P. Baredar, “Power quality analysis of shunt active power filter based on renewable energy source,” in *2014 International Conference on Advances in Engineering Technology Research (ICAETR - 2014)*, 2014, pp. 1–5, doi: 10.1109/ICAETR.2014.7012836.
- [15] A. Panchbhai, “Shunt Active Filter for Harmonic And Reactive Power Compensation Using p-q Theory,” pp. 260–264, 2017, ISBN: 9781509046799.
- [16] M. A. Moftah, E. Electricity, T. Company, and G. El-saady, “Active Power Filter for Power Quality Enhancement of Photovoltaic Renewable Energy Systems,” pp. 1–9, doi: 10.1109/SASG.2016.7849678, ISBN: 978-1-5090-5470-1.
- [17] P. Neves, D. Gonçalves, J. G. Pinto, R. Alves, and J. L. Afonso, “Single-Phase Shunt Active Filter Interfacing Renewable Energy Sources with the Power Grid,” *IECON – 35th Annu.*

- Conf. IEEE Ind. Electron.*, pp. 3264–3269, 2009, doi: 10.1109/IECON.2009.5415208, ISBN: 9781424446490.
- [18] B. Lin, B. Yang, P. Electronics, and T. City, “Current Harmonics Elimination With a Series Hybrid Active Filter,” pp. 566–570, 2001, ISBN: 0780370902.
- [19] P. K. Ray and A. H. Filters, “Hybrid Power Filters,” 2017.
- [20] H. Akagi, “New trends in active filters for power conditioning,” *IEEE Trans. Ind. Appl.*, vol. 32, no. 6, pp. 1312–1322, 1996, doi: 10.1109/28.556633, ISBN: 0093-9994 VO - 32, ISSN: 00939994.
- [21] A. Javadi, G. S. Member, H. F. Blanchette, and K. Ai-haddad, “An advanced control algorithm for Series hybrid active filter adopting UPQC behavior,” *IECON 2012 - 38th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 5318–5323, 2012, doi: 10.1109/IECON.2012.6388962, ISBN: 9781467324212.
- [22] S. Devassy and B. Singh, “Design and Performance Analysis of Three Phase Solar PV integrated UPQC,” *IEEE Trans. Ind. Appl.*, vol. 54, no. 1, pp. 73–81, 2017, doi: 10.1109/TIA.2017.2754983, ISSN: 00939994.
- [23] S. Ivanov, M. Ciontu, D. Sacerdotianu, and A. Radu, “Simple control strategies of the active filters within a unified power quality conditioner (UPQC),” *2017 Int. Conf. Mod. Power Syst.*, no. Mps, pp. 1–4, 2017, doi: 10.1109/MPS.2017.7974465, ISBN: 978-1-5090-6565-3.
- [24] V. Khadkikar, A. Chandra, and S. T. D. Nguyen, “Conceptual Study of Unified Power Quality Conditioner (UPQC),” *Ieee Isie 2006*, pp. 4–7, 2006, ISBN: 1424404975.
- [25] Q. N. Trinh and H. H. Lee, “A low cost high performance UPQC for current and voltage harmonics compensations,” *IEEE Int. Symp. Ind. Electron.*, pp. 341–346, 2014, doi: 10.1109/ISIE.2014.6864636, ISBN: 9781479923991.
- [26] S. Elphick, P. Ciufo, V. Smith, and S. Perera, “Summary of the economic impacts of power quality on consumers,” *2015 Australas. Univ. Power Eng. Conf. Challenges Futur. Grids, AUPEC 2015*, pp. 1–6, 2015, doi: 10.1109/AUPEC.2015.7324875, ISBN: 9781479987252.
- [27] X. N. Xiao, X. C. Zhen, S. Tao, and L. Liu, “The evaluation on costs of power disturbance events to end-users,” *Proc. Int. Conf. Harmon. Qual. Power, ICHQP*, vol. 00, pp. 876–879, 2012, doi: 10.1109/ICHQP.2012.6381200, ISBN: 9781467319430, ISSN: 15406008.
- [28] X. Yuan, “Application of Silicon Carbide (SiC) Power Devices : Opportunities , Challenges and Potential Solutions,” pp. 893–900, 2017, doi: 10.1109/IECON.2017.8216154, ISBN: 9781538611265.
- [29] M. H. Rashid, *Power Electronics Handbook*. 2007, doi: 10.1016/B978-0-12-088479-7.X5018-4, ISBN: 9780120884797, ISSN: 14764687, PMID: 22121517.
- [30] B. Exposto *et al.*, “Simulations of a Current-Source Shunt Active Power Filter with Carrier-Based PWM and Periodic Sampling Modulation Techniques Keywords Current-Source Active Filter Configuration,” *Power*, pp. 1–8, 2008, ISBN: 9789075815153.
- [31] B. F. Exposto, L. F. Correa Monteiro, J. G. Pinto, M. Aredes, and J. L. Afonso, “Control algorithms based on the active and non-active currents for a UPQC without series transformers,” *IET Power Electron.*, vol. 9, no. 9, pp. 1985–1994, 2016, doi: 10.1049/iet-pel.2015.0642, ISSN: 1755-4535.
- [32] M. Salo and H. Tuusa, “A New Control System With a Control Delay Compensation for a Current-Source Active Power Filter,” vol. 52, no. 6, pp. 1616–1624, 2005, ISBN: 0780370678,
- [33] Y. Hayashi, N. Sato, and K. Takahashi, “A Novel Control of a Current-Source Active Filter for AC Power System Harmonic Compensation,” *IEEE Ind. Appl. Soc. Annu. Meet.*, vol. 1, no. 2, pp. 837–842, 1988.
- [34] J. G. Pinto, B. Exposto, V. Monteiro, L. F. C. Monteiro, C. Couto, and J. L. Afonso, “Comparison of current-source and voltage-source Shunt Active Power Filters for harmonic

- compensation and reactive power control,” *IECON 2012 - 38th Annu. Conf. IEEE Ind. Electron. Soc.*, no. 4, pp. 5161–5166, 2012, doi: 10.1109/IECON.2012.6389552, ISBN: 978-1-4673-2421-2, ISSN: 1553-572X.
- [35] M. Routimo, M. Salo, and H. Tuusa, “Comparison of voltage-source and current-source shunt active power filters,” *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 636–643, 2007, doi: 10.1109/TPEL.2006.890005, ISBN: 0780390334, ISSN: 08858993.
- [36] R. González, J. López, P. Sanchis, and L. Marroyo, “Transformerless inverter for single-phase photovoltaic systems,” *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 693–697, 2007, doi: 10.1109/TPEL.2007.892120, ISBN: 0885-8993 VO - 22, ISSN: 08858993.
- [37] R. Gopika, D. Sankar, and P. Jose, “Review on Multilevel Inverter Topologies,” *IOSRJEN - IOSR Journal of Eng.*, vol. 2018, pp. 49–54, 2018.
- [38] K. A. Aganah, B. Ahmed, and A. W. Leedy, “Single-Phase Multilevel Inverter Topology for Distributed DC Sources,” pp. 2–7, 2016, doi: 10.1109/UEMCON.2016.7777881, ISBN: 978-1-5090-1496-5.
- [39] C. Luciano, K. A. Aganah, M. Ndoeye, and B. Oni, “New Switched-Multi-Source Inverter Topology with Optimum Number of Used Switches,” *2018 IEEE PES/IAS PowerAfrica*, pp. 414–419, 2018, doi: 10.1109/PowerAfrica.2018.8521070, ISBN: 978-1-5386-4163-7.
- [40] V. F. Pires and J. F. Silva, “Hybrid Cascade Multilevel Inverter Using a Single DC Source for Open-End Winding Induction Motors” pp. 966–970, 2012, doi: 10.1109/ICIT.2012.6210064, ISBN: 978-1-4673-0342-2.
- [41] N. Sandeep and M. T. Student, “A New Simplified Multilevel Inverter Topology for Grid-Connected Application,” 2014, doi: 10.1109/SCEECS.2014.6804476, ISBN: 978-1-4799-2525-4.
- [42] D. M. Shukla, “Hardware Implementation of SPWM Based Diode Clamped Multilevel Inverter,” pp. 201–205, 2017.
- [43] V. Tiwari, R. Parekh, and V. Patel, “Topologies of Multilevel Inverter—‘A Review,’” *World Acad. J. Eng. Sci.*, vol. 1005, pp. 1–7, 2014.
- [44] D. Billaud, L. Thevenot, and P. Willmann, “Evaluation of Modulation Techniques for 5-Level Inverter Based on Multicarrier Level Shift PWM,” vol. 340, no. 1, pp. 485–491, Apr. 2014, doi: 10.1109/MELCON.2014.6820499, ISBN: 978-1-4799-2337-3.
- [45] G. Schettino *et al.*, “Overview and experimental analysis of MC SPWM techniques for single-phase five level cascaded H-bridge FPGA controller-based,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, 2016, pp. 4529–4534, doi: 10.1109/IECON.2016.7793351, ISBN: 978-1-5090-3474-1.
- [46] J. Rodríguez, J. S. Lai, and F. Z. Peng, “Multilevel inverters: A survey of topologies, controls, and applications,” *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, 2002, doi: 10.1109/TIE.2002.801052, ISBN: 0278-0046 VO - 49, ISSN: 02780046.
- [47] N. Mittal, B. Singh, S. . Singh, R. Dixit, and D. Kumar, “Multilevel inverters: A literature survey on topologies and control strategies,” in *2012 2nd International Conference on Power, Control and Embedded Systems*, 2012, pp. 1–11, doi: 10.1109/ICPCES.2012.6508041, ISBN: 978-1-4673-1049-9.
- [48] P. Panagis, F. Stergiopoulos, P. Marabeas, and S. Manias, “Comparison of state of the art multilevel inverters,” in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 4296–4301, doi: 10.1109/PESC.2008.4592633, ISBN: 978-1-4244-1667-7, ISSN: 0275-9306.
- [49] Y. Hinago and H. Koizumi, “A single-phase multilevel inverter using switched series/parallel DC voltage sources,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2643–2650, 2010, doi: 10.1109/TIE.2009.2030204, ISSN: 02780046.
- [50] E. Babaei, S. Laali, and Z. Bayat, “A single-phase cascaded multilevel inverter based on a new basic unit with reduced number of power switches,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 2, pp. 922–929, 2015, doi: 10.1109/UEMCON.2016.7777881, ISBN: 978-1-5090-1496-5.

- [51] S. K. Chattopadhyay, S. Member, and C. Chakraborty, "Performance of Three-Phase Asymmetric Cascaded," vol. 0046, no. c, 2015, doi: 10.1109/TIE.2015.2424191.
- [52] S. Prakash and J. Author, "Comparative analysis of harmonic reduction of VSI fed induction motor using SVPWM and sinusoidal PWM," *2018 2nd Int. Conf. Trends Electron. Informatics*, vol. 1, pp. 1–5, doi: 10.1109/ICOEI.2018.8553727, ISBN: 978-1-5386-3570-4.
- [53] A. Algaddafi, K. Elnaddab, A. Al Ma'Mari, and A. N. Esgiar, "Comparing the performance of bipolar and unipolar switching frequency to drive DC-AC Inverter," *Proc. 2016 Int. Renew. Sustain. Energy Conf. IRSEC 2016*, no. November, pp. 680–685, 2017, doi: 10.1109/IRSEC.2016.7984067, ISBN: 9781509057139.
- [54] N. G. Hingorani, "Flexible ac transmission," *IEEE Spectr.*, vol. 30, no. 4, pp. 40–45, 1993, doi: 10.1109/6.206621, ISSN: 00189235.
- [55] J. Dixon, L. Moran, J. Rodriguez, and R. Domke, "Reactive power compensation technologies: State-of-the-art review," *Proc. IEEE*, vol. 93, no. 12, pp. 2144–2164, 2005, doi: 10.1109/JPROC.2005.859937, ISSN: 0018-9219.
- [56] S. Meikandasivam, R. K. Nema, and S. K. Jain, "Selection of TCSC parameters: Capacitor and inductor," *India Int. Conf. Power Electron. IICPE 2010*, no. 2, pp. 1–5, 2011, doi: 10.1109/IICPE.2011.5728104, ISBN: 9781424478835.
- [57] D. Q. G. Wkh, *IEEE Recommended Practice for Specifying Thyristor-Controlled Series Capacitors.*, doi: 10.1109/IEEESTD.2002.94147, ISBN: 9780738160603.
- [58] N. Johansson, L. Angquist, and H.-P. Nee, "An Adaptive Controller for Power System Stability Improvement and Power Flow Control by Means of a Thyristor Switched Series Capacitor (TSSC)," *IEEE Trans. Power Syst.*, vol. 25, no. 1, pp. 381–391, Feb. 2010, doi: 10.1109/TPWRS.2009.2036484, ISSN: 0885-8950.
- [59] B. D. Deotale and S. R. Paraskar, "Transient stability improvement using Thyristor Switched Series Capacitor (TSSC) FACTS device," in *2016 IEEE Students' Conference on Electrical, Electronics and Computer Science (SCEECS)*, 2016, pp. 1–6, doi: 10.1109/SCEECS.2016.7509268, ISBN: 978-1-4673-7918-2.
- [60] M. Arun Bhaskar, S. S. Dash, C. Subramani, M. Jagdeesh Kumar, P. R. Gires, and M. Varun Kumar, "Voltage quality improvement using DVR," *ITC 2010 - 2010 Int. Conf. Recent Trends Information, Telecommun. Comput.*, pp. 378–380, 2010, doi: 10.1109/ITC.2010.80, ISBN: 9780769539751.
- [61] S. S. Rao, P. S. R. Krishna, and S. Babu, "Mitigation of voltage sag, swell and THD using Dynamic Voltage Restorer with photovoltaic system," *2017 Int. Conf. Algorithms, Methodol. Model. Appl. Emerg. Technol. ICAMMAET 2017*, vol. 2017-Janua, pp. 1–7, 2017, doi: 10.1109/ICAMMAET.2017.8186668, ISBN: 9781509033782.
- [62] A. Karthikeyan, D. G. Abhilash Krishna, S. Kurra, and K. K. Prabhakaran, "Uncertainty and Disturbance Estimator based Control of Transformerless DVR," *2018 IEEE Int. Telecommun. Energy Conf.*, no. 1, pp. 1–6, 2019, doi: 10.1109/intlec.2018.8612325, ISBN: 9781538653708, ISSN: 02750473.
- [63] V. Ansal, K. Ravikumar, and P. Parthiban, "Transformerless Dynamic Voltage Restorer for voltage sag mitigation," *2016 - Bienn. Int. Conf. Power Energy Syst. Towar. Sustain. Energy, PESTSE 2016*, 2016, doi: 10.1109/PESTSE.2016.7516426, ISBN: 9781467366595.
- [64] J. Praveen, B. P. Muni, S. Venkateshwarlu, and H. V. Makthal, "Review of Dynamic Voltage Restorer for power quality improvement," *IECON Proc. (Industrial Electron. Conf.)*, vol. 1, pp. 749–754, 2004, doi: 10.1109/IECON.2004.1433408.
- [65] J. Lv, C. Gao, X. Liu, and S. Chen, "A novel DVR based on parallel-connected diode-clamped modular multilevel converters," *Proc. IEEE Int. Conf. Ind. Technol.*, pp. 30–35, 2017, doi: 10.1109/ICIT.2017.7913054, ISBN: 9781509053209.
- [66] V. V. Ghatge, "Implementation of Multilevel inverter based," no. Iccmc, pp. 856–859, 2018, ISBN: 9781538634523.

- [67] M. Westoby, "Three of a kind [UPS topologies, IEC standart]," *Nature*, vol. 317, no. 6035, p. 281, 1985, doi: 10.1038/317281d0, ISBN: 00280836.
- [68] R. H. Carle, "UPS Applications: A Mill Perspective," 1993, doi: 10.1109/PAPCON.1993.255810, ISBN: 0-7803-1354-2.
- [69] K. Saches, "Dynamic or static: the role of dynamic UPS in the growing world of static systems," in *Conference Proceedings., Eleventh International Telecommunications Energy Conference*, pp. 14.3/1-14.3/8, doi: 10.1109/INTLEC.1989.88300.
- [70] A. Windhorn, "A hybrid static/rotary UPS system," *IEEE Trans. Ind. Appl.*, vol. 28, no. 3, pp. 541–545, 1992, doi: 10.1109/28.137433, ISSN: 00939994.
- [71] K. Dai, P. Liu, J. Xiong, and J. Chen, "Study on dual-DSP-controlled three-phase series-parallel compensated line-interactive UPS system (delta-conversion UPS)," *IEMDC 2003 - IEEE Int. Electr. Mach. Drives Conf.*, vol. 1, pp. 436–442, 2003, doi: 10.1109/IEMDC.2003.1211300, ISBN: 0780378172.
- [72] S. Rathmann and H. A. Warner, "New generation UPS technology, the delta conversion principle," pp. 2389–2395, 2002, doi: 10.1109/ias.1996.563905, ISBN: 0780335449.
- [73] D. Barater, C. Concari, G. Franceschini, and G. Buticchi, "Single-phase series active power filter with transformer-coupled matrix converter," *IET Power Electron.*, vol. 9, no. 6, pp. 1279–1289, 2016, doi: 10.1049/iet-pel.2015.0443, ISSN: 1755-4535.
- [74] A. Javadi, H. Fortin Blanchette, and K. Al-Haddad, "A novel transformerless hybrid series active filter," *IECON Proc. (Industrial Electron. Conf.)*, pp. 5312–5317, 2012, doi: 10.1109/IECON.2012.6389536, ISBN: 9781467324212.
- [75] N. F. Teixeira, J. G. O. Pinto, M. J. Sepúlveda Freitas, and J. L. Afonso, "New Control Algorithm for Single-Phase Series Active Power Filter," *Electr. Power Components Syst.*, vol. 43, no. 15, pp. 1752–1760, Sep. 2015, doi: 10.1080/15325008.2015.1051166, ISSN: 1532-5008.
- [76] F. D. Freijedo, J. Doval-Gandoy, Ó. López, and C. Martinez-Peñalver, "New algorithm for grid synchronization based on Fourier series," *2007 Eur. Conf. Power Electron. Appl. EPE*, 2007, doi: 10.1109/EPE.2007.4417217, ISBN: 9075815115.
- [77] M. Karimi-ghartemani and M. R. Iravani, "A Method for Synchronization of Power Electronic Converters in Polluted and Variable-Frequency Environments," *IEEE Trans. Power Syst.*, vol. 19, no. 3, pp. 1263–1270, 2004.
- [78] J. Sepúlveda, "Implementação de um Filtro Activo de Potência para Optimização da Interface entre a Rede e outros Sistemas Eléctricos," University of Minho, 2004, Tese de Doutoramento.
- [79] M. Karimi-Ghartemani and M. R. Iravani, "A new phase-locked loop (PLL) system," in *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No.01CH37257)*, 2001, vol. 1, pp. 421–424, doi: 10.1109/MWSCAS.2001.986202, ISBN: 0-7803-7150-X.
- [80] H. Akagi, Y. Kanazawa, and A. Nabae, "Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components," *IEEE Trans. Ind. Appl.*, vol. IA-20, no. 3, pp. 625–630, 1984, doi: 10.1109/TIA.1984.4504460, ISSN: 19399367.
- [81] H. Akagi, Y. Kanazawa, K. Fujita, and A. Nabae, "Generalized theory of instantaneous reactive power and its application," *Electr. Eng. Japan*, vol. 103, no. 4, pp. 58–66, 1983, doi: 10.1002/eej.4391030409, ISSN: 15206416.
- [82] E. H. Watanabe, R. M. Stephan, and M. Aredes, "New Concepts of Instantaneous Active and Reactive Powers in Electrical Systems with Generic Loads," *IEEE Trans. Power Deliv.*, vol. 8, no. 2, pp. 697–703, 1993, doi: 10.1109/61.216877.
- [83] J. G. Pinto, R. Pregitzer, L. F. C. Monteiro, C. Couto, and J. L. Afonso, "A combined series active filter and passive filters for harmonics, unbalances and flicker compensation," *POWERENG 2007 - Int. Conf. Power Eng. - Energy Electr. Drives Proc.*, pp. 54–59, 2007,

- doi: 10.1109/POWERENG.2007.4380200, ISBN: 1424408954.
- [84] J. G. Pinto, H. Carneiro, B. Exposto, C. Couto, and J. L. Afonso, “Transformerless series active power filter to compensate voltage disturbances,” *Proc. 2011 14th Eur. Conf. Power Electron. Appl.*, no. Epe, pp. 1–6, 2011, ISBN: 978-90-75815-15-3.
- [85] Semikron, “Hybrid Dual MOSFET Driver,” 2008.
- [86] “Industrial robotics and small robots The new masters of speed KUKA small robots for 3 kg and 10 kg payloads.”
- [87] M. Schwabener Str and D.-I. habil Jigou Liu, “Hall Effect Voltage Sensor CYHVS5-25A,” vol. 49, no. May, pp. 2574100–2574102, 2016.
- [88] LEM, “Current Transducer LA 100-P / SP13 Electrical data,” *Components*, pp. 0–1, 2010.
- [89] D. Information and S. B. Diagram, “ADS85x8 12-, 14-, and 16-Bit, 8-Channel, Simultaneous Sampling ADCs,” 2016.
- [90] T. Instruments and D. S. P. D. Systems, “TMS320F2833X, TMS320F2823X Digital Signal Controllers (DSCs),” 2007.
- [91] Texas Instruments, “Datasheet tlv5610, 8-Channel, 12-/10-/8-Bit, 2.7-V to 5.5-V Low Power Digital-to-Analog Converter with Power Down,” no. May 2000, 2008.
- [92] P. Sock, “RS Rack PF-19.”
- [93] Traco Power, “Enclosed Power Supplies, TXL series,” *June*, pp. 1–11, 2013.
- [94] Semikron, “Ultra Fast IGBT Module SKM 100GB125D,” 2012.
- [95] A. Note, “IGBT Peak Voltage Measurement and Snubber Capacitor Specification General,” pp. 1–8, 2008.
- [96] Epcos, “Aluminum Electrolytic Capacitors with Screw Terminals,” no. December, 2012.
- [97] R. Künzi, “Passive Power Filters,” *Power Qual. Probl. Mitig. Tech.*, vol. 003, no. May 2014, pp. 337–396, 2014, doi: 10.1002/9781118922064.ch08.