



Rui Jorge Matos Macedo
Desenvolvimento de um Inversor Multinível Monofásico
para Aplicações de Qualidade de Energia Elétrica

UMinho | 2015

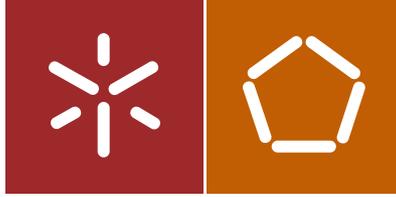


Universidade do Minho
Escola de Engenharia

Rui Jorge Matos Macedo

Desenvolvimento de um Inversor Multinível
Monofásico para Aplicações de Qualidade de
Energia Elétrica

dezembro de 2015



Universidade do Minho
Escola de Engenharia

Rui Jorge Matos Macedo

Desenvolvimento de um Inversor Multinível
Monofásico para Aplicações de Qualidade de
Energia Elétrica

Dissertação de Mestrado
Ciclo de Estudos Integrados Conducentes ao Grau de
Mestre em Engenharia Eletrónica e de Computadores

Trabalho efectuado sob a orientação do
Doutor José Gabriel Oliveira Pinto

DECLARAÇÃO

Rui Jorge Matos Macedo

Endereço eletrónico: ruijmmacedo@gmail.com Telefone:933774559

Número do Bilhete de Identidade: 13816137

Título da Dissertação:

Desenvolvimento de um Inversor Multinível Monofásico para Aplicações de Qualidade de Energia Elétrica

Orientador:

Doutor José Gabriel Oliveira Pinto

Ano de conclusão: 2015

Dissertação submetida na Universidade do Minho para a obtenção do grau de Mestre em Engenharia Eletrónica e de Computadores

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA TESE/TRABALHO APENAS PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE DECLARAÇÃO ESCRITA DO INTERESSADO, QUE A TAL SE COMPROMETE;

Universidade do Minho, ___/___/_____

Assinatura: _____

"O fracasso é a oportunidade de começar de novo com mais inteligência."

Henry Ford

Agradecimentos

A realização deste trabalho não seria possível sem o apoio e a contribuição de algumas pessoas, às quais transmito os meus mais sinceros agradecimentos.

Ao meu orientador Doutor José Gabriel Oliveira Pinto, pela disponibilidade no decorrer desta dissertação, pelas sugestões dadas, bem como pelo conhecimento transmitido.

Um agradecimento especial ao investigador Delfim Pedrosa, por toda a entajuda e pelo incentivo dado quando os problemas surgiram e cuja ajuda foi imprescindível para a implementação deste projeto.

Aos investigadores Vítor Monteiro e Bruno Exposto pela prontidão em auxiliar na solução dos problemas, contribuindo com a sua experiência e conhecimento.

A todos os meus colegas e amigos que, tal como eu, realizaram a dissertação de mestrado no Laboratório de Eletrónica de Potência, que possibilitaram a partilha de momentos de aprendizagem e camaradagem.

Aos meus pais e irmãos que sempre me apoiaram ao longo destes anos, acompanhando todo o meu percurso.

À Catarina que incansavelmente, sempre me incentivou e apoiou durante este ano.

Resumo

A exigência na qualidade da forma de onda sintetizada pelos inversores de eletrónica de potência é cada vez maior, estando esta qualidade associada a um melhor funcionamento e a um maior tempo de vida por parte das cargas e sistemas associados aos inversores.

A melhoria na qualidade das formas de onda geradas pelos inversores tem sido conseguida maioritariamente através do aumento da frequência de comutação dos semicondutores. Esta estratégia provoca perdas de comutação mais elevadas, maior *stress* aplicado ao semicondutor e um aumento das interferências eletromagnéticas. Outro método que começa a ser utilizado para melhorar a qualidade das formas de onda dos inversores é o aumento do número de níveis na forma de onda gerada à saída. Este método utiliza inversores com topologias multinível, podendo aumentar a qualidade das formas de onda produzidas sem as desvantagens da utilização de uma frequência de comutação muito alta.

Inicialmente o uso dos inversores multinível era limitado a aplicações de tensões muito elevadas, devido ao custo elevado dos semicondutores e ao baixo poder de processamento dos controladores digitais existentes. Com a evolução das tecnologias é cada vez mais viável a utilização deste tipo de topologias em aplicações de baixa tensão que necessitam de uma forma de onda com uma distorção mínima.

Esta dissertação de mestrado visa o desenvolvimento de um inversor multinível monofásico para uma aplicação de baixa tensão, atribuindo maior foco à qualidade da forma de onda a sintetizar. Para tal, foi escolhida uma aplicação de Qualidade de Energia Elétrica (QEE) nomeadamente um Filtro Ativo de Potência Paralelo (FAPP). A efetividade da compensação por parte do FAPP depende muito da qualidade das correntes sintetizadas. Sendo assim, o principal objetivo é a sintetização de correntes de compensação com elevada qualidade e com baixo *ripple*. Para tal, foi utilizada uma topologia de cinco níveis, cuja diferença de tensão entre níveis é menor quando comparada com um inversor convencional de 2 níveis, reduzindo assim o *ripple* da corrente produzida sem necessidade de aumentar os filtros passivos de saída.

No decorrer deste trabalho foi realizado um estudo bibliográfico sobre inversores multinível e filtros ativos de potência. Posteriormente, foram realizadas simulações computacionais para validar a topologia a implementar. Por último, foi desenvolvido um protótipo laboratorial e foram realizados testes práticos com diferentes cargas, para comprovar o funcionamento adequado do FAPP.

Palavras-Chave: Inversor multinível, *diode clamped*, *flying capacitor*, *cascaded cell*, híbrido/assimétrico, qualidade de energia elétrica, filtros ativos de potência.

Abstract

The quality requirements of the signals synthesized by power inverters are increasing, being this quality associated to a better performance and longer lifetime of the loads and systems related to the inverters.

The improvement in the quality of the inverters signal has been achieved by increasing the switching frequency. This strategy leads to high losses, greater stress applied to semiconductor and an increase of electromagnetic interference. Another method that is beginning to be used to improve the quality of the signals produced by power inverters is the increase in the number of levels of the output signals. This method uses inverters with multilevel topologies, allowing increase the quality of the produced signals without the disadvantages of the very high switching frequency.

Initially the use of multilevel inverters was limited to high power applications, due to the high cost of semiconductors and low processing power of digital controllers. With the evolution of technologies, the use of multilevel topologies turns out to be more reliable in low voltage applications requiring signals with very low distortion.

This dissertation aims at the development of a single-phase multilevel inverter for low-voltage application, giving greater focus to the quality of the synthesized signals. So, a power quality application was chosen, more precisely a Shunt Active Power Filter (SAPF). The effectiveness of a SAPF depends on the quality of the synthesized high quality and low ripple. To accomplish with this requirements, a five-level topology was selected, whose voltage difference between levels is less when compared to a conventional two level inverter, thus reducing the ripple without increasing the output passive filters.

Along the work, a bibliographical study on multilevel inverters and active power filters was done. Later, simulations were performed to validate the topology, in order to proceed to its implementation. Finally, a laboratorial prototype has been developed and practical tests were carried out with different loads, to demonstrate the SAPF proper operation.

Keywords: Multilevel inverter, diode clamped, flying capacitor, cascaded cell, hybrid/asymmetric, power quality, active power filters.

Índice

Agradecimentos.....	v
Resumo	vii
Abstract	ix
Lista de Figuras.....	xiii
Lista de Tabelas	xvii
Lista de Siglas e Acrónimos	xix
Nomenclatura.....	xxi
CAPÍTULO 1 Introdução	1
1.1. Enquadramento do Inversor Multinível em Aplicações de QEE	1
1.2. Motivações.....	3
1.3. Objetivos e Contribuições.....	3
1.4. Organização e Estrutura da Dissertação.....	4
CAPÍTULO 2 Topologias e Técnicas de Modulação para Conversores Multinível.....	7
2.1. Introdução	7
2.2. Inversor Multinível do Tipo <i>Diode-Clamped</i>	8
2.3. Inversor Multinível do Tipo <i>Flying Capacitors</i>	10
2.4. Inversor Multinível do Tipo <i>Cascaded Cell</i>	13
2.5. Inversor Multinível Assimétrico	14
2.6. Modulação SPWM com Portadoras Múltiplas	16
2.6.1. SPWM Distribuição Vertical dos Portadores.....	17
2.6.2. SPWM com Desfasamento das Portadoras.....	19
2.7. Controlo de Corrente.....	20
2.7.1. Controlo de Corrente por Histerese	21
2.7.2. Controlo de Corrente PI Estacionário	23
2.7.3. Controlo de Corrente Preditivo.....	24
2.8. Conclusão.....	26
CAPÍTULO 3 Filtros Ativos de Potência.....	29
3.1. Filtro Ativo de Potência Paralelo	29
3.2. Filtros Ativos de Potência Série.....	33
3.3. Condicionador Unificado de Qualidade de Energia.....	36
3.4. Teorias de Controlo para Filtros Ativos Paralelos	37
3.4.1. Método por Multiplicação de Sinusoides	37
3.4.2. Teoria <i>P-Q</i>	38
3.4.3. Teoria de Fryze - Buchholz – Depenbrock (FBD).....	41
3.5. Conclusão.....	42
CAPÍTULO 4 Simulação do Filtro Ativo Paralelo Monofásico com Inversor Multinível.....	45
4.1. Introdução	45
4.2. Modelo de Simulação do Filtro Paralelo Monofásico com Inversor Multinível	45
4.3. Sistema de Potência	47
4.4. Sistema de Controlo	48
4.4.1. Controlo da Teoria de Filtro Ativo de Potência	48
4.4.2. Controlo e Modelação do Inversor Multinível.....	54
4.5. Resultados de Simulação com Diferentes Cargas	57
4.5.1. Retificador com Carga RC	58
4.5.2. Resposta Dinâmica do Filtro Ativo Paralelo a Mudança de Carga	62
4.6. Conclusão.....	66
CAPÍTULO 5 Implementação do Filtro Ativo Paralelo Monofásico com Inversor Multinível	69
5.1. Introdução	69
5.2. Andar de Potência	69
5.2.1. Placa de Circuito Impresso e Componentes do inversor Multinível	70
5.2.2. Placas de <i>Driver</i>	75
5.3. Andar de Controlo.....	76
5.3.1. Sensores de Tensão.....	77

5.3.2.	Sensor de Corrente.....	79
5.3.3.	Placa de Condicionamento de Sinal e Detecção de Erros	80
5.3.4.	DSC (<i>Digital Signal Controller</i>).....	82
5.3.5.	Placa de Comando.....	85
5.3.6.	Placa I/O (<i>Input/Output</i>)	86
5.3.7.	Placa de DAC (<i>Digital do Analog Converter</i>)	86
5.4.	Protótipo Completo	87
5.5.	Conclusão.....	88
CAPÍTULO 6 Resultados Experimentais do Filtro Ativo Paralelo Monofásico com Inversor Multinível.....		91
6.1.	Introdução	91
6.2.	Resultados Experimentais da PLL	91
6.3.	Resultados da Teoria $p-q$	93
6.4.	Resultados da Técnica de Modulação	95
6.5.	Resultados da Técnica de Controlo de Corrente	96
6.6.	Resultados do Filtro Ativo Paralelo com Diferentes Cargas	97
6.6.1.	Resultado do Balanceamento das tensões no Barramento CC	97
6.6.2.	Resultados Experimentais do Filtro Ativo Paralelo com Carga RL	99
6.6.3.	Resultados Experimentais do Filtro Ativo Paralelo com Retificador	101
6.7.	Conclusão.....	102
CAPÍTULO 7 Conclusão.....		105
7.1.	Conclusões	105
7.2.	Sugestões para Trabalho Futuro	107
Referências.....		109

Lista de Figuras

Figura 2.1 – Esquemático generalizado de inversor multinível: (a) Inversor de dois níveis; (b) Inversor de três níveis; (c) Inversor de n níveis.	7
Figura 2.2 – Inversor DCMLI de três níveis.	8
Figura 2.3 – Estados válidos do inversor DCMLI: (a) Estado 1 ($v_{an} = V_{CC}/2$); (b) Estado 2 ($v_{an} = -V_{CC}/2$); (c) Estado 3 ($v_{an} = 0$).	9
Figura 2.4 – Inversor DCMLI de cinco níveis.	9
Figura 2.5 – Inversor FCMLI de três níveis.	11
Figura 2.6 – Estados redundantes do inversor FCMLI: (a) Estado 1 ($v_{an} = V_{CC}/2$); (b) Estado 2 ($v_{an} = -V_{CC}/2$); (c) Estado 3 ($v_{an} = 0$), condensador C1 a ser carregado; (d) Estado 4 ($v_{an} = 0$), condensador C1 a ser descarregado.	11
Figura 2.7 – Inversor FCMLI de cinco níveis.	12
Figura 2.8 – Inversor CCMLI de cinco níveis: (a) Esquemático do inversor CCMLI; (b) formas de onda geradas pelo inversor CCMLI.	13
Figura 2.9 – Inversor AHMLI de nove níveis: (a) Esquemático do inversor AHMLI; (b) formas de onda geradas pelo inversor AHMLI.	15
Figura 2.10 – Inversor Multinível Assimétrico de cinco níveis.	16
Figura 2.11 – Comutação da modelação convencional de SPWM.	17
Figura 2.12 – Formas de onda das portadoras com distribuição vertical: (a) APOD; (b) POD; (c) PD.	18
Figura 2.13 – Comutação da modelação PDSPWM para inversor DCMLI de 5 níveis.	18
Figura 2.14 – Comutação da modelação SPWM com desfasamento das portadoras para inversores CCMLI de 5 níveis.	19
Figura 2.15 – Comutação da modelação SPWM com desfasamento da portadoras para inversores FCMLI de 5 níveis: (a) Comutação entre os níveis $V_{CC}/2$ e $V_{CC}/4$; (b) Comutação entre os níveis $V_{CC}/4$ e 0; (c) Comutação entre os níveis 0 e $-V_{CC}/4$; (d) Comutação entre os níveis $-V_{CC}/4$ e $-V_{CC}/2$	20
Figura 2.16 – Controlo de corrente por histerese convencional.	21
Figura 2.17 – Controlo de corrente por histerese para inversor de 3níveis.	22
Figura 2.18 – Perda de controlo no controlo de corrente por histerese.	22
Figura 2.19 – Controlo de corrente por histerese multibanda para inversor de 3níveis.	23
Figura 2.20 – Diagrama de blocos do controlo de corrente PI estacionário.	24
Figura 2.21 – Modelo geral do controlo de corrente preditivo para um inversor ligado à rede elétrica.	24
Figura 3.1 – Diagrama de instalação de um filtro ativo de potência paralelo.	30
Figura 3.2 – Correntes de um sistema com filtro ativo paralelo.	31
Figura 3.3 – Configuração de um filtro ativo paralelo monofásico: (a) Conversor ponte completa; (b) Conversor meia ponte.	31
Figura 3.4 – Configuração de um filtro ativo paralelo trifásico a três fios.	32
Figura 3.5 – Configuração de um filtro ativo paralelo trifásico a quatro fios com ponto médio no barramento CC.	32
Figura 3.6 – Configuração de um filtro ativo paralelo trifásico a quatro fios com conversor de 4 braços.	33
Figura 3.7 – Diagrama de instalação de um filtro ativo série.	34

Figura 3.8 – Configuração de um filtro ativo série trifásico.	34
Figura 3.9 – Modo de funcionamento de um filtro ativo série como dispositivo de isolamento: (a) Circuito equivalente de filtro ativo série; (b) Circuito equivalente para frequência fundamental; (c) Circuito equivalente para frequências harmónicas.	35
Figura 3.10 – Configuração de filtro híbrido composto por filtro ativo de potência série e filtro passivo de potência paralelo.....	36
Figura 3.11 – Configuração de um condicionador unificado de qualidade de energia (UPQC).	36
Figura 3.12 – Potências definidas pela teoria $p-q$ num sistema trifásico.....	40
Figura 3.13 – Potências definidas pela teoria $p-q$ num sistema trifásico com filtro ativo paralelo.	40
Figura 3.14 – Modelo de um sistema monofásico: (a) Modelo elétrico; (b) Modelo equivalente para a teoria FBD.	42
Figura 4.1 – Modelo do sistema completo.	46
Figura 4.2 – Modelo de Simulação no <i>PSIM 9.1</i>	46
Figura 4.3 – Esquema elétrico do filtro RLC.	47
Figura 4.4 – Bloco de simulação C: (a) Entradas e saídas; (b) Editor de código.	48
Figura 4.5 – Diagrama de blocos da PLL.....	49
Figura 4.6 – Sincronização da PLL com a tensão da rede.....	49
Figura 4.7 – Sinal gerado pela PLL sincronizado com a tensão da rede.	50
Figura 4.8 – Resposta dinâmica do controlo de amplitude.	50
Figura 4.9 – Diagrama de blocos do controlo PI para a regulação do barramento CC.	51
Figura 4.10 – Diagrama de blocos do controlo da teoria de filtro ativo paralelo.	52
Figura 4.11 – Tensão na fonte e corrente na carga não linear utilizada para testar a resposta da teoria de controlo do filtro ativo.....	52
Figura 4.12 – Corrente de compensação calculada através da teoria de controlo do filtro ativo paralelo.....	53
Figura 4.13 – Tensão e corrente da fonte após compensação.	53
Figura 4.14 – Carregamento e regulação da tensão nos condensadores do barramento CC..	54
Figura 4.15 – Diagrama de blocos do controlo de corrente preditivo.	55
Figura 4.16 – Modulação PD adaptada para inversor multinível com assimetria de braços.	55
Figura 4.17 – Circuito lógico do comparador para a modulação PD adaptada.	56
Figura 4.18 – Referência adaptada para a modulação do inversor: (a) referência de $Ref2$; (b) referência de $Ref3$	57
Figura 4.19 – Esquema elétrico do retificador com carga RC.....	58
Figura 4.20 – Formas de onda da tensão e corrente do sistema elétrico em regime permanente: (a) Tensão e corrente na carga; (b) tensão e corrente na fonte.	59
Figura 4.21 – Formas de onda da tensão e corrente durante a entrada em funcionamento do filtro ativo paralelo em: (a) Tensão e corrente da fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.....	60
Figura 4.22 – Esquema elétrico da carga RL.	60
Figura 4.23 – Formas de onda da tensão e da corrente no sistema com filtro ativo paralelo a funcionar em regime permanente: (a) tensão e corrente na carga RL; (b) Tensão e corrente da fonte.	61
Figura 4.24 – Formas de onda da tensão e correntes no sistema, durante a entrada em funcionamento do filtro ativo paralelo.	62
Figura 4.25 – Esquema elétrico das cargas para testar a resposta dinâmica do filtro ativo paralelo.	63

Figura 4.26 – Formas de onda das correntes no sistema, durante a entrada da segunda carga: (a) Correntes na carga e na fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.	64
Figura 4.27 – Balanceamento das tensões no barramento CC após a entrada do retificador com carga RL.	64
Figura 4.28 – Formas de onda das correntes no sistema, durante a saída da segunda carga: (a) Correntes na carga e na fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.	65
Figura 4.29 – Balanceamento das tensões no barramento CC após a saída do retificador com carga RL.	66
Figura 5.1 – Modulo de potência do filtro ativo paralelo.....	70
Figura 5.2 – <i>Layout</i> da placa do inversor multinível.	71
Figura 5.3 – Esquema elétrico do circuito de proteção de gate.....	72
Figura 5.4 – Esquema elétrico do barramento CC.	73
Figura 5.5 – Acoplamento do inversor à rede elétrica à rede com circuito de pré-carga.	73
Figura 5.6 – Bobina de acoplamento com a rede elétrica.	74
Figura 5.7 – Placa de potência do inversor multinível.....	74
Figura 5.8 – Placas de <i>driver</i> para os IGBTs do inversor multinível.....	75
Figura 5.9 – Hardware do sistema de controlo.	76
Figura 5.10 – Diagrama de blocos do sistema de controlo.	77
Figura 5.11 – Esquema elétrico do sensor de tensão.	78
Figura 5.12 – Placa do sensor de tensão.	78
Figura 5.13 – Esquema elétrico do sensor de corrente.....	79
Figura 5.14 – Placa do sensor de corrente.	80
Figura 5.15 – Placa de condicionamento de sinal e deteção de erros.	81
Figura 5.16 – DSC <i>TMS320F28335</i> e respetiva placa de suporte.....	83
Figura 5.17 – Fluxograma geral do sistema de controlo implementado no DSC.....	84
Figura 5.18 – Placa de comando para seis sinais de PWM.....	85
Figura 5.19 – Placa I/O com entradas e s saídas isoladas.	86
Figura 5.20 – Placa de DAC com oito saídas.....	87
Figura 5.21 – Estrutura completa do protótipo implementado.....	88
Figura 6.1 – Resultados experimentais do algoritmo da PLL: (a) Transitório de sincronização da PLL; (b) Resultado da PLL em regime permanente.	92
Figura 6.2 – Sinais calculados no sistema de coordenadas α e β : (a)Tensões $v_{pll\alpha}$ e $v_{pll\beta}$; (b) Correntes i_α e i_β	93
Figura 6.3 – Resultados experimentais da teoria de controlo do filtro ativo paralelo para compensar uma carga constituída por retificador com carga RC.....	94
Figura 6.4 – Resultados experimentais da teoria de controlo do filtro ativo paralelo para compensar uma carga puramente resistiva: (a) Corrente da carga e corrente de compensação; (b) Corrente da carga e corrente teórica na fonte.....	94
Figura 6.5 – Resultados experimentais da modulação de uma tensão em malha aberta.	95
Figura 6.6 – Resultados experimentais do controlo de corrente com referências sinusoidais com amplitude de 2 A: (a) Sinusoide com frequência de 50 Hz; (b) Sinusoide com frequência de 100 Hz.....	96
Figura 6.7 – Resultados experimentais do controlo de corrente com uma referência sinusoidal com frequência de 50 Hz e amplitude de 1 A.	97
Figura 6.8 – Resultados experimentais do balanceamento das tensões no barramento-CC.....	98

Figura 6.9 – Resultados experimentais da pré-carga e balanceamento das tensões no barramento-CC.	99
Figura 6.10 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e da corrente da carga; (b) Espectro harmónico da corrente na carga.	100
Figura 6.11 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e da corrente do FAPP; (b) Espectro harmónico da corrente do FAPP.	100
Figura 6.12 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e corrente na fonte; (b) Espectro harmónico da corrente na fonte.	101
Figura 6.13 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente na carga; (b) Espectro harmónico da corrente da carga.	101
Figura 6.14 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente no FAPP; (b) Espectro harmónico da corrente do FAPP.	102
Figura 6.15 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente na fonte; (b) Espectro harmónico da corrente na fonte.	102

Lista de Tabelas

Tabela 2.1 – Estados válidos permitido pelo inversor DCMLI de três níveis.	9
Tabela 2.2 – Estados válidos permitido pelo inversor DCMLI de cinco níveis.	10
Tabela 2.3 – Estados válidos permitido pelo inversor FCMLI de três níveis.	11
Tabela 2.4 – Estados válidos permitido pelo inversor FCMLI de cinco níveis.	12
Tabela 2.5 – Estados válidos permitido pelo inversor CCMLI de cinco níveis.	14
Tabela 2.6 – Estados válidos permitido pelo inversor Multinível Assimétrico de cinco níveis.....	16
Tabela 4.1 – Valores dos componentes do retificador com carga RC.....	58
Tabela 4.2 – Valor eficaz, THD, fator de potência do sistema elétrico.	58
Tabela 4.3 – Valores dos componentes da carga RL.	61
Tabela 4.4 – Valor eficaz, THD, fator de potência do sistema elétrico com carga RL.	62
Tabela 4.5 – Valores dos componentes das duas cargas utilizadas.....	63

Lista de Siglas e Acrónimos

ADC	<i>Analog to Digital Converter</i>
CA	Corrente Alternada
CC	Corrente Contínua
CCMLI	<i>Cascaded Cell Multilevel Inverter</i>
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital to Analog Converter</i>
DCMLI	<i>Diode Clamped Multilevel Inverter</i>
DSC	<i>Digital Signal Controller</i>
FCMLI	<i>Flying Capacitor Multilevel Inverter</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
PLL	<i>Phase-Locked Loop</i>
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i>
FAP	Filtro Ativo de Potência
FAPP	Filtro Ativo de Potência Paralelo
FAPS	Filtro Ativo de Potência Série
FPPP	Filtro Passivo de Potência Paralelo
SPI	<i>Serial Peripheral Interface</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UPQC	<i>Unified Power Quality Conditioner</i>
UPS	<i>Uninterrupted Power Supply</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

Símbolo	Significado	Unidade
v_α, v_β, v_0	Tensões instantâneas no sistema de coordenadas $\alpha\text{-}\beta\text{-}0$	V
i_α, i_β, i_0	Correntes instantâneas no sistema de coordenadas $\alpha\text{-}\beta\text{-}0$	A
L_f	Indutância de linha – Indutância que representa a parte indutiva da impedância equivalente do sistema desde o ponto de produção até ao ponto de consumo da energia elétrica	H
R_f	Resistência de linha – Indutância que representa a parte resistiva da impedância equivalente do sistema desde o ponto de produção até ao ponto de consumo da energia elétrica	Ω
V_{CC}	Tensão no barramento de corrente contínua dos inversores de potência dos condicionadores ativos	V
i_f	Corrente na fonte – corrente medida no ponto de fornecimento de energia elétrica pela rede ao circuito em análise	A
i_c	Corrente na carga – corrente medida no ponto de consumo de energia elétrica pelas cargas do circuito em análise	A
i_{comp}	Corrente no condicionador ativo paralelo	A
i_i	Corrente no inversor	A
P	Potência real instantânea	W
\tilde{p}	Valor alternado da potência real instantânea	W
\bar{p}	Valor médio da potência real instantânea	W
Q	Potência imaginária instantânea	VA
\tilde{q}	Valor alternado da potência imaginária instantânea	VA
\bar{q}	Valor médio da potência imaginária instantânea	VA
p_0	Potência instantânea de sequência zero	VA
\tilde{p}_0	Valor alternado da potência instantânea de sequência zero	VA
\bar{p}_0	Valor médio da potência instantânea de sequência zero	VA
v_f	Tensão na fonte – valor instantâneo da tensão medida no ponto mais a montante do circuito em análise	V

v_c	Tensão na carga – valor instantâneo da tensão medida no ponto de consumo (ponto mais a jusante do circuito em análise)	V
v_{comp}	Tensão no condicionador ativo série – valor instantâneo da tensão medida aos terminais do condicionador ativo série	V
v_i	Tensão no inversor	V
f	Frequência	Hz
f_{aq}	Frequência de aquisição	Hz
f_c	Frequência de comutação	Hz
T	Período	s
T_{aq}	Período de aquisição	s
Z	Impedância	Ω
THD	Distorção harmónica total calculada em percentagem da amplitude da fundamental.	%

CAPÍTULO 1

Introdução

1.1. Enquadramento do Inversor Multinível em Aplicações de QEE

A energia elétrica foi um dos grandes responsáveis pela evolução industrial e económica. Numa primeira fase, todas as cargas utilizadas eram lineares, ou seja, as cargas consumiam correntes sinusoidais. Com a evolução da eletrónica de potência e o surgimento de cargas não lineares em abundância (como por exemplo lâmpadas de baixo consumo) começaram a surgir problemas de QEE (Qualidade de Energia Elétrica) como harmónicos, ressonâncias, *flicker*, entre outros. Isto é causado pelo facto das cargas não lineares consumirem harmónicos de corrente. A circulação destes harmónicos de corrente na impedância das linhas provoca distorções na tensão do sistema eléctrico.

Isto tem motivado um aumento nas preocupações de qualidade de energia eléctrica, o que tem promovido o estudo e investigação de soluções para melhorar a qualidade da mesma. Uma das soluções tecnologicamente mais avançadas nos dias de hoje são os filtros ativos de potência [1].

Os filtros ativos de potência têm como objetivo a compensação das correntes e das tensões, de forma a diminuir os distúrbios causados pelas cargas. Para tal, os filtros ativos de potência produzem correntes ou tensões calculadas com a finalidade de reduzir as distorções harmónicas causadas pelas cargas, sendo assim possível compensar os harmónicos, equilibrar as correntes e tensões nas três fases e corrigir o fator de potência. Estas tensões ou correntes são produzidas com recurso a inversores de potência, geralmente de dois ou três níveis de tensão, cuja qualidade da onda produzida é conseguida sobretudo à custa do aumento da frequência de comutação dos semicondutores.

As frequências de comutação elevadas provocam um maior *stress* aplicado aos semicondutores, maiores perdas de comutação e aumentam as interferências eletromagnéticas. Estas características indesejadas das frequências elevadas podem ser reduzidas com a introdução de níveis adicionais na tensão de saída dos inversores de potência, utilizando topologias de conversores multinível [2].

Apesar das diversas vantagens que apresentam, os conversores multinível não têm até à data o impacto que seria de esperar. As limitações ao uso dos conversores multinível estão diretamente relacionadas com a quantidade e custo dos semicondutores utilizados, bem como com a complexidade dos sistemas de controlo necessários. Contudo, com as evoluções tecnológicas dos últimos tempos, os custos dos semicondutores de potência têm vindo a cair e as plataformas digitais utilizadas no controlo dos conversores de potência dispõem de maiores recursos computacionais tornando-se mais rápidas e mais acessíveis. Em trajetória contrária, o custo dos materiais aplicados na construção dos filtros passivos têm vindo a aumentar significativamente. De acordo com este cenário, é previsível que a opção por topologias de conversores de eletrónica de potência baseadas em configurações multinível sejam cada vez mais atrativas. Por conseguinte, torna-se pertinente a investigação e desenvolvimento nesta área, ao ponto de existirem algumas conferências do *Institute of Electrical and Electronic Engineers* (IEEE) com sessões especiais dedicadas a topologias de conversores multinível [3].

Algumas vantagens dos conversores multinível são enunciadas de seguida:

- A forma de onda produzida tem menor distorção, ou seja, a onda sintetizada será de melhor qualidade, sem que seja necessário aumentar a frequência de comutação dos semicondutores;
- Utiliza níveis de tensão mais baixos em cada semicondutor, conseguido assim operar com tensões mais elevadas do que um conversor convencional;
- O dv/dt nos semicondutores é menor, reduzindo assim o stress neles aplicado como também as perdas de comutação e o aquecimento, aumentando assim o tempo de vida dos semicondutores. O menor dv/dt em relação aos conversores convencionais, reduz os problemas de compatibilidade eletromagnética (ElectroMagnetic Compability-EMC).

Como já referido os inversores multinível possuem algumas desvantagens que limitaram o seu uso em aplicações de baixa tensão, tais como:

- O elevado número de semicondutores que estes conversores utilizam, leva a um custo superior na sua construção, como também aumenta a complexidade do controlo a ele associado;
- A sintetização dos níveis dos inversores multinível é feita através da soma e subtração da tensão nos condensadores, por sua vez quanto maior o número de níveis maior o número de condensadores, aumentando gradualmente a dificuldade de manter a tensão nos condensadores reguladas.

1.2. Motivações

Os inversores multinível para além das aplicações de muito alta potência começam a despertar interesse para a utilização em sistemas de baixa tensão, pois o aumento da frequência de comutação a partir de certos limites dá origem ao aumento significativo das perdas de comutação, a um maior *stress* aplicado aos semicondutores, entre outros problemas. O aumento do número de níveis de tensão torna-se uma solução que permite não só aumentar a qualidade da forma de onda sintetizada, como também reduzir o *stress* nos semicondutores, que ficam sujeitos a um dv/dt mais baixo, contribuindo para a redução das perdas de comutação nos conversores. Assim, o uso de configurações multinível pode ser muito interessante para as aplicações de QEE, permitindo Aumentar a eficiência e desempenho dos filtros ativos de potência.

A área de Qualidade de Energia Elétrica (QEE) está a ganhar cada vez mais importância, sendo cada vez mais um foco de atenção em qualquer aplicação de Eletrónica de Potência. Desta forma, a realização deste projeto junto do Grupo de Eletrónica de Potência e Energia (GEPE) que já possui um longo percurso de investigação neste campo, torna-se uma mais-valia e uma oportunidade única de aprendizagem.

1.3. Objetivos e Contribuições

Esta dissertação tem como objetivo explorar as vantagens dos inversores multinível para aplicações monofásicas. Estas vantagens passam pela qualidade da forma de onda que estes tipos de inversores podem sintetizar, como também pela redução de perdas de comutação a estes associadas através da redução do dv/dt , passando assim o objetivo de sintetizar uma forma de onda de saída com pelo menos 5 níveis de tensão. Como aplicação para o inversor multinível foi escolhido um FAPP (Filtro Ativo de Potência Paralelo) monofásico, cuja efetividade na compensação de problemas de QEE depende muita da qualidade da corrente produzida.

De acordo com os objetivos propostos foi necessário efetuar um estudo sobre topologias de inversores multinível, como também sobre condicionadores ativos de potência. Em seguida foi realizada a simulação do inversor multinível e dos algoritmos de controlo e modulação a ele associados, de forma a validar a sintetização de correntes com boa qualidade. Posteriormente foi realizada a simulação do inversor multinível a funcionar como filtro ativo de potência paralelo, para a compensação de correntes numa instalação com cargas muito diversificadas. Depois de validado em simulação, foi

desenvolvido um protótipo laboratorial e foram realizados ensaios experimentais com diferentes tipos de cargas.

Esta dissertação contribui para uma vasta investigação já existente sobre FAPP no laboratório do GEPE. Utilizando esta topologia de inversor é possível obter uma melhor qualidade nas correntes produzidas sem necessitar de aumentar a frequência de comutação. Desta forma, é melhorado o desempenho do FAPP sem aumentar significativamente as perdas de comutação, permitindo também a redução dos filtros passivos de saída, nomeadamente, o valor da indutância de acoplamento com a rede elétrica.

1.4. Organização e Estrutura da Dissertação

No Capítulo 1 é feito um enquadramento do trabalho e são apresentadas as vantagens da utilização de uma topologia multinível em aplicações de baixa tensão, nomeadamente em aplicações de QEE. São também apresentados os objetivos que foram propostos para este trabalho, bem como as motivações que conduziram à sua realização.

No Capítulo 2 é feito um estudo sobre inversores multinível, em que são apresentadas e descritas várias topologias existentes, destacando-se as três mais utilizadas, ou seja, os DCMLI (Diode Clamped Multi-Level Inverter), FCMLI (Flying Capacitor Multi-Level Inverter) e CCMLI (Cascaded Cell Multi-Level Inverter). São ainda apresentados os tipos de modulação que melhor se adaptam a cada uma das três topologias nomeadas. Por fim, são descritos os tipos de controlo de corrente que podem ser aplicados em topologias de inversores multinível.

No Capítulo 3 é apresentado um conjunto de informação sobre filtros ativos de potência, nomeadamente relativas às topologias existentes e configurações que podem ser utilizadas. Deu-se um ênfase especial à topologia Filtro Ativo de Potência Paralelo (FAPP), descrevendo algumas das teorias de potência que podem ser aplicadas no controlo destes dispositivos.

No Capítulo 4 é apresentado o modelo de simulação, onde são identificadas as escolhas efetuadas no que diz respeito às topologias e algoritmos de controlo a utilizar. São também descritas todas as partes constituintes do modelo de simulação. Por fim, são apresentados os resultados obtidos com o sistema descrito a operar com diferentes tipos de cargas.

No Capítulo 5 é descrito todo o processo da implementação prática do sistema desenvolvido, sendo este dividido pelos elementos do andar de potência e do andar de controlo.

No Capítulo 6 são apresentados todos os resultados, onde é validado todo o controlo implementado, como também a modulação do inversor, em que é testado em malha aberta como fonte de tensão. Posteriormente em malha fechada é validado o balanceamento do barramento CC e são apresentados resultados de todo o sistema com diversas cargas.

No Capítulo 7 são apresentadas as conclusões resultantes de todo o trabalho realizado, desde o estudo teórico aos resultados práticos obtidos. Neste capítulo são ainda apresentadas sugestões de trabalhos futuros no sentido de dar continuidade à investigação realizada.

CAPÍTULO 2

Topologias e Técnicas de Modulação para Conversores Multinível

2.1. Introdução

Os inversores multinível são constituídos por semicondutores de potência e condensadores em forma de fontes de tensão, que geram à sua saída um formato de onda em níveis (tipo escada). A comutação dos semicondutores permite adicionar as tensões dos condensadores de maneira a atingir tensões elevadas, enquanto os semicondutores são submetidos a tensões mais baixas. A Figura 2.1 apresenta exemplos esquemáticos de inversores multinível com diferentes números de níveis, onde os semicondutores de potência estão representados como interruptores ideais com várias posições. Um inversor de dois níveis gera uma onda de saída com dois valores diferentes em relação ao terminal negativo do condensador Figura 2.1(a), enquanto um conversor de três níveis vai originar três níveis de tensão e assim sucessivamente.

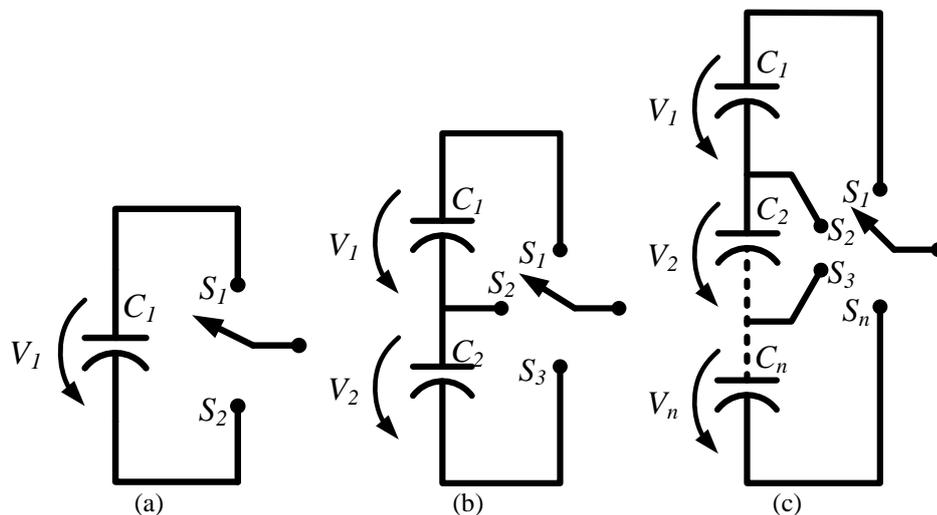


Figura 2.1 – Esquemático generalizado de inversor multinível:
(a) Inversor de dois níveis; (b) Inversor de três níveis; (c) Inversor de n níveis.

Existem várias topologias de inversores multinível das quais as três principais são *Diode-Clamped Multi-Level Inverter* (DCMLI) ou também conhecida por *Neutral-Point Clamped* (NPC), *Flying Capacitors Multi-Level Inverter* (FCMLI) e *Cascaded Cell*

Multi-Level Inverter (CCMLI). Tirando partido destas topologias muitas outras foram estabelecidas, sendo essas normalmente chamadas de topologias híbridas ou assimétricas. Com o aparecimento dos inversores multinível várias técnicas de modulação e estratégias de controlo foram desenvolvidas e adaptadas, como o *Sinusoidal Pulse Width Modulation* (SPWM) com múltiplas portadoras e controlo de corrente por histerese [4].

Neste capítulo, são descritas as três principais topologias de inversor multinível, e algumas topologias assimétricas. Por fim, são apresentados os tipos de modulação SPWM aplicados a cada uma das principais topologias e os principais controlos de corrente que podem ser utilizados nesses inversores.

2.2. Inversor Multinível do Tipo *Diode-Clamped*

Na Figura 2.2 está representado um DCMLI de três níveis. Neste circuito, o barramento CC está dividido numa série de dois condensadores, C_1 e C_2 , o ponto médio destes dois condensadores, n , pode ser definido como o ponto neutro. A tensão de saída v_{an} tem três estados $V_{CC}/2$, 0 e $-V_{CC}/2$. Para o estado $V_{CC}/2$ encontram-se em condução os interruptores (IGBT) S_1 e S_2 . No estado $-V_{CC}/2$ encontram-se em condução os interruptores S_1' e S_2' . Por último, para o estado 0 encontram-se em condução os interruptores S_2 e S_1' . A Tabela 2.1 apresenta os três estados válidos para este inversor, com o auxílio da Figura 2.3 é possível ver o caminho percorrido pela corrente no inversor em cada estado.

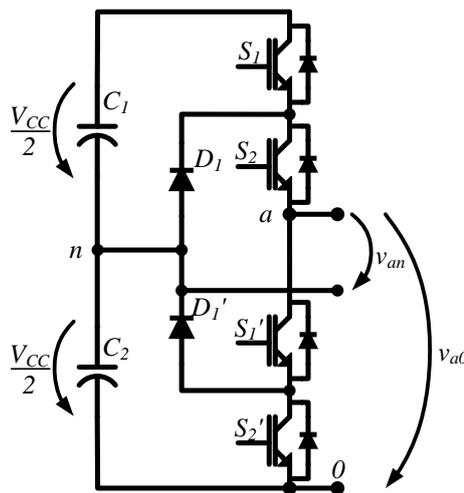


Figura 2.2 – Inversor DCMLI de três níveis.

O que distingue este inversor de um inversor convencional de dois níveis são os díodos D_1 e D_1' , estes dois díodos asseguram a transição para metade da tensão no barramento CC. Quando os interruptores S_1 e S_2 se encontram em condução, a tensão de

saída entre os pontos a e 0 é igual a V_{CC} . Por exemplo, se $v_{a0} = V_{CC}$, o díodo D_1' vai balancear a tensão entre S_1' e S_2' , em que S_1' está a bloquear a tensão de C_1 e S_2' está a bloquear a tensão de C_2 .

Tabela 2.1 – Estados válidos permitidos pelo inversor DCMLI de três níveis.

S_1	S_1'	S_2	S_2'	v_{an}
ON	OFF	ON	OFF	$V_{CC}/2$
OFF	ON	OFF	ON	$-V_{CC}/2$
OFF	ON	ON	OFF	0

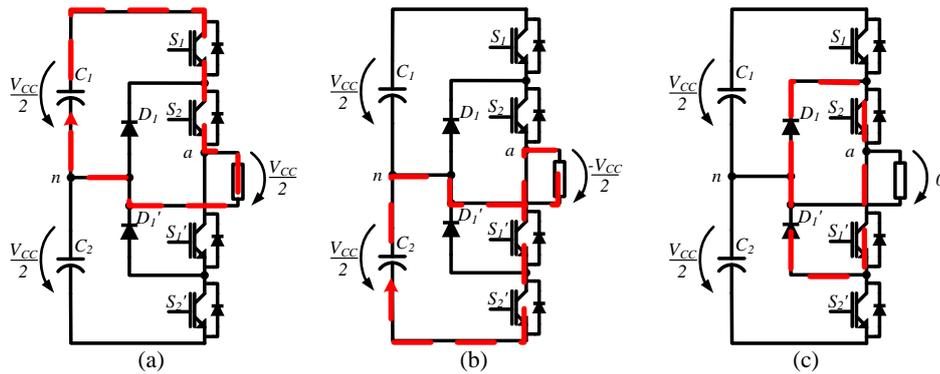


Figura 2.3 – Estados válidos do inversor DCMLI:

(a) Estado 1 ($v_{an} = V_{CC}/2$); (b) Estado 2 ($v_{an} = -V_{CC}/2$); (c) Estado 3 ($v_{an} = 0$).

Na Figura 2.4 está ilustrado um DCMLI de cinco níveis, em que o barramento CC é composto por uma série de 4 condensadores, C_1, C_2, C_3 e C_4 . Para uma tensão V_{CC} no barramento CC cada condensador deve ter uma tensão de $V_{CC}/4$. A tensão suportada por cada semicondutor é limitada pelos díodos a uma tensão do condensador $V_{CC}/4$.

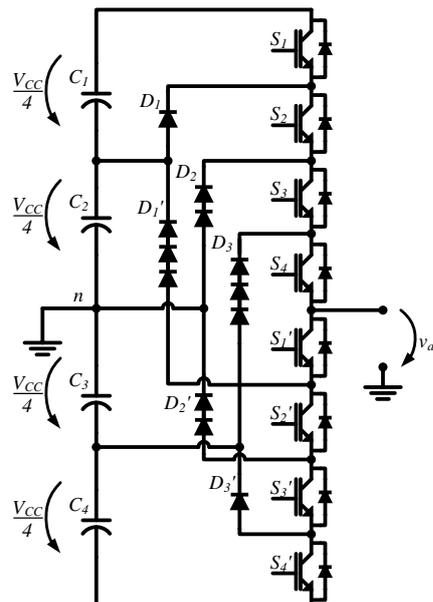


Figura 2.4 – Inversor DCMLI de cinco níveis.

O inversor é constituído por oito interruptores, funcionalmente agrupados em 4 pares complementares. Um par complementar de interruptores é definido com o intuito de que quando um se encontra em condução, o outro esteja em aberto. Neste caso os quatro pares complementares são (S_1, S_1') , (S_2, S_2') , (S_3, S_3') e (S_4, S_4') . Na Tabela 2.2 estão representados os cinco estados válidos deste inversor.

Tabela 2.2 – Estados válidos permitidos pelo inversor DCMLI de cinco níveis.

S_1	S_1'	S_2	S_2'	S_3	S_3'	S_4	S_4'	v_{an}
<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	$V_{CC}/2$
<i>OFF</i>	<i>ON</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	$V_{CC}/4$
<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	0
<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>ON</i>	<i>OFF</i>	$-V_{CC}/4$
<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	<i>OFF</i>	<i>ON</i>	$-V_{CC}/2$

Considerando o número de níveis igual a m , os componentes ativos só precisam de suportar uma tensão de $V_{CC}/(m-1)$, já os díodos têm que bloquear níveis de tensão inversa diferentes. Como por exemplo D_1' da Figura 2.4, quando os interruptores da parte inferior $S_2'-S_4'$ estão em condução têm de bloquear a tensão de três condensadores, ou seja, $3V_{CC}/4$. Tal como D_2 e D_2' têm que bloquear $2V_{CC}/4$, e D_3 bloquear $3V_{CC}/4$. Desta forma e assumindo que cada díodo suporta uma tensão igual aos componentes ativos, então o número de díodos necessários será igual a $(m-1) \times (m-2)$, ou seja, se o valor de m for muito elevado a implementação desta topologia torna-se inexecutável [4].

2.3. Inversor Multinível do Tipo *Flying Capacitors*

A topologia FCMLI conjuga os condensadores do inversor para adquirir diferentes níveis de tensão à sua saída, estes estão diretamente relacionados com a tensão com que cada condensador está carregado. Para que os níveis de tensão sejam uniformes é necessário que a tensão nos condensadores flutuantes seja a mesma que a tensão dos condensadores do barramento CC, sendo requerida uma pré-carga inicial para o valor de tensão adequado [5]. O inversor da Figura 2.5 alcança três níveis de tensão entre os pontos a e n, $V_{CC}/2$, 0 e $-V_{CC}/2$. Este tipo de inversor possui estados redundantes, que possibilitam o balanceamento da tensão nos condensadores flutuantes, como se pode ver na Tabela 2.3, através da Figura 2.6 é possível observar os quatro estados que o FCMLI de três níveis possibilita e o caminho que a corrente percorre.

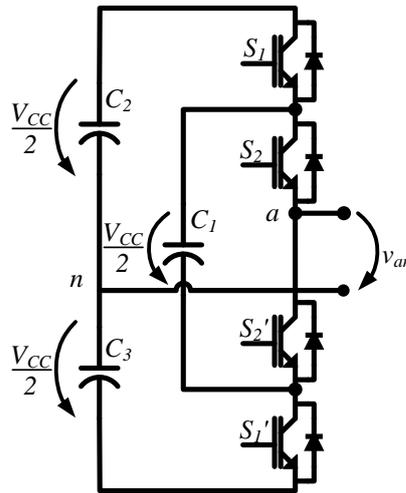


Figura 2.5 – Inversor FCMLI de três níveis.

Tabela 2.3 – Estados válidos permitidos pelo inversor FCMLI de três níveis.

S_1	S_1'	S_2	S_2'	v_{an}
ON	OFF	ON	OFF	$V_{CC}/2$
OFF	ON	OFF	ON	$-V_{CC}/2$
OFF	OFF	ON	ON	0
ON	ON	OFF	OFF	0

Para um nível de tensão $V_{CC}/2$ estão em condução os interruptores S_1 e S_2 , como é ilustrado na Figura 2.6(a). Para obter o nível $-V_{CC}/2$ conduzem os interruptores S_1' e S_2' , como mostra a Figura 2.6(b). Já para o nível 0, têm de estar o par de interruptores (S_1 , S_1') ou (S_2 , S_2') em condução. O condensador C_1 é carregado no estado 3 e descarregado no estado 4, como apresenta a Figura 2.6(c) e Figura 2.6(d) respetivamente.

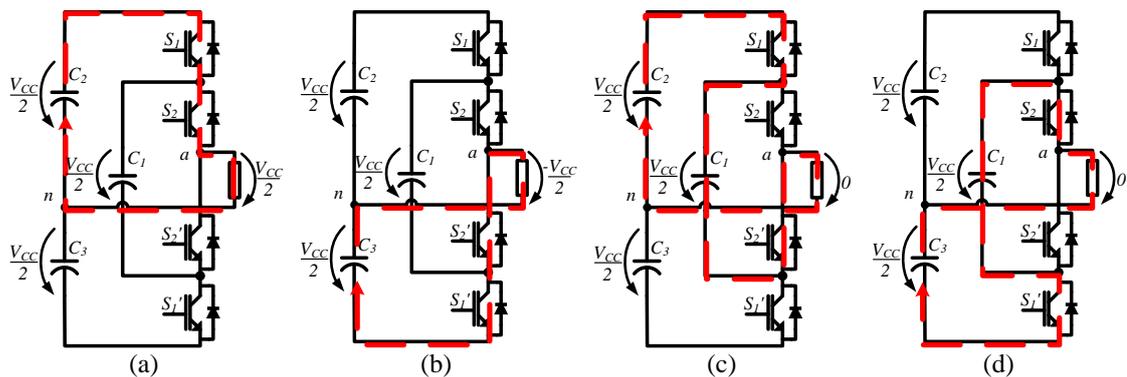


Figura 2.6 – Estados redundantes do inversor FCMLI:

(a) Estado 1 ($v_{an} = V_{CC}/2$); (b) Estado 2 ($v_{an} = -V_{CC}/2$); (c) Estado 3 ($v_{an} = 0$), condensador C_1 a ser carregado; (d) Estado 4 ($v_{an} = 0$), condensador C_1 a ser descarregado.

A sintetização de tensão num inversor FCMLI de cinco níveis é mais flexível do que o DCMLI. Sabendo que todos os condensadores flutuantes estão carregados com a

mesma tensão dos capacitores no barramento CC, $V_{CC}/4$, ou seja, C_1 tem uma tensão de $V_{CC}/4$, C_2 uma tensão de $2V_{CC}/4$, e C_3 uma tensão de $3V_{CC}/4$. Através da Figura 2.7 e da Tabela 2.4 é possível ver todos os estados válidos existentes para cada um dos cinco níveis de tensão que o conversor pode ter entre o ponto a e n .

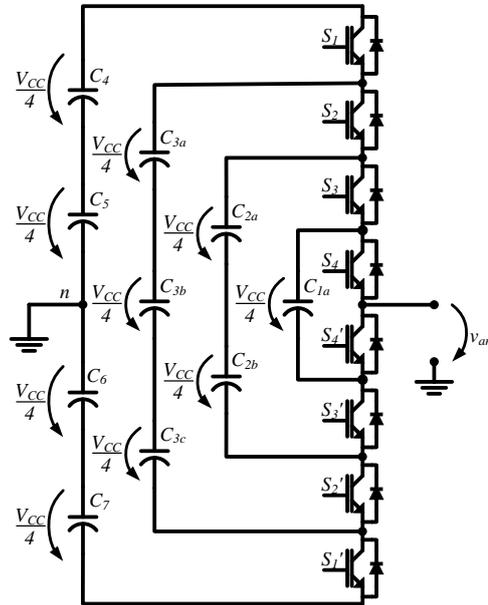


Figura 2.7 – Inversor FCMLI de cinco níveis.

Tabela 2.4 – Estados válidos permitidos pelo inversor FCMLI de cinco níveis.

S_1	S_1'	S_2	S_2'	S_3	S_3'	S_4	S_4'	v_{an}	C_1	C_2	C_3
ON	OFF	ON	OFF	ON	OFF	ON	OFF	$V_{CC}/2$	N	N	N
ON	OFF	ON	OFF	ON	OFF	OFF	ON	$V_{CC}/4$	+	N	N
ON	OFF	ON	OFF	OFF	ON	ON	OFF	$V_{CC}/4$	-	+	N
ON	OFF	OFF	ON	ON	OFF	ON	OFF	$V_{CC}/4$	N	-	+
OFF	ON	ON	OFF	ON	OFF	ON	OFF	$V_{CC}/4$	N	N	-
ON	OFF	ON	OFF	OFF	ON	OFF	ON	0	N	+	N
ON	OFF	OFF	ON	ON	OFF	OFF	ON	0	+	-	+
OFF	ON	ON	OFF	ON	OFF	OFF	ON	0	+	N	-
ON	OFF	OFF	ON	OFF	ON	ON	OFF	0	-	N	+
OFF	ON	ON	OFF	OFF	ON	ON	OFF	0	-	+	-
OFF	ON	OFF	ON	ON	OFF	ON	OFF	0	N	-	N
ON	OFF	OFF	ON	OFF	ON	OFF	ON	$-V_{CC}/4$	N	N	+
OFF	ON	ON	OFF	OFF	ON	OFF	ON	$-V_{CC}/4$	N	+	-
OFF	ON	OFF	ON	ON	OFF	OFF	ON	$-V_{CC}/4$	+	-	N
OFF	ON	OFF	ON	OFF	ON	ON	OFF	$-V_{CC}/4$	-	N	N
OFF	ON	OFF	ON	OFF	ON	OFF	ON	$-V_{CC}/2$	N	N	N

A Tabela 2.4 indica o modo em que os condensadores flutuantes se encontram nos diversos estados, sendo “+” para o modo de carregamento, “-” para quando os condensadores estão a descarregar e em “N” os condensadores não sofrem qualquer alteração no seu valor de tensão. Deste modo, é possível visualizar como cada nível é obtido. Por exemplo, no terceiro estado apresentado na Tabela 2.4, C_1 está a descarregar e C_2 a carregar, obtendo-se uma tensão de $-V_{CC}/4$. Adicionando a tensão de $2V_{CC}/4$ do barramento CC obtém-se o valor de saída v_{an} , que tem uma tensão de $V_{CC}/4$ [6].

Na descrição acima os condensadores com sinal positivo estão a carregar, enquanto os condensadores com sinal negativo estão a descarregar. Através de um bom uso dos estados redundantes é possível balancear a tensão nos condensadores.

Tal como o DCMLI, no inversor *Flying Capacitors* os interruptores têm pares complementares, mas numa disposição assimétrica (S_1, S_1'), (S_2, S_2'), (S_3, S_3') e (S_4, S_4') [5].

2.4. Inversor Multinível do Tipo *Cascaded Cell*

Neste ponto é introduzida o inversor do tipo CCMLI, que consiste numa ligação em série de inversores monofásicos de ponte completa. A Figura 2.8(a) apresenta um inversor de cinco níveis com duas células e a tensão de saída é sintetizada pela soma das tensões de cada célula. Cada um dos inversores de ponte completa pode gerar três tensões diferentes, $+V_{CC}$, 0, e $-V_{CC}$. Desta forma, a tensão de saída pode variar de $-2V_{CC}$ a $+2V_{CC}$, para tal têm de ser colocados os condensadores em série utilizando os semicondutores, como é mostrado na Figura 2.8(b).

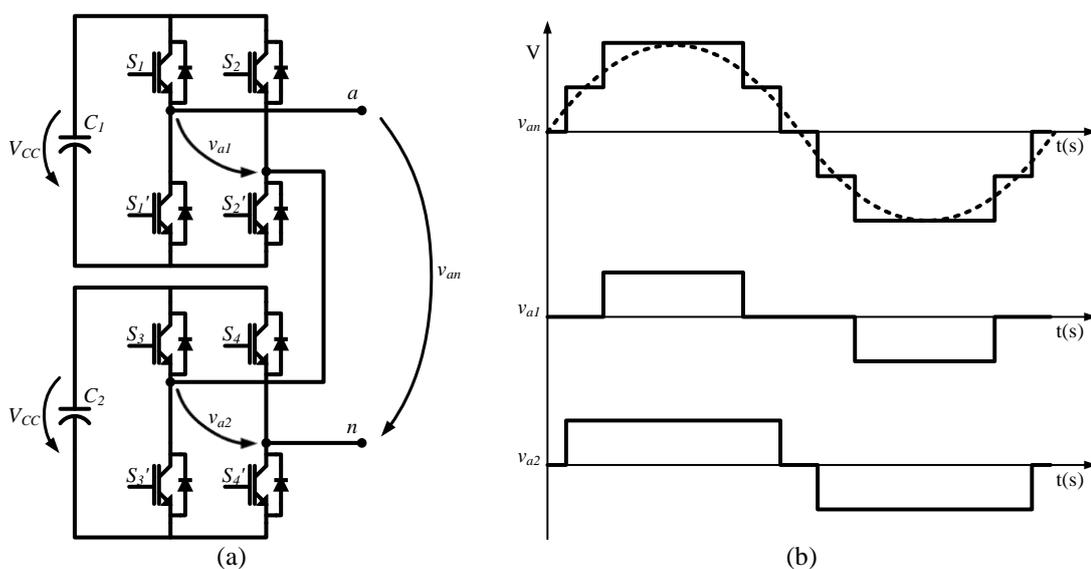


Figura 2.8 – Inversor CCMLI de cinco níveis:
 (a) Esquemático do inversor CCMLI; (b) formas de onda geradas pelo inversor CCMLI.

Como nas outras topologias estes inversores têm semicondutores com pares complementares, neste caso, o complementar é sempre o semicondutor que se encontra no mesmo braço. Para obter um nível de tensão diferente de 0, tem de estar em condução um semicondutor superior e inferior de braços diferentes, ou seja, para $+V_{CC}$, S_1 e S_2' e para $-V_{CC}$, S_2 e S_1' . Assumindo que c é o número de células em série e m o número de níveis da forma de onda $m = 2c - 1$ [5].

Este tipo de inversor tem mais do que um estado para cada nível de tensão como se pode visualizar na Tabela 2.5, esta redundância de estados cresce proporcionalmente com o número de níveis de saída. A existência de estados suplementares possibilita a sua utilização para o balanceamento da tensão nos condensadores [7].

Tabela 2.5 – Estados válidos permitidos pelo inversor CCMLI de cinco níveis.

S_1	S_1'	S_2	S_2'	S_3	S_3'	S_4	S_4'	v_{an}
ON	OFF	OFF	ON	ON	OFF	OFF	ON	$2V_{CC}$
ON	OFF	OFF	ON	ON	OFF	ON	OFF	V_{CC}
ON	OFF	OFF	ON	OFF	ON	OFF	ON	V_{CC}
ON	OFF	ON	OFF	ON	OFF	OFF	ON	V_{CC}
OFF	ON	OFF	ON	ON	OFF	OFF	ON	V_{CC}
ON	OFF	ON	OFF	ON	OFF	ON	OFF	0
ON	OFF	ON	OFF	OFF	ON	OFF	ON	0
OFF	ON	OFF	ON	ON	OFF	ON	OFF	0
OFF	ON	OFF	ON	OFF	ON	OFF	ON	0
OFF	ON	ON	OFF	ON	OFF	ON	OF	$-V_{CC}$
OFF	ON	ON	OFF	OFF	ON	OFF	ON	$-V_{CC}$
ON	OFF	ON	OFF	OFF	ON	ON	OFF	$-V_{CC}$
OFF	ON	OFF	ON	OFF	ON	ON	OFF	$-V_{CC}$
OFF	ON	ON	OFF	OFF	ON	ON	OFF	$-2V_{CC}$

2.5. Inversor Multinível Assimétrico

Para além das três principais topologias já abordadas anteriormente, novas topologias baseadas nas existentes têm sido propostas, sendo classificadas por topologias híbridas. Estas topologias utilizam a combinação de duas topologias básicas, substituindo a ponte H por um DCMLI ou FCMLI numa célula de um CCMLI, reduzindo assim o número de fontes CC isoladas.

Os Asymmetric Hybrid Multilevel Inverters (AHMLI) conseguem sintetizar uma onda de saída com um conteúdo harmónico reduzido. Devido ao facto de poderem utilizar diferentes frequências de comutação em cada célula e diferentes tensões no barramento CC, permite produzir um maior número de níveis à saída sem aumentar o número de componentes [5]. Com estas propriedades, a modularidade do sistema é perdida pelos diferentes níveis de tensão entre células. Estes, podem ainda alterar as famílias de semicondutores entre células, conforme as tensões e frequências que cada uma tiver que suportar.

A relação entre as fontes de diferentes células é de $3kV_{CC}$, sendo k o número da célula, ou seja, a primeira célula terá uma tensão de V_{CC} , a segunda de $3V_{CC}$, a terceira de $9V_{CC}$ e assim sucessivamente. Com esta relação entre as fontes de tensão, o número de níveis de tensão possíveis de sintetizar à saída é de 3^c . Por exemplo, um inversor com duas células consegue gerar nove níveis de tensão à sua saída, como exhibe a Figura 2.9, comparando com um CMLI que com duas células produz apenas cinco níveis de tensão [7].

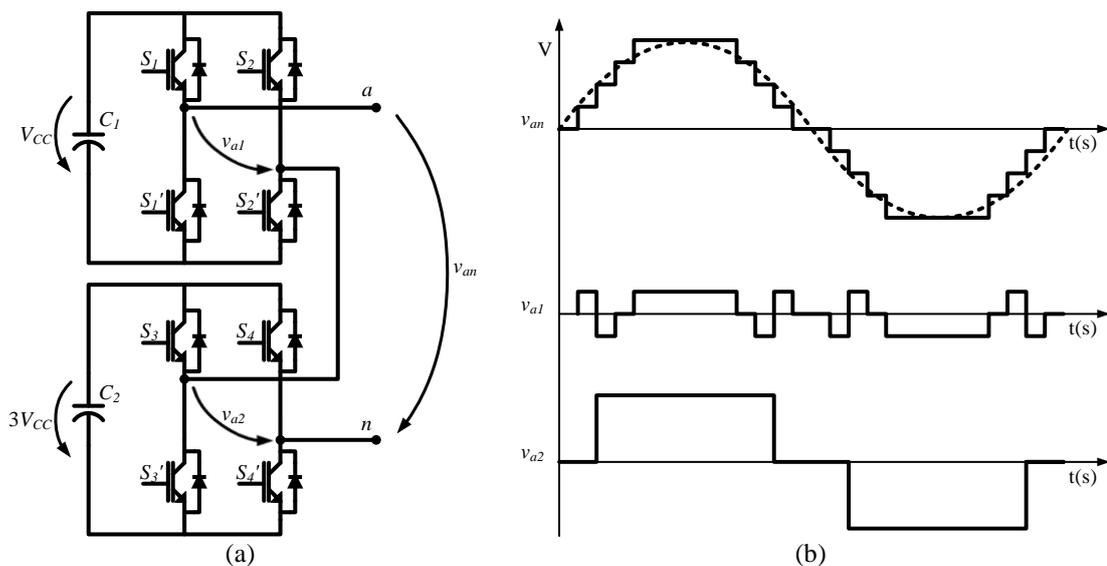


Figura 2.9 – Inversor AHMLI de nove níveis:
 (a) Esquemático do inversor AHMLI; (b) formas de onda geradas pelo inversor AHMLI.

A assimetria de um conversor multinível pode também acontecer em braços diferentes da mesma ponte H, tendo em conta o exemplo mostrado na Figura 2.10. Trata-se de um conversor de cinco níveis, com um braço DCMLI de três níveis e um outro normal de dois níveis, com barramento CC dividido em dois condensadores.

Este conversor tem também assimetria na frequência de cada braço, como também na tensão que cada semicondutor necessita de suportar. Sendo o braço de dois níveis responsável pela direção da corrente, a frequência de comutação é igual à frequência

fundamental da forma de onda a sintetizar. Os semicondutores deste braço têm de suportar uma tensão de V_{CC} . O braço de DCMLI decide qual o nível de tensão, V_{CC} , $V_{CC}/2$, ou 0. Este braço comuta a uma frequência superior relativamente ao braço de dois níveis, sendo o DCMLI responsável pelos estados de cada semiciclo (Tabela 2.6). O DCMLI é responsável pela qualidade da forma de onda, ou seja, quanto maior é a sua frequência de comutação, maior é a qualidade da forma de onda sintetizado. Os semicondutores deste braço têm de suportar uma tensão de $V_{CC}/2$. Com esta assimetria entre os braços do inversor pode ser vantajosa a utilização de semicondutores de diferentes famílias em cada braço, para um melhor desempenho e custo do mesmo.

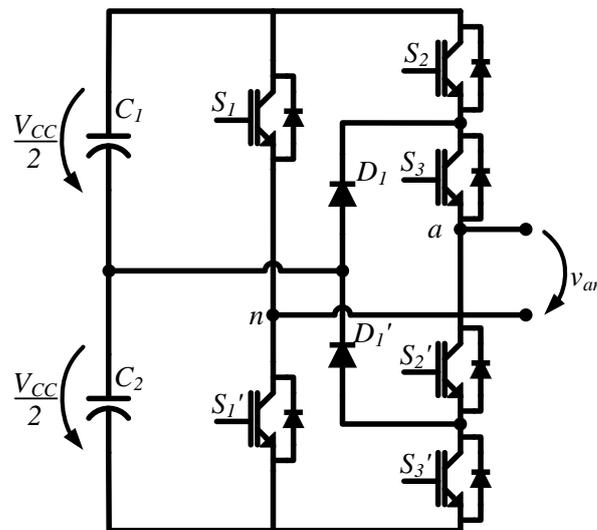


Figura 2.10 – Inversor Multinível Assimétrico de cinco níveis.

Tabela 2.6 – Estados válidos permitidos pelo inversor Multinível Assimétrico de cinco níveis.

S_1	S_1'	S_2	S_2'	S_3	S_3'	v_{an}
OFF	ON	ON	OFF	ON	OFF	V_{CC}
OFF	ON	OFF	ON	ON	OFF	$V_{CC}/2$
OFF	ON	OFF	ON	OFF	ON	0
ON	OFF	ON	OFF	ON	OFF	0
ON	OFF	OFF	ON	ON	OFF	$-V_{CC}/2$
ON	OFF	OFF	ON	OFF	ON	$-V_{CC}$

2.6. Modulação SPWM com Portadoras Múltiplas

A modulação SPWM para um inversor multinível é baseada na técnica convencional de SPWM para dois níveis. O princípio básico destas técnicas de modulação é a comparação de uma onda de referência com uma onda portadora, esta última é

geralmente uma onda triangular com uma frequência muito mais elevada do que a da onda de referência. A frequência da portadora define a frequência de comutação dos semicondutores. Na técnica de modulação SPWM, se a onda de referência for superior ao sinal da portadora, então o semiconductor correspondente fecha, senão abre, como ilustra a Figura 2.11. A diferença entre o SPWM de dois níveis e o multinível é o número de portadoras utilizadas [8].

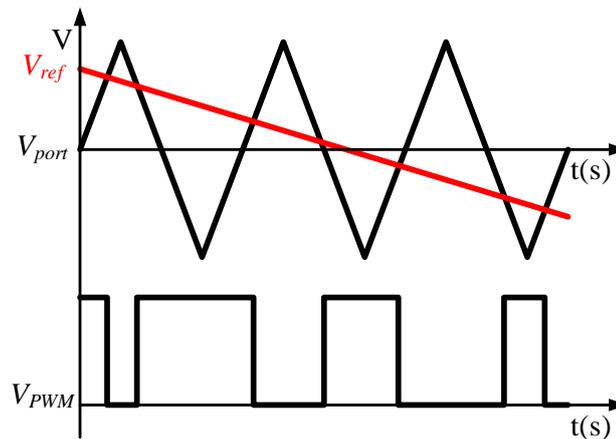


Figura 2.11 – Comutação da modelação convencional de SPWM.

Os tipos de SPWM para inversores multiníveis dividem-se em duas técnicas, a distribuição vertical das portadoras e o desfasamento das portadoras.

A modulação SPWM com distribuição vertical consegue determinar imediatamente o nível de tensão, este tipo de modulação é mais aplicado a inversores multinível DCMLI que não têm redundância de estados para a tensão de saída. O desfasamento das portadoras é um tipo de SPWM mais utilizado em inversores FCMLI e CCMLI com estados redundantes de tensão de saída [9].

2.6.1. SPWM Distribuição Vertical das Portadoras

Para um inversor de m níveis, são necessárias $m-1$ portadoras com a mesma frequência e amplitude distribuídas verticalmente. A amplitude da portadora tem que ser tal que a disposição desta consiga ultrapassar a largura de $+V_{CC}$ a $-V_{CC}$. Um sinal de referência é então comparado com cada portadora, e determinada a forma de onda produzida à saída do inversor. Existem três disposições alternativas para esta estratégia de PWM:

- *Alternative Phase Opposition Disposition (APOD)*, nesta disposição cada portadora está desfasada 180° da sua portadora adjacente, como mostra a Figura 2.12(a);

- *Phase Opposition Disposition* (POD), nesta disposição as portadoras do semiciclo positivo da referência estão desfasados 180° das portadoras do semiciclo negativo, como é apresentado na Figura 2.12(b);
- *Phase Disposition* (PD), nesta disposição todas as portadoras estão em fase, como ilustra a Figura 2.12(c).

Em inversores de três níveis as estratégias APOD e POD são equivalentes.

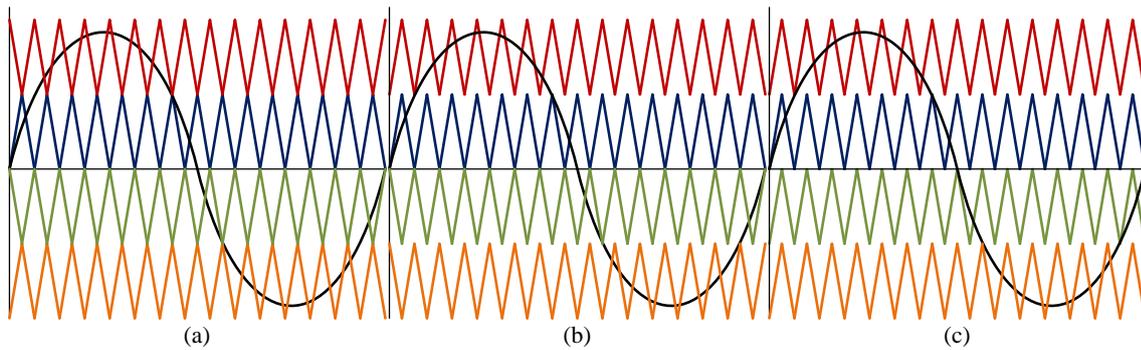


Figura 2.12 – Formas de onda das portadoras com distribuição vertical:
(a) APOD; (b) POD; (c) PD.

A Figura 2.13 ilustra as portadoras, o sinal de referência e a forma de onda produzida na saída do inversor para uma modulação PD de 5 níveis.

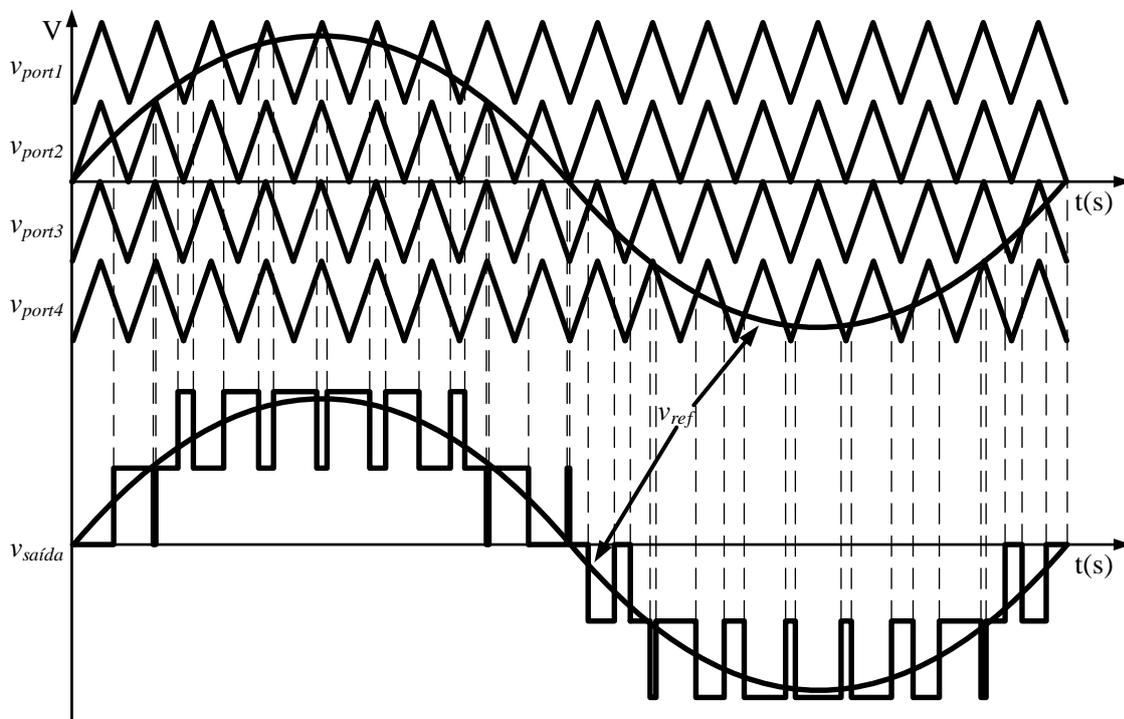


Figura 2.13 – Comutação da modelação PDSPWM para inversor DCMLI de 5 níveis.

2.6.2. SPWM com Desfasamento das Portadoras

Para inversores em cascata, a técnica de PWM com desfasamento de portadoras é a mais utilizada, esta emprega células de inversores de três níveis, na qual as referências sinusoidais estão desfasadas 180° em relação aos módulos, enquanto as portadoras estão desfasadas $180^\circ/c$, como mostra a Figura 2.14 [10].

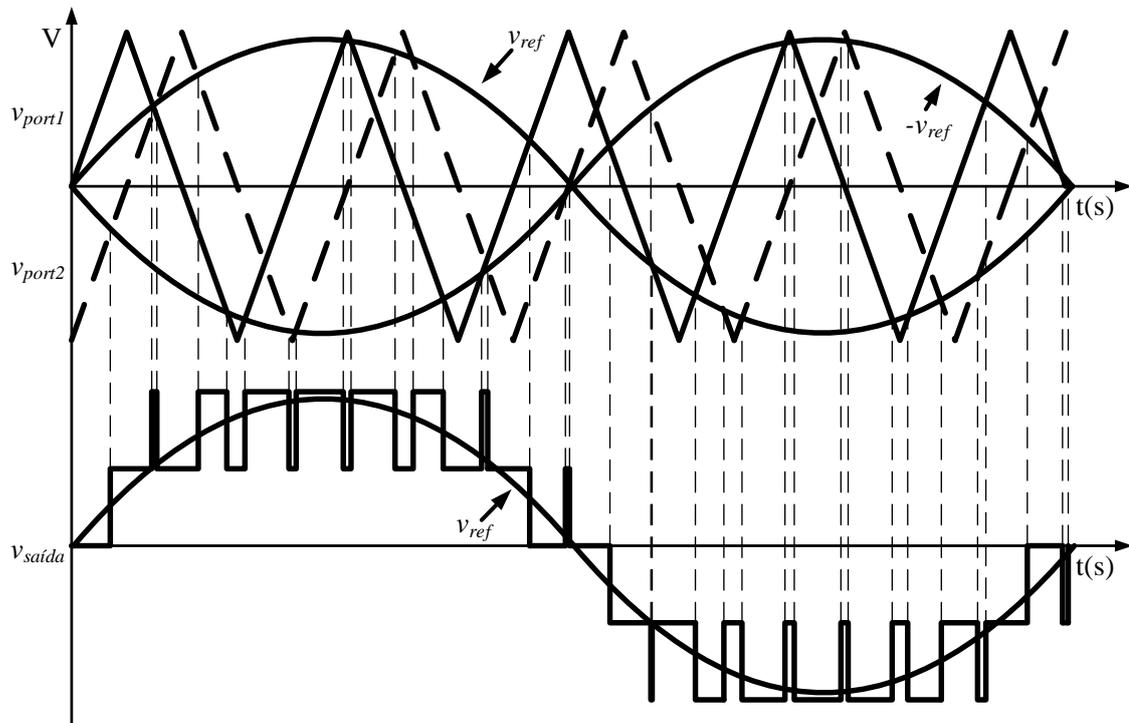


Figura 2.14 – Comutação da modelação SPWM com desfasamento das portadoras para inversores CCMLI de 5 níveis.

Quando se utiliza a modulação SPWM com desfasamento de portadoras em inversores multinível do tipo *Flying Capacitors*, o balanceamento dos condensadores é muito importante. O tempo que eles descarregam e carregam deve ser equivalente, isto é conseguido através da redundância de estados que este tipo de inversores permite. Por exemplo, para um inversor multinível do tipo *Flying Capacitors* de cinco níveis, o sinal de referência é comparado com quatro portadoras desfasadas 90° , como é ilustrado na figura 2.15. Assumindo que a frequência de modulação das portadoras é suficientemente alta para que o valor de referência pareça constante num período de tempo T_s , existem quatro regiões para a referência, demonstradas nas Figura 2.15(a-d). Os sinais de comutação, S_1 , S_2 , S_3 e S_4 estão associados aos semicondutores S_1 a S_4 , estando também apresentados os estados do inversor e o modo em que os condensadores se encontram na Tabela 2.4 [6].

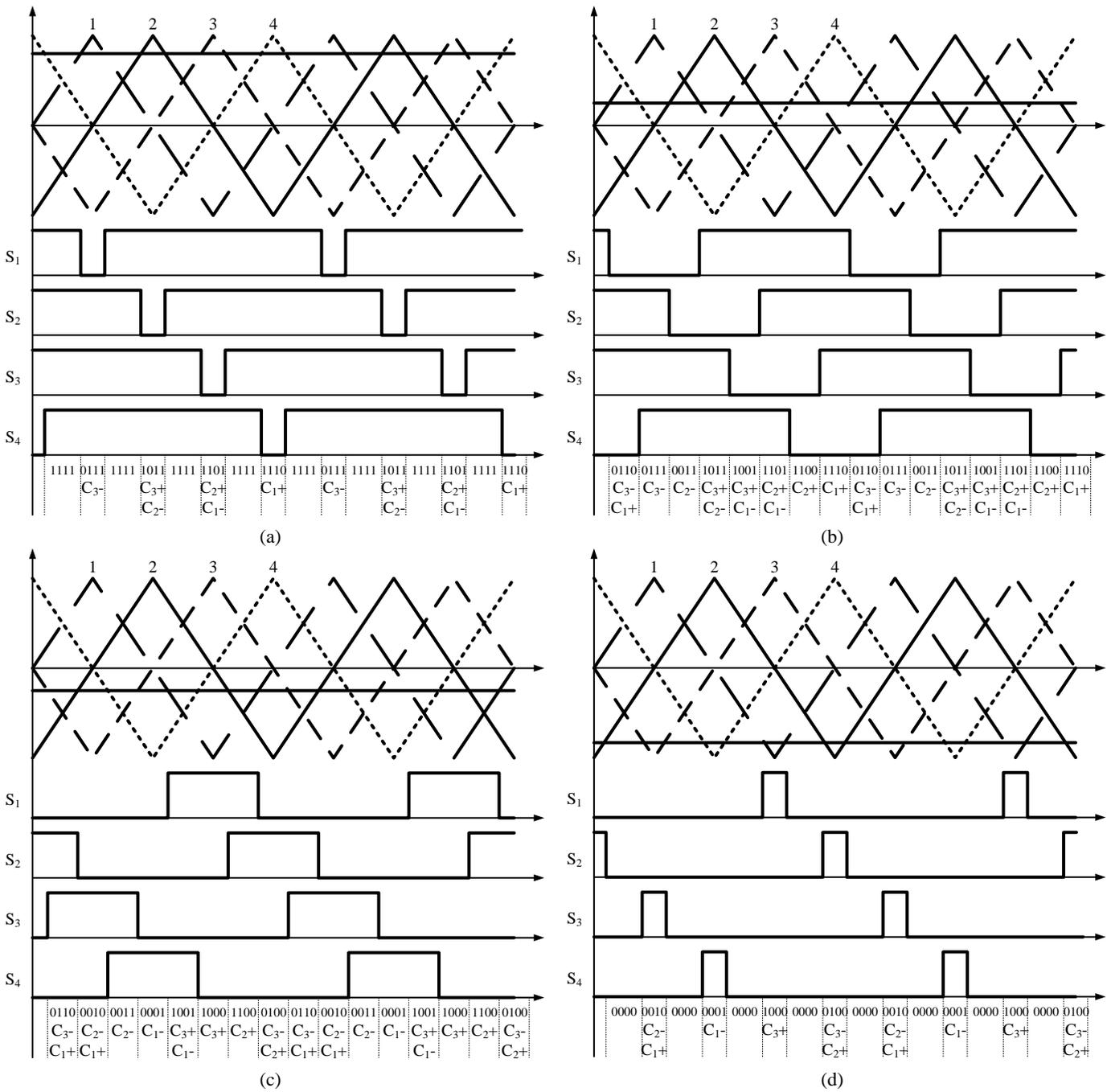


Figura 2.15 – Comutação da modelação SPWM com desfasamento da portadoras para inversores FCMLI de 5 níveis: (a) Comutação entre os níveis $V_{CC}/2$ e $V_{CC}/4$; (b) Comutação entre os níveis $V_{CC}/4$ e 0; (c) Comutação entre os níveis 0 e $-V_{CC}/4$; (d) Comutação entre os níveis $-V_{CC}/4$ e $-V_{CC}/2$.

2.7. Controlo de Corrente

O controlo de corrente para inversores fontes de tensão é fundamental para aplicações como o acionamento de motores, filtros ativos, entre outras. O controlo de corrente é baseado num filtro indutivo que filtra a corrente à saída do inversor, este consiste num sistema de controlo com realimentação, ou seja, ao comparar a corrente da carga com uma corrente de referência são geradas as comutações necessárias para que o erro seja reduzido e assim produzir a corrente desejada. Este sistema de controlo pode ser

considerado linear como o controlo proporcional integral (PI) e o controlo preditivo ou não linear como é o caso do controlo por histerese [11].

O rendimento de todo o sistema depende fortemente das diversas características da técnica de controlo de corrente, como por exemplo a precisão, o tempo de resposta, a distorção harmónica e a robustez [12].

2.7.1. Controlo de Corrente por Histerese

Um controlo de corrente por histerese convencional faz a comparação do erro da corrente com uma banda de histerese da corrente de referência. Quando o erro é menor ao limite inferior da banda de histerese o inversor comuta para o nível de saída alto, e quando é atingido o limite superior o inversor comuta para o nível de saída baixo. Como ilustrado na Figura 2.16.

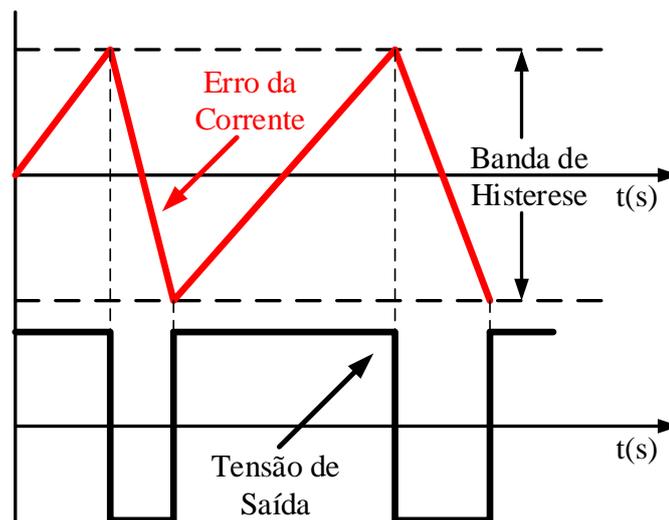


Figura 2.16 – Controlo de corrente por histerese convencional.

Este tipo de controlo quando aplicado a um inversor multinível, tem um comportamento semelhante, diferenciando-se essencialmente quando o erro da corrente atinge um dos limites da banda de histerese este comuta para o próximo nível a baixo ou acima conforme o limite que seja atingido. Caso o novo estado do inversor não seja suficiente para o erro da corrente inverter e tender para zero, então o inversor terá de comutar para o próximo nível de tensão até que seja encontrado o nível correto para inverter a direção do erro da corrente, como pode ser observado na Figura 2.17 [13]. Para inversores com estados redundantes é importante uma máquina que otimize as suas comutações, para que sejam aproveitadas todas as vantagens destes [14].

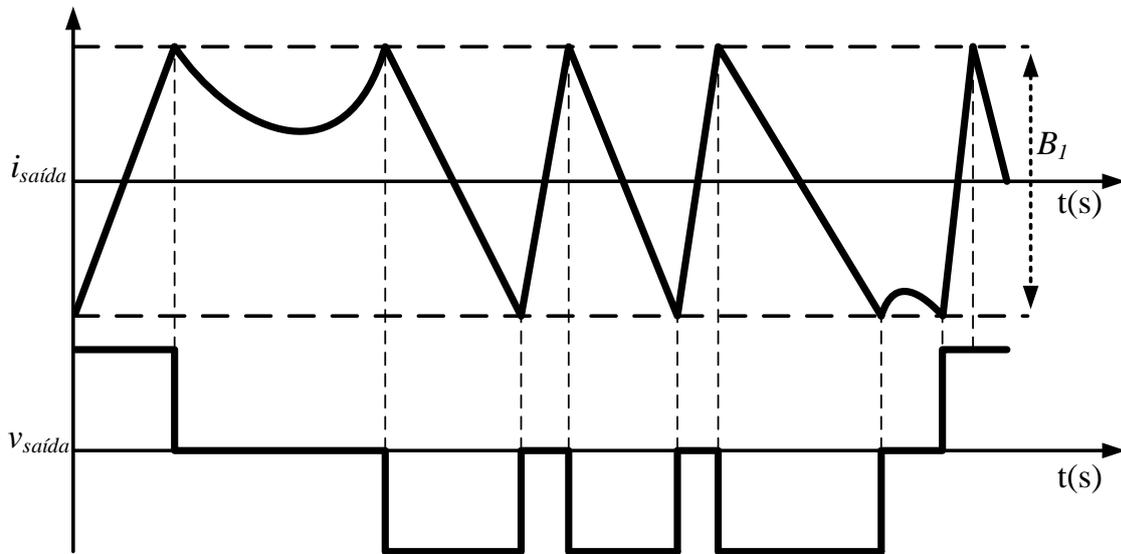


Figura 2.17 – Controlo de corrente por histerese para inversor de 3níveis.

Relativamente ao tipo de controlo, este poderá não ser muito vantajoso para os inversores multinível, principalmente quando a transição de nível não é suficiente para afetar a corrente, deste modo, a corrente poderá sair do intervalo de histerese e assim ser perdido o seu controlo como é mostrado na Figura 2.18. Este fenómeno acontece especialmente no momento de queda da onda de referência e pode ser proporcionado pelo *delay* da comutação dos semicondutores. Este tipo de problema pode ser retificado com a implementação de uma mudança periódica de estado, quando a corrente da carga se encontra fora do intervalo de histerese [15].

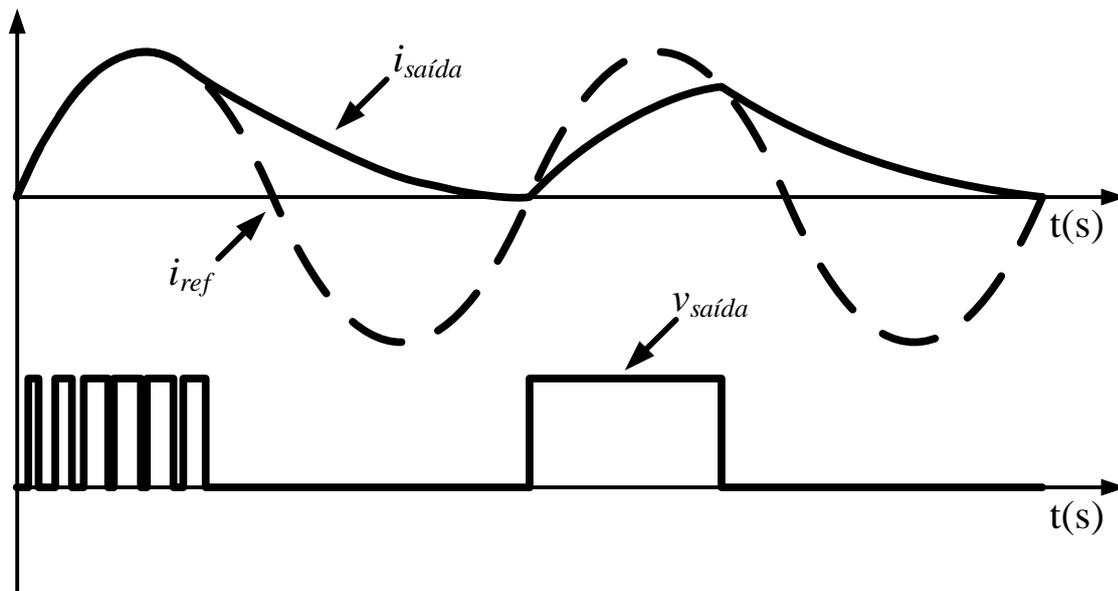


Figura 2.18 – Perda de controlo no controlo de corrente por histerese.

Esta falha pode ser ultrapassada com o uso de múltiplas bandas de histerese, para encontrar o nível de tensão adequado para regular a corrente. Para um inversor de m níveis serão necessárias $m-1$ bandas de histerese. O erro da corrente é comparado com as bandas de histerese e o nível de tensão é alterado cada vez que este ultrapassa um dos limites para um estado que contrarie a corrente, na Figura 2.19 é ilustrado este método de controlo num inversor de três níveis [16].

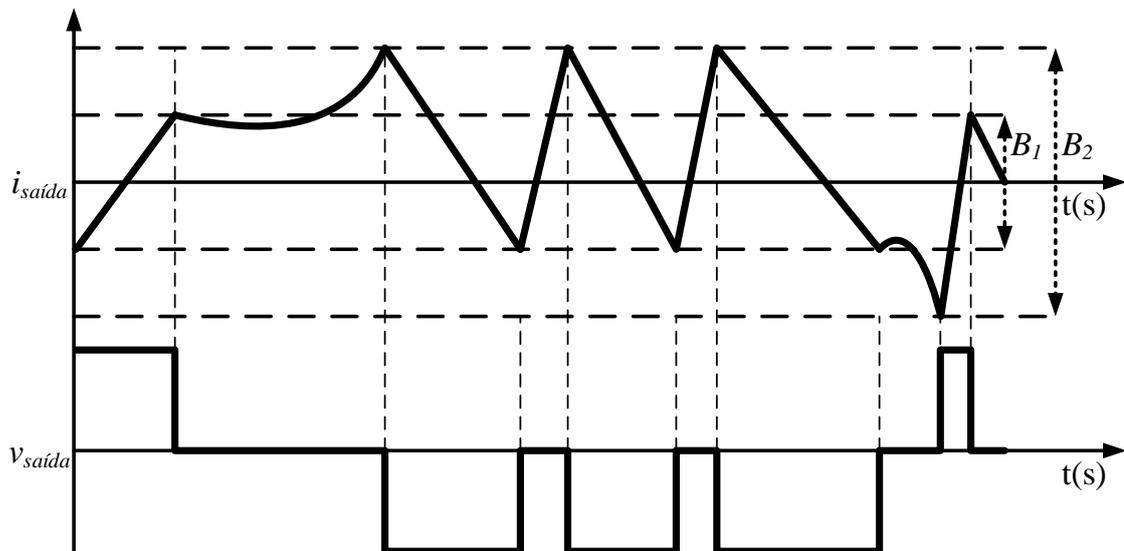


Figura 2.19 – Controlo de corrente por histerese multibanda para inversor de 3níveis.

O controlo por histerese possui grandes vantagens como é exemplo a sua resposta dinâmica rápida, permitindo-lhe seguir grandes variações de corrente, mas também a sua robustez e simplicidade de implementação. Em contrapartida, esta é uma técnica de frequência variável, que poderá criar harmónicos de várias frequências diferentes, causando dessa forma problemas de ressonância, tornando-se assim na sua principal desvantagem. Esta variação de frequência depende também das cargas que podem conduzir a frequências audíveis ou então elevar a frequências superiores ao que os semicondutores podem comutar [17].

2.7.2. Controlo de Corrente PI Estacionário

A Figura 2.20 demonstra como é implementado o controlo PI para regulação da corrente do inversor. Este tipo de estratégia determina a tensão que o inversor necessita de aplicar à indutância, para obter a corrente requerida. Esta tensão é determinada pelo controlador PI utilizando o erro da corrente, conseguido pela diferença entre a corrente da indutância e a referência [18].

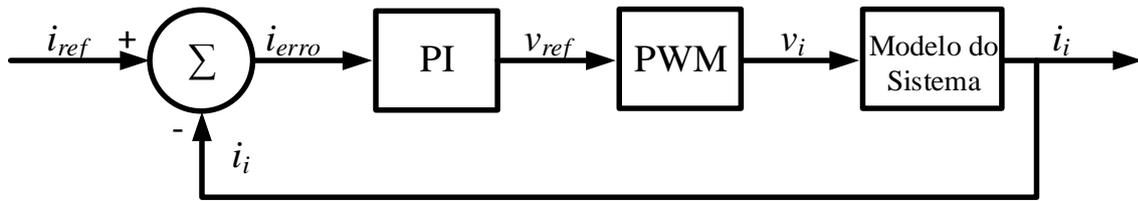


Figura 2.20 – Diagrama de blocos do controle de corrente PI estacionário.

A tensão conseguida através do controlador PI é utilizada como tensão de referência para as modulações SPWM já referidas, sendo este tipo de controlo igual para todas as topologias de inversores. Como é utilizada uma modulação SPWM a frequência de comutação da tensão de saída será fixa, tendo assim os harmónicos da corrente centrados na frequência de comutação, facilitando o cálculo dos elementos passivos para a filtragem dos mesmos e uma posterior diminuição do *ripple* da corrente produzida [19].

Este tipo de controlo embora consiga produzir ondas com um nível baixo de *ripple* e uma distorção harmónica baixa, não responde rapidamente a variações bruscas da corrente. Isto deve-se ao atraso entre a corrente de saída e a corrente de referência que é característico neste tipo de controlo. Este atraso do controlador PI pode ser reduzido com um bom ajuste nos ganhos, mas nunca é completamente eliminado [20].

2.7.3. Controlo de Corrente Preditivo

Este tipo de estratégia de controlo utiliza a aquisição de sinal e os parâmetros do modelo eléctrico, através das equações do sistema é possível prever o próximo estado que o inversor precisa de comutar, para que a corrente da carga acompanhe a referência. Na Figura 2.21 é ilustrada a estrutura básica de um controlo de corrente preditivo [12]

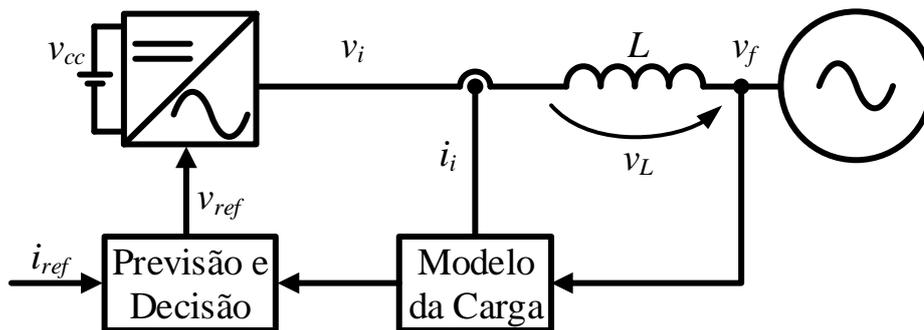


Figura 2.21 – Modelo geral do controlo de corrente preditivo para um inversor ligado à rede eléctrica.

O modelo deste tipo de sistema geralmente consiste numa indutância como já referido anteriormente. Com isto é possível saber, que a tensão à saída do conversor tem de ser igual à soma da queda de tensão da carga e o ponto de ligação do sistema, como é demonstrado na equação (2.1).

$$v_i = v_L + v_f \quad (2.1)$$

Substituindo v_L pela característica tensão/corrente da bobina obtém-se a equação (2.2), a queda de tensão na parte resistiva da bobina R_L pode ser desprezada por esta ter um valor muito baixo obtendo assim (2.3).

$$v_i = R_L i_i + L \frac{di_i}{dt} + v_f \quad (2.2)$$

$$v_i = L \frac{di_i}{dt} + v_f \quad (2.3)$$

Como nas estratégias de controlo descritas anteriormente, neste tipo de controlo é também calculado o erro da corrente entre a corrente de referência e a corrente produzida (2.4). Tendo em conta o modelo elétrico do sistema, é possível substituir a corrente produzida (i_i) pela sua equação vista em (2.3), obtendo-se assim (2.5):

$$i_{erro} = i_{ref} - i_i \quad (2.4)$$

$$L \frac{di_{erro}}{dt} = -v_i + v_f + L \frac{di_{ref}}{dt} \quad (2.5)$$

Utilizando uma frequência de aquisição elevada, a variação da derivada do erro é quase linear, sendo assim a derivada do erro da corrente é aproximadamente igual ao aumento do erro da corrente (Δi_{erro}). Com uma frequência de comutação elevada, o *ripple* da corrente de saída será tão baixo que Δi_{erro} é praticamente igual a i_{erro} . Com estas aproximações, pode-se obter o erro da corrente da seguinte forma (2.6).

$$L \frac{i_{erro}}{T_{aq}} = -v_i + v_f + L \frac{\Delta i_{ref}}{T_{aq}} \quad (2.6)$$

Para que a corrente de erro seja anulada, a tensão aplicada à indutância terá de produzir uma corrente oposta a que foi calculada em (2.6). Alterando o sinal ao termo i_{erro} , obtendo a seguinte equação de controlo (2.7).

$$-\left(L \frac{i_{erro}}{T_{aq}} \right) = -v_i + v_f + L \frac{\Delta i_{ref}}{T_{aq}} \quad (2.7)$$

Arranjando os termos da equação (2.7), para se obter a tensão de saída de forma a compensar o erro da corrente é obtido (2.8).

$$v_i = L \frac{i_{erro}}{T_{aq}} + v_f + L \frac{\Delta i_{ref}}{T_{aq}} \quad (2.8)$$

Tendo isto em conta, a tensão de saída (v_i), será a tensão de referência (v_{ref}) utilizada para a modulação SPWM. Para efetuar os cálculos num controlador digital é necessário que os termos sejam discretos. Obtendo assim a equação (2.9).

$$v_{ref}[k] = L \frac{i_{erro}[k]}{T_{aq}} + v_f[k] + \frac{L}{T_{aq}} (i_{ref}[k] - i_{ref}[k-1]) \quad (2.9)$$

Expandindo os termos, obtém-se a equação simplificada (2.10) a implementar, para calcular a tensão de referência a aplicar.

$$v_{ref}[k] = v_f[k] + \frac{L}{T_{aq}} (2i_{ref}[k] - i_{ref}[k-1] - i_i[k]) \quad (2.10)$$

Tratando-se de um controlo linear, este tem características que o tornam idêntico ao controlo PI, com a principal vantagem desta estratégia de controlo não ter a necessidade de ajustar os ganhos como no sistema de controlo PI [21].

2.8. Conclusão

Neste capítulo foi inicialmente descrita a composição e o princípio de funcionamento de um inversor multinível. Foram em seguida introduzidas as três principais topologias de conversores multinível e a forma como são produzidos os diferentes níveis de tensão de saída, mostrando todos os seus estados válidos.

Os inversores DCMLI não têm estados redundantes, e por isso permitem um controlo mais direto, mas em contrapartida e devido à ausência destes estados redundantes, o controlador não têm tanta liberdade, dificultando deste modo o balanceamento da tensão nos condensadores no Barramento CC.

No caso dos inversores FCMLI, estes possuem estados redundantes que permitem o balanceamento para todos os seus condensadores, embora o balanceamento destes condensadores torna o controlo deste inversor mais complexo.

Relativamente aos inversores CCMLI, são inversores com um maior nível de complexidade em balancear a tensão nos condensadores do barramento CC, pois estes estão separados, porém, este tipo de inversor possui estados redundantes concedendo flexibilidade ao controlo para realizar essa tarefa. Esta topologia é fácil de expandir para mais níveis de tensão.

No que diz respeito a conversores multinível assimétricos, foram introduzidas duas topologias. A primeira destas topologias é baseada no CCMLI, mas com diferentes tensões nos barramentos CC, conseguindo atingir um número de níveis superior aos do CCMLI, mas com uma complexidade de controlo superior para balancear os barramentos

CC. A segunda topologia utiliza um inversor assimétrico entre os braços da mesma ponte completa.

Neste capítulo foram também apresentadas as principais modulações SPWM adaptadas a cada uma das três principais topologias de inversor multinível, bem como o seu funcionamento. Os inversores multinível assimétricos perdem a sua modularidade devido às adaptações feitas à topologia base. Por conseguinte, a sua modulação tem de ser adaptada, podendo ter por base as modulações apresentadas neste capítulo.

Ao nível dos controladores de corrente, descritos neste capítulo, os não lineares nomeadamente o controlo por histerese, não necessitam de um sistema de modulação. Neste caso, o inversor atua com recurso a máquinas de estado de forma a escolher o estado seguinte dos interruptores do inversor. Este tipo de controlo é rápido e dinâmico, mas tem frequência de comutação variável, o que dificulta a filtragem do sinal e em algumas situações e pode causar ressonâncias. Os controladores lineares não têm de ser adaptados ao inversor multinível, visto que estes fornecem uma tensão de referência utilizada posteriormente na modulação SPWM. Os controladores lineares descritos apresentam comportamentos muito semelhantes. Todos eles permitem uma frequência de comutação fixa, obtendo-se assim valores de *ripple* e distorção harmónica baixos. A sua complexidade de implementação é também muito idêntica, contudo o controlo preditivo apresenta a vantagem não ser necessário ajustar ganhos.

CAPÍTULO 3

Filtros Ativos de Potência

Os Filtros Ativos de Potência (FAP) são dispositivos de qualidade de energia elétrica (QEE), hoje em dia cada vez mais utilizados, pois são uma tecnologia que tem vindo a amadurecer ao longo dos últimos anos. Este tipo de compensadores dinâmicos, são principalmente utilizados para a redução do conteúdo harmónico das correntes e tensões dos sistemas elétricos, conseguindo no entanto, mitigar outros tipos de problemas de QEE.

Os FAP podem ser classificados pela topologia, tipo de conversor e número de fases. No que diz respeito à topologia, estes podem ser classificados em filtros paralelos, filtros série ou condicionadores unificados de qualidade de energia (*Unified Power Quality Conditioner* - UPQC). Os inversores utilizados nos FAP podem ser do tipo fonte de corrente (CSI) ou fonte de tensão (VSI). Relativamente à sua classificação quanto ao número de fases, estes podem ser monofásicos, trifásicos a três fios ou trifásicos a quatro fios [22].

Neste capítulo é descrito o funcionamento das três topologias de FAP, em sistemas monofásicos e trifásicos. O seu funcionamento é ilustrado através de conversores do tipo VSI, pois este tipo de tecnologia está mais desenvolvida e tem uma aplicação mais ampla que os CSI no âmbito das topologias multinível. Posteriormente, são apresentados com maior ênfase os Filtros Ativos de Potência Paralelo (FAPP) e são descritas algumas teorias de controlo utilizadas para a obtenção das correntes de compensação.

3.1. Filtro Ativo de Potência Paralelo

Esta topologia de filtro ativo de potência com conversor VSI é a mais utilizada na indústria, este tipo de equipamento é capaz de compensar os harmónicos de corrente e o fator de potência de uma instalação. Num sistema trifásico permite também balancear as correntes nas três fases, e no caso de sistemas a quatro fios eliminar a corrente no neutro. A redução de harmónicos na corrente da rede, faz também reduzir a distorção da tensão, isto conseguido através da diminuição das quedas de tensão na impedância da rede provocadas pelos harmónicos de corrente [23].

A Figura 3.1 exibe o diagrama da configuração de um FAPP com conversor VSI. Os principais componentes dos filtros ativos são os condensadores do barramento CC, os semicondutores de potência do inversor e a indutância de acoplamento com a rede elétrica. O conversor VSI age como uma fonte de corrente injetando na rede as correntes de compensação, que equivalem às correntes distorcidas e ao seu desfasamento em relação à tensão. Desta forma é possível mitigar a distorção da corrente da rede e obter um fator de potência quase unitário. Isto é possível com a sintetização de uma corrente de compensação (i_{comp}), pela comutação dos semicondutores do VSI.

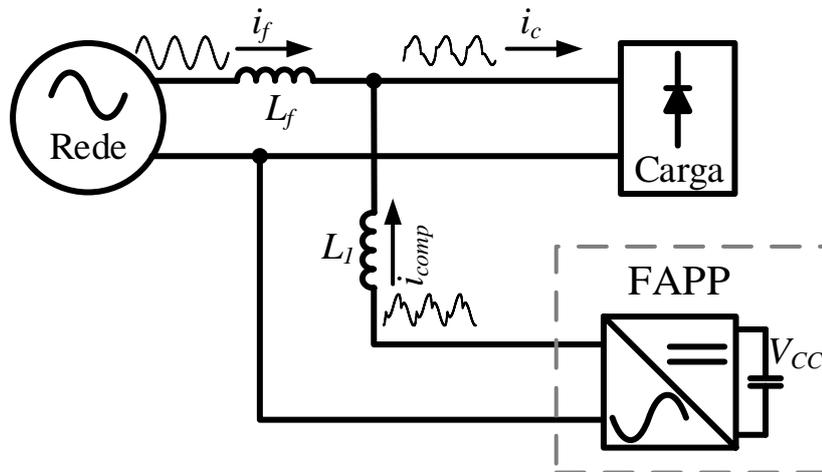


Figura 3.1 – Diagrama de instalação de um filtro ativo de potência paralelo.

A corrente de compensação é igual à subtração da corrente de referência (i_{ref}) à corrente da carga (i_c), como mostra a equação (3.1).

$$i_{comp} = i_c - i_{ref} \quad (3.1)$$

A corrente de referência é igual à corrente pretendida na rede (i_{rede}), ou seja, corresponde à componente fundamental da corrente da carga e em fase com a tensão. Desta forma, com a injeção da corrente de compensação é obtida a corrente desejada na rede como exibe a equação (3.2).

$$i_{rede} = i_c - i_{comp} \quad (3.2)$$

Na Figura 3.2 é apresentado o princípio básico de um filtro ativo paralelo. A corrente injetada por este vai compensar o fator de potência, bem como os harmônicos de corrente da carga não linear, tornando a corrente da rede sinusoidal e em fase com a tensão.

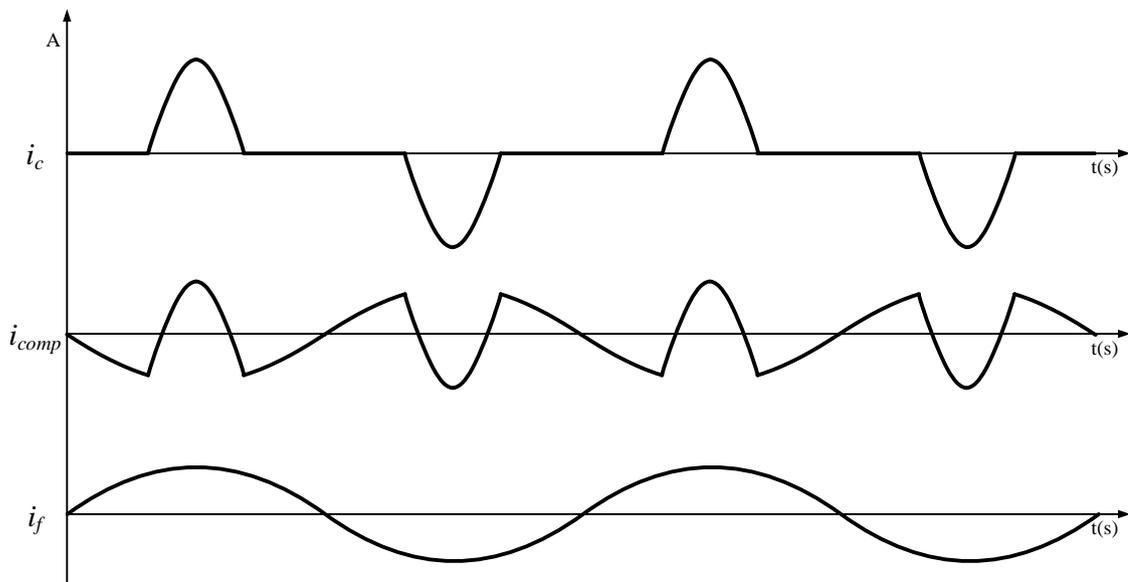


Figura 3.2 – Correntes de um sistema com filtro ativo paralelo.

O filtro ativo paralelo tem a vantagem de apenas ter que suportar as correntes de compensação e alguma corrente ativa, que é fornecida devido às perdas que existem no sistema [24].

A configuração do FAPP num sistema monofásico é idêntica ao que é apresentado na Figura 3.1 geralmente é utilizado um conversor em ponte completa de três ou mais níveis, ligando cada braço do conversor à rede elétrica (Figura 3.3(a)). No caso de um conversor em meia ponte de dois ou mais níveis, o fio do neutro é ligado ao ponto médio dos condensadores do barramento CC (Figura 3.3(b)) [25].

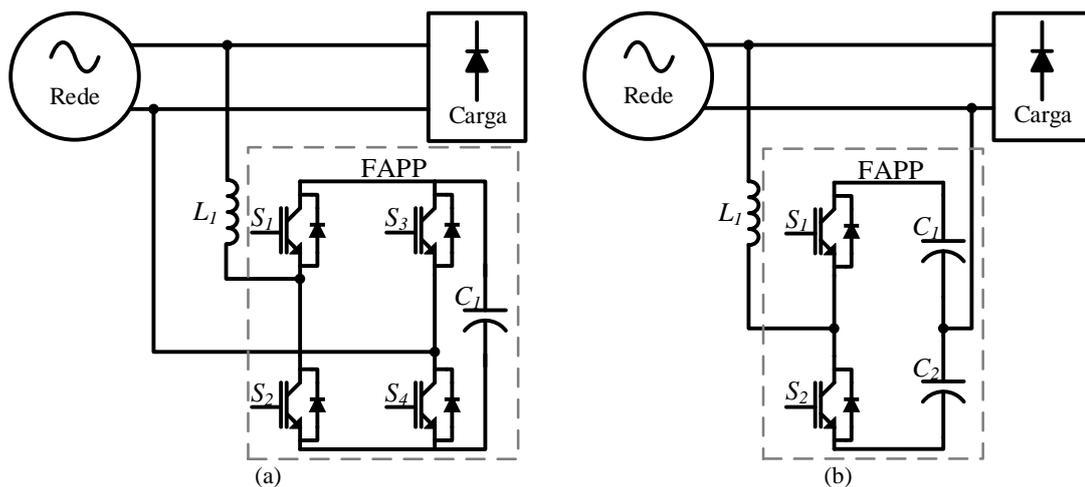


Figura 3.3 – Configuração de um filtro ativo paralelo monofásico:
(a) Conversor ponte completa; (b) Conversor meia ponte.

A ligação de um FAPP trifásico a três fios, consiste num conversor a três braços em meia ponte que pode ser de dois ou mais níveis, cada braço é ligado em paralelo à fase correspondente, como é mostrado na Figura 3.4 [26].

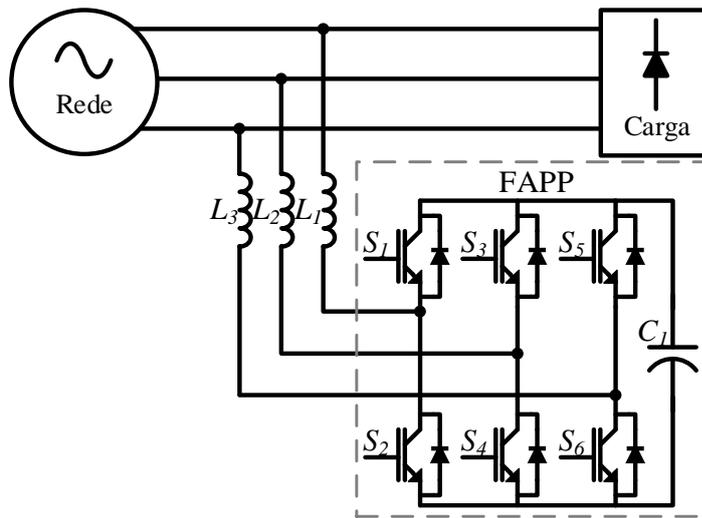


Figura 3.4 – Configuração de um filtro ativo paralelo trifásico a três fios.

Nos sistemas trifásicos, normalmente também existem cargas monofásicas. Estas cargas contribuem para o desequilíbrio do sistema podendo mesmo provocar uma corrente excessiva no neutro. Para resolver este problema têm sido desenvolvidos filtros ativos paralelos trifásicos a quatro fios, existindo já várias configurações disponíveis.

Na Figura 3.5 é ilustrada a configuração para um FAPP a quatro fios com ponto médio no barramento CC. O conversor deste tipo de configuração é composto por seis semicondutores de potência, em três braços com modulação PWM de meia ponte, que irão ser ligados em paralelo com cada fase por intermédio de uma indutância de acoplamento. O barramento CC é constituído por dois conjuntos de condensadores ligados em série com o ponto médio ligado ao neutro da instalação.

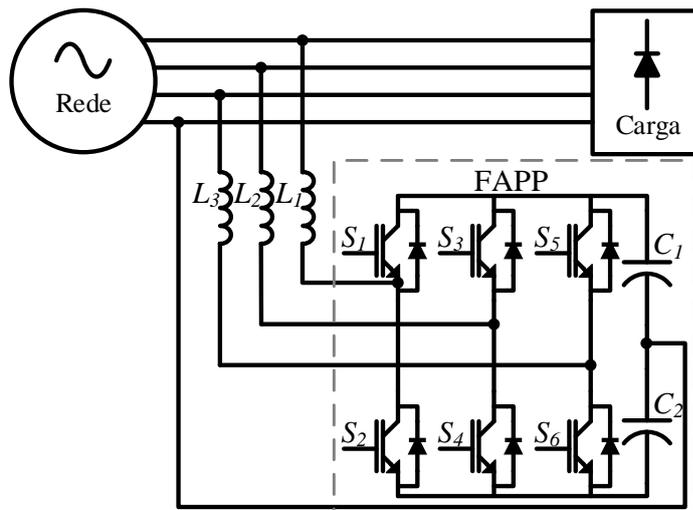


Figura 3.5 – Configuração de um filtro ativo paralelo trifásico a quatro fios com ponto médio no barramento CC.

Este tipo de configuração é utilizado em sistemas de menor potência, pois os harmônicos de sequência zero fluem para os condensadores do barramento CC, sem qualquer tipo de controlo. Para um bom funcionamento desta configuração a tensão nos condensadores do barramento CC tem de estar regulada em $V_{CC}/2$.

Outra configuração para um FAPP trifásico a quatro fios é mostrada na Figura 3.6. Esta utiliza um conversor com quatro braços em meia ponte, onde três dos braços do conversor estão ligados por uma indutância de acoplamento às fases do sistema elétrico, e o neutro ligado ao quarto braço. Este quarto braço controla a corrente do neutro independente das fases, conseguindo assim evitar problemas de balanceamento nos condensadores do barramento CC. Esta configuração utiliza mais dois semicondutores de potência do que o conversor exposto anteriormente, mas necessita apenas de um conjunto de condensadores de menor capacidade no barramento CC [22][27].

Em sistemas trifásicos a quatro fios podem também ser utilizados, três conversores em ponte completa, ligando cada ponte entre a fase e o neutro. Este tipo de configuração utiliza três barramentos CC com uma capacidade inferior [27].

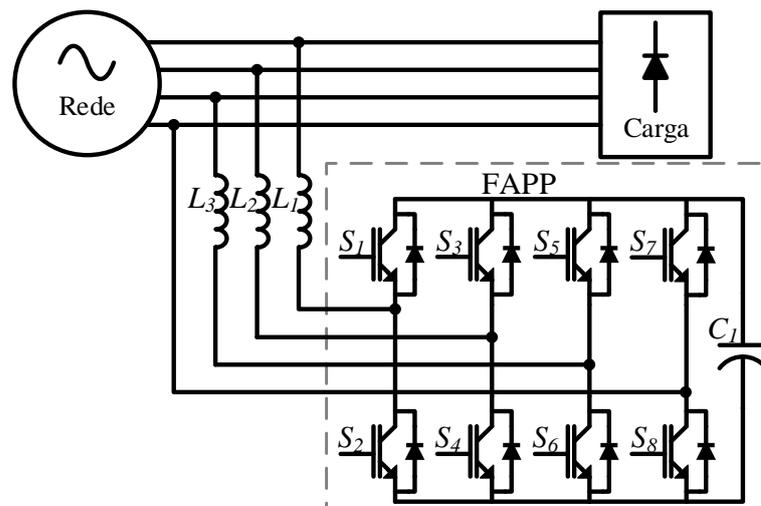


Figura 3.6 – Configuração de um filtro ativo paralelo trifásico a quatro fios com conversor de 4 braços.

3.2. Filtros Ativos de Potência Série

A topologia de FAPS tem como principal função a compensação de problemas de QEE relacionados com a tensão, como é exemplo os harmónicos, cavas de tensão e sobretensões momentâneas. Num sistema trifásico este é capaz de balancear e de regular as tensões nas fases, que devido à existência de muitas cargas monofásicas no sistema elétrico tendem a ficar desequilibradas.

Na Figura 3.7 é mostrada a configuração de um FAPS, que por sua vez é conectado à rede em série através de um transformador. A sua configuração é idêntica à configuração

do FAPP, com a diferença de utilizar um transformador em vez de uma indutância para o acoplamento à rede.

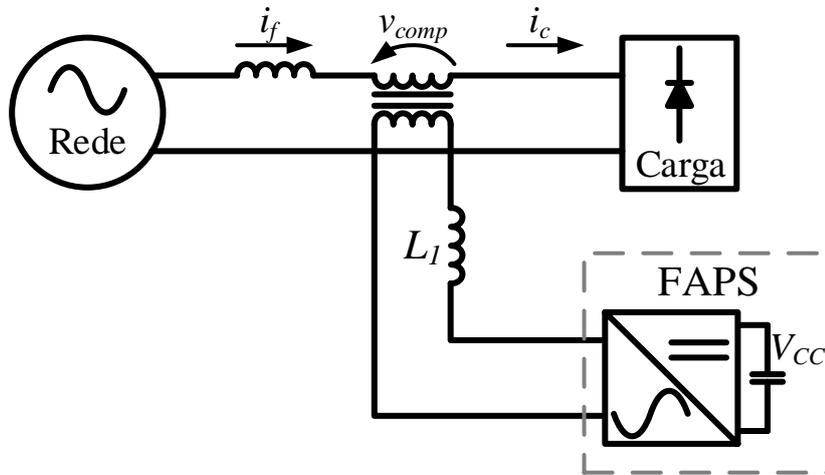


Figura 3.7 – Diagrama de instalação de um filtro ativo série.

O princípio de operação de um filtro ativo série passa por produzir uma tensão, que ao ser somada à tensão da rede permita a obtenção de uma tensão sinusoidal e regulada aos terminais da carga. Na Figura 3.8 é apresentada uma das configurações de FAPS para sistemas trifásicos [22][24].

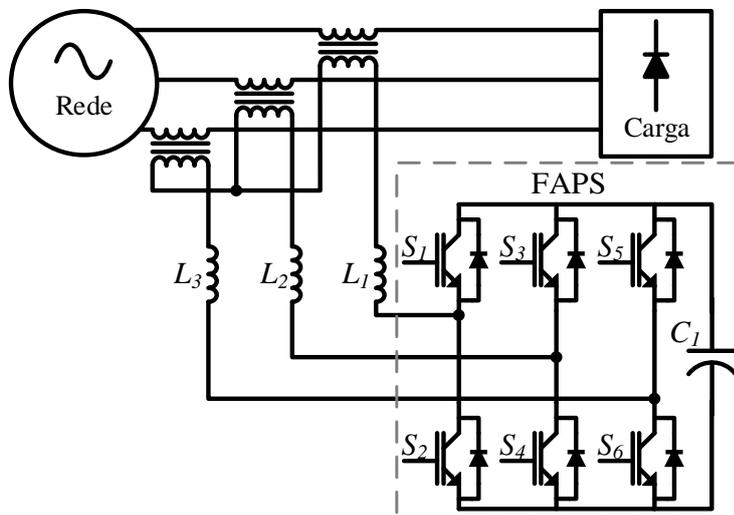


Figura 3.8 – Configuração de um filtro ativo série trifásico.

O FAPS pode também funcionar como dispositivo de isolamento para o conteúdo harmónico das correntes, como é apresentado na Figura 3.9. Neste modo o FAPS é controlado de forma a apresentar uma impedância zero para a componente fundamental, mas uma alta impedância para as frequências das componentes harmónicas. A Figura 3.9(a) ilustra o circuito equivalente do FAPS, onde estão representadas a corrente da carga i_c , a tensão, corrente e impedância da fonte v_f , i_f e Z_f , respetivamente, como

também a tensão, corrente e impedância do FAPS no sistema v_i , i_i e Z_i . Na Figura 3.9(b) estão representadas as componentes fundamentais das variáveis do sistema, em que tensão produzida pelo FAPS é representada como impedância zero. Na Figura 3.9(c) é exibido o sistema quanto às componentes harmônicas, em que a tensão produzida pelo FAPS é representada como uma impedância infinita. Desta forma, os harmônicos de corrente não passam da rede para a carga não linear, nem da carga não linear para a rede. Assim os harmônicos de corrente irão fluir para a impedância do FAPS, representada na Figura 3.9, sendo necessário que a capacidade do barramento CC deste seja elevada. A alta impedância imposta pelo FAPS é criada pela geração de tensões com a mesma frequência que as componentes harmônicas das correntes que se pretendem eliminar [24][28].

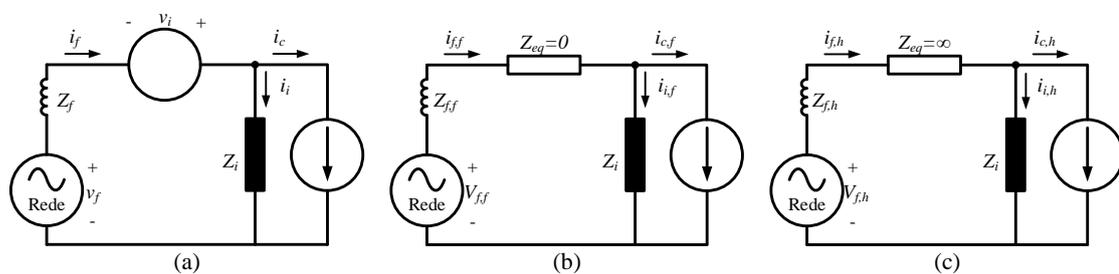


Figura 3.9 – Modo de funcionamento de um filtro ativo série como dispositivo de isolamento:
 (a) Circuito equivalente de filtro ativo série; (b) Circuito equivalente para frequência fundamental;
 (c) Circuito equivalente para frequências harmônicas.

Neste modo de funcionamento o FAPS é muito utilizado em conjunto com um Filtro Passivo de Potência Paralelo (FPPP), pois desta forma os harmônicos de corrente fluem para o FPPP, melhorando o funcionamento do FAPS. A Figura 3.10 mostra uma das configurações utilizadas neste tipo de filtro híbrido. Através desta combinação, são ultrapassados alguns problemas dos filtros passivos paralelos, devido ao isolamento das componentes harmônicas entre o lado da rede e da carga. Os harmônicos da carga são forçados a fluir pelo filtro passivo paralelo, enquanto que os harmônicos da rede são impedidos. A impedância da rede encontra-se isolada da impedância do filtro passivo paralelo, contribuindo desse modo para uma melhor filtragem, evitando que exista ressonância entre as duas impedâncias. A combinação com o filtro passivo paralelo é vantajosa pois o filtro ativo série funciona com correntes menores, tornando-se assim mais eficiente [29][30].

Em sistemas trifásicos a três fios é também possível balancear as tensões das fases, com auxílio a um filtro ativo série monofásico numa das fases, ou balancear e regular as tensões das fases com dois filtros monofásicos em duas fases [31].

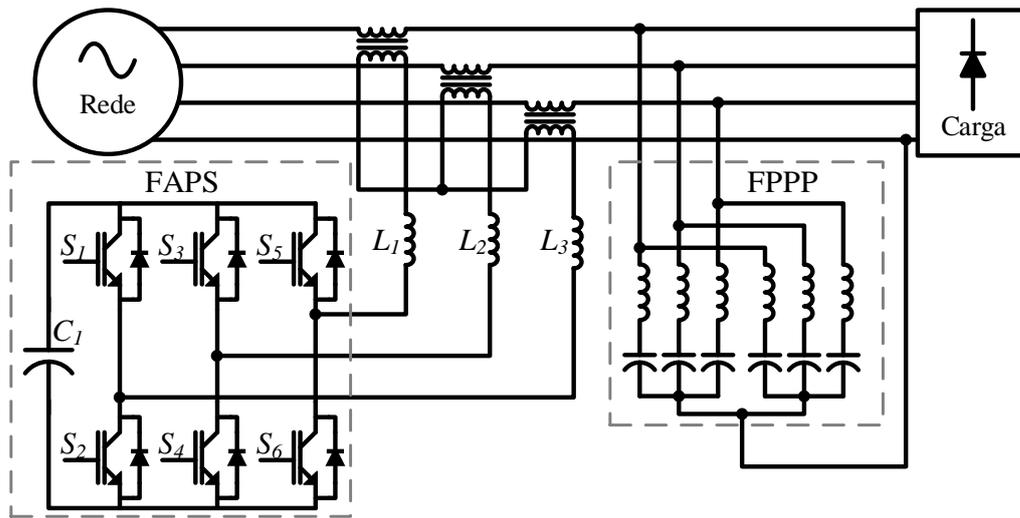


Figura 3.10 – Configuração de filtro híbrido composto por filtro ativo de potência série e filtro passivo de potência paralelo.

3.3. Condicionador Unificado de Qualidade de Energia

O condicionador unificado de qualidade de energia (UPQC), é um filtro ativo resultante da combinação do FAPP e do FAPS. Neste tipo de condicionador ativo, o barramento CC é partilhado pelos dois conversores que atuam como FAPS e FAPP, como é mostrado na Figura 3.11.

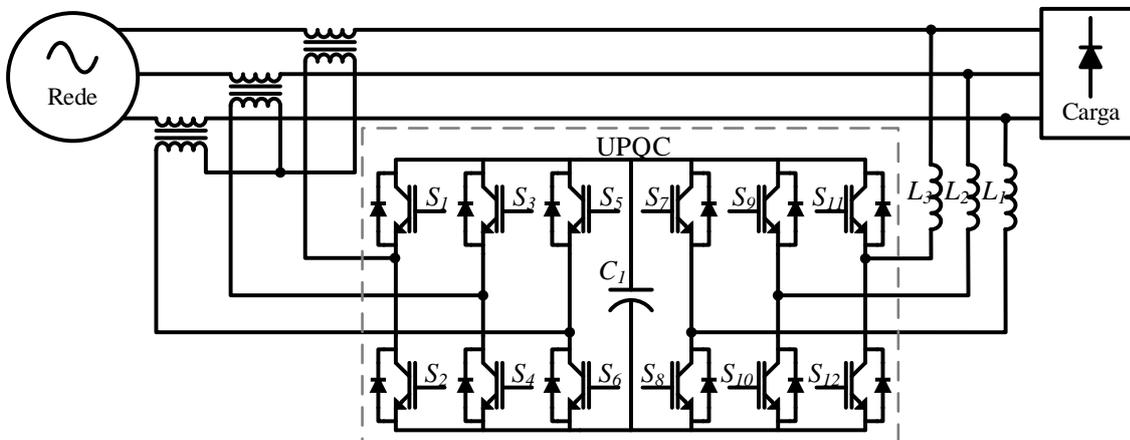


Figura 3.11 – Configuração de um condicionador unificado de qualidade de energia (UPQC).

Esta topologia de filtro ativo consegue compensar harmónicos tanto de corrente como de tensão, mas também corrigir o fator de potência, bem como os desequilíbrios de corrente, balancear e regular as tensões da carga e por fim, compensar as cavas de tensão e sobretensões. Ao contrário do filtro ativo série, este tipo de equipamento consegue compensar as subtensões e sobretensões em regime permanente. De forma a compensar subtensões, a energia ativa necessária é absorvida pelo FAPP e injetada pelo FAPS,

conseguindo manter assim o barramento CC regulado. Na compensação das sobretensões, a energia ativa é absorvida pelo FAPS, e é devolvida à rede pelo FAPP [22][32][33].

3.4. Teorias de Controlo para Filtros Ativos Paralelos

A estratégia de controlo de um filtro ativo de potência passa por três fases, nomeadamente, a aquisição das tensões e correntes do sistema, aplicação da teoria de controlo para calcular as tensões e correntes de compensação, modulação e controlo do conversor para produzir as tensões e correntes de compensação.

Para implementar um algoritmo de controlo, é necessário adquirir valores instantâneos de tensão e corrente. Os sinais de tensão, geralmente medidos para a implementação de um FAP, são a tensão no barramento CC e a tensão da rede, a medição destas grandezas é normalmente feita com sensores de efeito Hall. No que diz respeito à medição dos valores de corrente, estes são geralmente adquiridos neste tipo de FAP através da medição da corrente da carga e da corrente na indutância de acoplamento. Estas medições podem ser feitas através de sensores de efeito Hall, ou transformadores de corrente. Antes da aquisição, os sinais são normalmente filtrados para evitar ruído nas medições.

A teoria de controlo para obter o sinal de compensação (corrente que deve ser injetada na rede no caso do FAPP), é uma das partes mais importantes do algoritmo de controlo de um filtro ativo de potência. Esta pode ser baseada no domínio das frequências ou no domínio do tempo. Relativamente às estratégias de controlo no domínio das frequências, estas são geralmente baseadas na transformada de *Fourier*. Já no que diz respeito às teorias de controlo no domínio do tempo, estas são baseadas na derivação instantânea da corrente de compensação nas correntes distorcidas.

A produção dos sinais de compensação, podem ser conseguidos por modulação PWM com um controlo linear, ou diretamente por um controlo de histerese, abordados no Capítulo 2.

3.4.1. Método por Multiplicação de Sinusoides

Nesta secção é abordado o método por multiplicação de sinusoides, que como na maior parte das teorias de compensação no domínio das frequências, este procura separar a componente fundamental das componentes harmónicas da corrente a compensar. Isto é conseguido ao encontrar a componente fundamental, que posteriormente será subtraída à corrente da carga de forma a obter-se a corrente de compensação.

Assumindo que a tensão da rede é uma senoide pura, esta é representada pela equação (3.3).

$$v_f(t) = V_p \sin(\omega t) \quad (3.3)$$

A corrente não linear na carga pode ser representada por (3.4).

$$i_L = \sum_{n=1}^{\infty} I_n \sin(n\omega t + \theta_n) \quad (3.4)$$

Esta representação da corrente pode ser subdividida na componente fundamental e harmónica como mostra a equação (3.5).

$$i_L = I_1 \sin(\omega t + \theta_1) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \theta_n) \quad (3.5)$$

Assumindo um sinal sinusoidal como referência da fase da componente fundamental da corrente da carga, este é representado por (3.6).

$$i_r = \sin(\omega t) \quad (3.6)$$

A amplitude da parte real da componente fundamental da corrente da carga, pode ser extraída usando a transformada de *Fourier*, escrita na equação (3.7).

$$I_x = \frac{1}{T} \int_0^T i_L(t) i_r(t) dt = I_1 \cos \theta_1 \quad (3.7)$$

Pode então ser obtida a parte fundamental da corrente da carga multiplicando I_x por $i_r(t)$, representando-se como é mostrado em (3.8).

$$i_{fc}(t) = I_x i_r(t) = I_1 \cos \theta_1 \sin(\omega t) \quad (3.8)$$

A corrente de compensação pode ser calculada subtraindo-se a componente fundamental da corrente da carga obtida na equação (3.8) e a corrente da carga da equação (3.4). Como é mostrado na equação (3.9).

$$i_{comp}(t) = i_L(t) - i_{fc}(t) = \sum_{n=1}^{\infty} \sin(n\omega t + \theta_n) - I_1 \cos \theta_1 \sin(\omega t) \quad (3.9)$$

Esta teoria de controlo necessita da aquisição de pelo menos um ciclo inteiro, para calcular a amplitude da componente fundamental pela transformada de *Fourier* [34].

3.4.2. Teoria p - q

A teoria p - q foi inicialmente desenvolvida para sistemas trifásicos a três fios e mais tarde adaptada para quatro fios, com o intuito de poder ser usada em sistemas não balanceados e assim compensar harmónicos de sequência zero [35][36]. Esta teoria é também adaptável a sistemas monofásicos [37].

A base desta teoria está na transformação das correntes e tensões das coordenadas a - b - c em coordenadas α - β - 0 utilizando a transformada de *Clark* exposta em (3.10) e (3.11).

$$\begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (3.10)$$

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.11)$$

Os valores retirados desta transformada são utilizados para obter a potência real instantânea (p), a potência imaginária instantânea (q) e a potência instantânea de sequência zero (p_0) através das equações (3.12).

$$\begin{bmatrix} p_0 \\ p \\ q \end{bmatrix} = \begin{bmatrix} v_0 & 0 & 0 \\ 0 & v_\alpha & v_\beta \\ 0 & -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} \quad (3.12)$$

Estas potências instantâneas podem ser separadas numa componente média e numa componente alternada como é mostrado nas equações (3.13), (3.14) e (3.15).

$$p = \bar{p} + \tilde{p} \quad (3.13)$$

$$p_0 = \bar{p}_0 + \tilde{p}_0 \quad (3.14)$$

$$q = \bar{q} + \tilde{q} \quad (3.15)$$

A energia transferida da rede para a carga depende apenas do valor médio da potência real instantânea \bar{p} e do valor médio da potência de sequência zero \bar{p}_0 . Os valores alternados das potências real, \tilde{p} , e de sequência zero e, \tilde{p}_0 , correspondem à energia trocada entre a fonte e os elementos armazenadores de energia da carga. Tal como é possível observar na Figura 3.12, a potência real instantânea é transferida através das três fases, sendo que a potência instantânea de sequência zero é transmitida com o auxílio do neutro. É também ilustrado nessa figura que a potência imaginária instantânea é trocada entre as três fases do sistema elétrico.

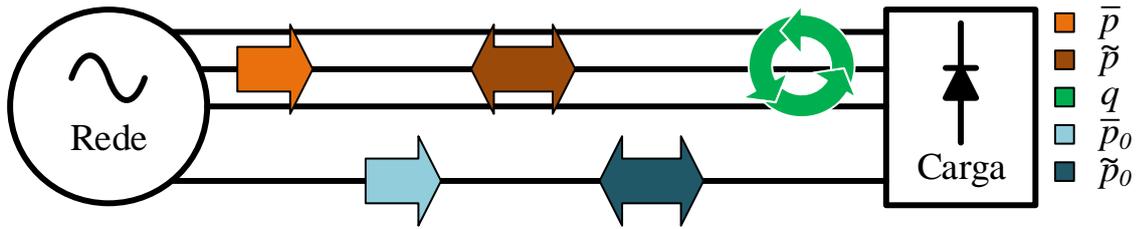


Figura 3.12 – Potências definidas pela teoria $p-q$ num sistema trifásico.

O FAPP com controlo baseado na teoria $p-q$, procura compensar todas as componentes alternadas das potências real e de sequência zero e a potência imaginária. Fazendo também com que o valor médio da potência de sequência zero seja fornecidas de forma equilibrada pelas três fases, tal como é representado na Figura 3.13 [36].

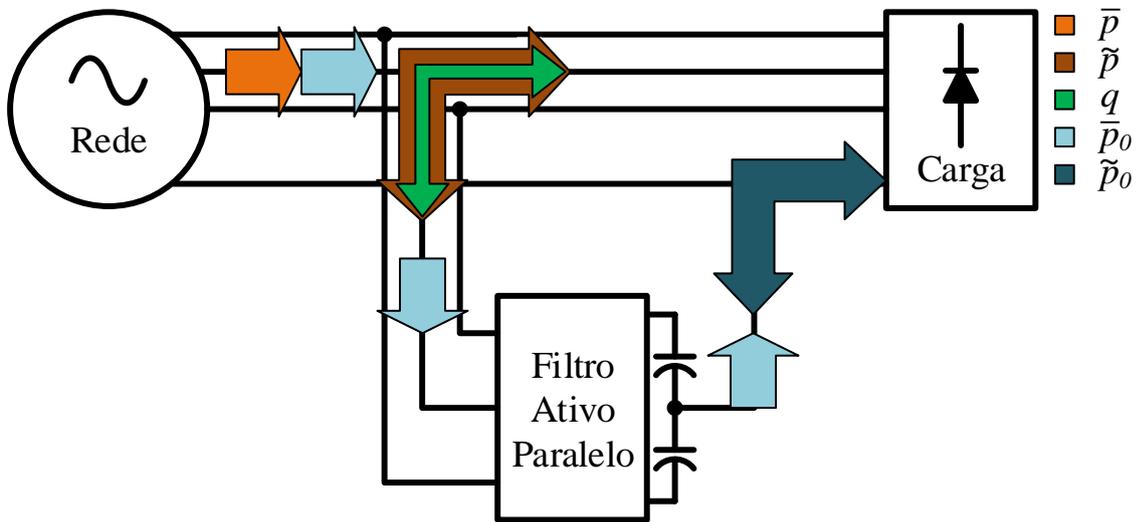


Figura 3.13 – Potências definidas pela teoria $p-q$ num sistema trifásico com filtro ativo paralelo.

Para calcular as correntes de referência para a compensação do FAPP exibido na Figura 3.13, é necessário que todas as potências que se pretende compensar sejam introduzidas nos cálculos, como mostra a equação (3.16).

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} -\tilde{p} + \bar{p}_0 \\ -\tilde{q} - \tilde{q} \end{bmatrix} \quad (3.16)$$

Por fim, é necessário transformar as correntes calculadas para as coordenadas $a-b-c$ novamente, utilizando a equação (3.17) para que estas sejam moduladas pelo conversor.

$$\begin{bmatrix} i_{ca}^* \\ i_{cb}^* \\ i_{cc}^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & 1 & 0 \\ \frac{1}{\sqrt{2}} & \frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} -i_0 \\ i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} \quad (3.17)$$

Esta teoria é também adaptável a um sistema monofásico, para tal é necessário emular um sistema trifásico para obter as coordenadas α e β . Sendo assim, a corrente e a tensão da carga correspondem à fase a do sistema trifásico e as fases b e c são obtidas pela introdução de um desfasamento de $\pm 120^\circ$ relativamente à fase a . Aplicando a transformada de *Clarke* num sistema onde as três fases têm os sinais iguais com o seu devido desfasamento, obtém-se que a é igual a α e β tem um desfasamento de 90° ou $\pi/2$ de α . Tendo isto em conta, pode-se extrair as coordenadas α e β a partir da equação (3.18) e (3.19).

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} v_{rede}(\omega t) \\ v_{rede}(\omega t + (\frac{\pi}{2})) \end{bmatrix} \quad (3.18)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} i_L(\omega t + \varphi) \\ i_L(\omega t + \varphi + (\frac{\pi}{2})) \end{bmatrix} \quad (3.19)$$

O cálculo da potência real instantânea e imaginária instantânea é efetuado utilizando a equação (3.12). Como se trata de um sistema monofásico, este será sempre um sistema balanceado, logo a componente de sequência zero é nula. Visto que a corrente da fase é igual a i_α então a corrente de compensação $i_{c\alpha}$ será igual à corrente de compensação i_{comp} , que é calculada a partir da equação (3.20) [38].

$$i_{comp} = \frac{1}{v_\alpha^2 + v_\beta^2} \begin{bmatrix} v_\alpha & -v_\beta \end{bmatrix} \begin{bmatrix} -\bar{p} \\ -q \end{bmatrix} \quad (3.20)$$

3.4.3. Teoria de Fryze - Buchholz – Depenbrock (FBD)

A teoria FBD é aplicável a sistemas com qualquer número de fases e para qualquer forma de onda de corrente. Este método baseia-se na representação do sistema numa carga monofásica, relativamente à sua potência ativa, calculando um equivalente da sua condutância ativa G_a alimentada pela mesma tensão da carga, tal como representado na Figura 3.14. A corrente calculada a partir desta condutância define a corrente ativa, que é sempre proporcional à tensão de acordo com a equação (3.21).

$$i_a(t) = G_a v(t) \quad (3.21)$$

Esta corrente transfere a mesma energia para a carga, mas com um valor eficaz mínimo. A componente da corrente não ativa da carga, i_x , corresponde à corrente de compensação para o FAPP e é obtida pela equação (3.22).

$$i_x = i_c(t) - i_a(t) \quad (3.22)$$

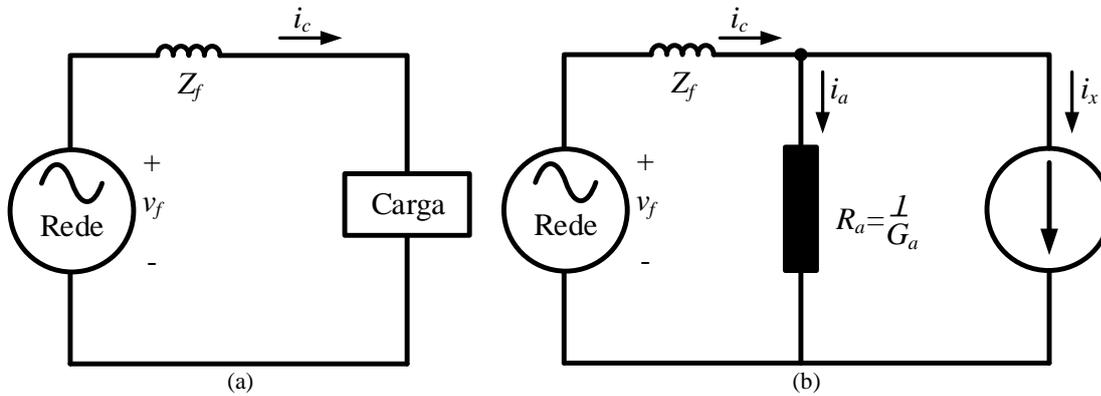


Figura 3.14 – Modelo de um sistema monofásico:
(a) Modelo elétrico; (b) Modelo equivalente para a teoria FBD.

Para calcular a condutância ativa G_a é necessário obter o valor médio da potência ativa \bar{p} , e o valor eficaz da tensão da fonte V , utilizando as equações (3.23) e (3.24).

$$\bar{p} = \frac{1}{T} \int_0^T v(t) i_c(t) dt \quad (3.23)$$

$$V = \sqrt{\frac{1}{T} \int_0^T v(t)^2 dt} \quad (3.24)$$

Com os valores obtidos nas equações anteriores é possível calcular a condutância ativa G_a a partir da equação (3.25).

$$G_a = \frac{\bar{p}}{V^2} \quad (3.25)$$

Depois de obtida a condutância ativa G_a é possível calcular a corrente de compensação i_x empregando as equações (3.21) e (3.22) [39].

3.5. Conclusão

Neste capítulo foram inicialmente introduzidos os filtros ativos de potência, caracterizando-os quanto à sua topologia, tipo de conversor e número de fases.

Foram posteriormente descritas com mais detalhe as topologias de filtro ativo de potência baseadas em inversores do tipo fonte de tensão e são mostrados os diversos esquemas de ligação dos filtros ativos com a rede a dois, três e quatro.

Foi também abordado um modo de utilização dos FAPS que é maioritariamente utilizado em conjugação com um FPPP. Este modo de topologia híbrida otimiza o desempenho quer do filtro passivo quer do filtro ativo. Foi ainda apresentada a topologia de UPQC que resulta da operação combinada de um filtro ativo do tipo série e de um filtro ativo do tipo paralelo que partilham o mesmo barramento CC, conferindo-lhe capacidades de compensação de problemas de QEE adicionais.

Por fim, foram apresentadas as principais teorias aplicadas no controlo de filtro ativo de potência paralelo, tanto no domínio da frequência como no domínio do tempo. No domínio da frequência foi abordado o método por multiplicação de sinusoides, que utiliza a transformada de *Fourier* para extrair a amplitude da parte real da componente fundamental da corrente da carga. No domínio do tempo foram exploradas a teoria FBD e a teoria $p-q$. A primeira é aplicável a sistemas com qualquer número de fases e baseia-se na representação do sistema numa carga monofásica, relativamente à sua potência ativa. A segunda teoria é mais destinada a sistemas trifásicos, esta utiliza a transformada de *Clarke* para calcular as potências instantâneas do sistema com as variáveis obtidas. Foi ainda demonstrado que a teoria $p-q$ pode facilmente ser adaptada a sistemas monofásicos.

CAPÍTULO 4

Simulação do Filtro Ativo Paralelo Monofásico com Inversor Multinível

4.1. Introdução

A simulação do sistema é uma das etapas mais importantes para a implementação de um conversor de eletrónica de potência. Nesta fase as escolhas feitas podem ser validadas de uma forma segura e sem o risco de danificar componentes ou equipamentos.

Com o auxílio de uma ferramenta de simulação é possível testar as teorias de controlo com a topologia do *hardware* que será utilizado, podendo dessa forma ajustar os parâmetros do controlo aos valores utilizados no sistema, e assim obter um modelo próximo do real.

Neste capítulo é apresentado o modelo de simulação do sistema a implementar, inicialmente é identificado o inversor multinível escolhido para a implementação do filtro ativo paralelo, bem como as teorias e técnicas de modulação para o controlar. Estas teorias são divididas em duas partes, correspondendo a primeira ao controlo para atuar o inversor multinível, que é composto pelo controlo de corrente e a modulação SPWM descrita neste capítulo. A segunda corresponde ao controlo da teoria de FAPP, composta pela teoria de filtro ativo de potência paralelo, regulação do barramento CC e um bloco *Phase Locked Loop* (PLL), sendo os dois últimos explicados no presente capítulo.

Posteriormente são apresentados os resultados do controlo aplicado ao inversor com diversos tipos de cargas, cuja finalidade é avaliar o desempenho do sistema a implementar.

Todas as simulações foram efetuadas com a ferramenta de simulação *PSIM 9.1*, da empresa *Powersim Inc*, sendo esta uma ferramenta orientada para sistemas de eletrónica de potência.

4.2. Modelo de Simulação do Filtro Paralelo Monofásico com Inversor Multinível

Na Figura 4.1 é apresentado o modelo completo do sistema, exibindo a ligação de todos os blocos quanto às suas variáveis de entrada e de saída, é também ilustrado como

todo o sistema é ligado à rede elétrica tendo em conta os parâmetros a serem medidos sensorialmente.

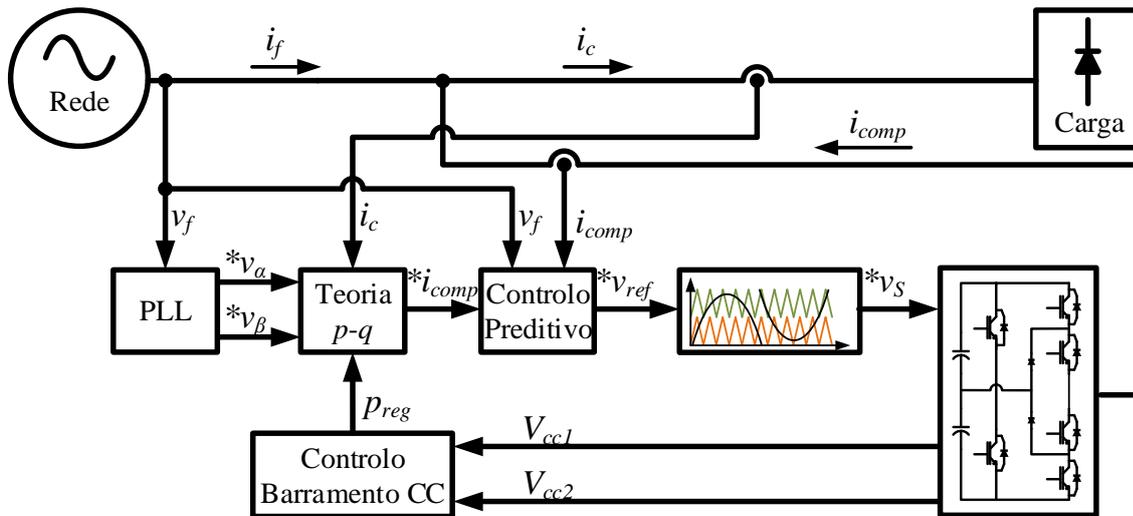


Figura 4.1 – Modelo do sistema completo.

Na Figura 4.2 está ilustrado o modelo de simulação implementado na ferramenta *PSIM 9.1*. O sistema é dividido em dois andares, o de potência e o de controlo e modulação. Relativamente ao andar de potência este inclui a rede elétrica, as cargas, o inversor de potência, a indutância de acoplamento e um sistema de pré-carga dos condensadores do barramento-CC. Neste andar estão ainda colocados todos os sensores de tensão e corrente necessários. O andar de controlo e modulação está dividido na parte de controlo que calcula a corrente de compensação do FAPP, e na parte que controla a comutação do inversor.

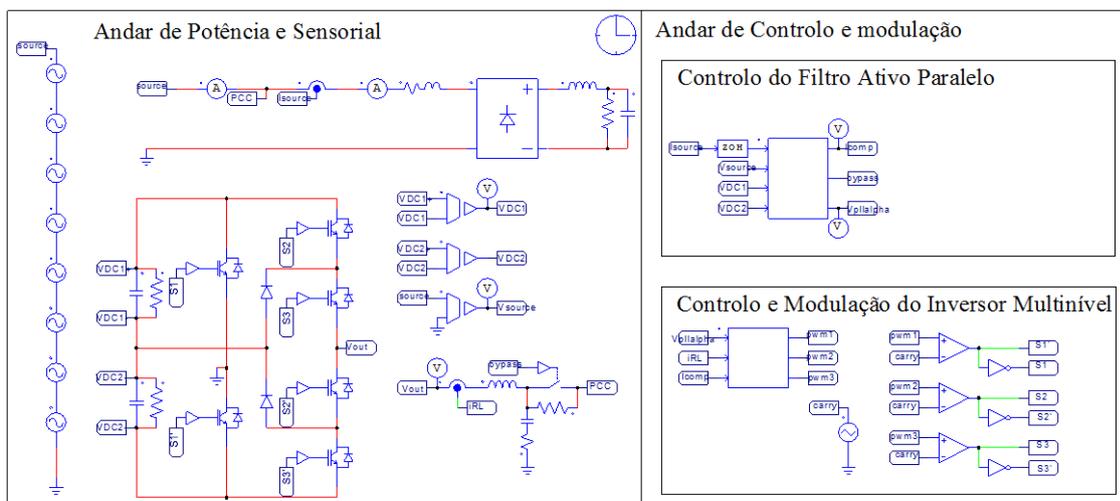


Figura 4.2 – Modelo de Simulação no *PSIM 9.1*.

4.3. Sistema de Potência

Na secção 3.1 são descritos os filtros ativos de potência paralelos. Estes possibilitam a compensação da corrente da rede, que é conseguida através da injeção de uma corrente que contenha as componentes harmónicas que a carga necessita, de maneira a que corrente na rede fique sinusoidal e em fase com a tensão da rede, sendo esta sintetizada por um inversor.

Na escolha do inversor foi tido em conta que este seja composto por um número reduzido de semicondutores ativos de forma a minimizar as perdas de comutação deste, e ainda assim obter um número de níveis de tensão acima de três. O inversor escolhido para o sistema foi o inversor multinível de cinco níveis com assimetria nos braços, apresentado na secção 2.5, este apresenta o maior número de níveis em relação ao número de IGBT e condensadores, sem ter fontes CC separadas, facilitando desse modo o balanceamento dos condensadores. O facto do braço de dois níveis ter que suportar a tensão completa do barramento CC, não irá trazer grandes desvantagens, tendo em conta a baixa frequência a que estes irão estar sujeitos, as perdas de comutações serão reduzidas.

O FAPP é acoplado à rede elétrica através de um filtro passa-baixo RLC, como mostra a Figura 4.3, de forma a mitigar os harmónicos criados pela frequência de comutação dos IGBT.

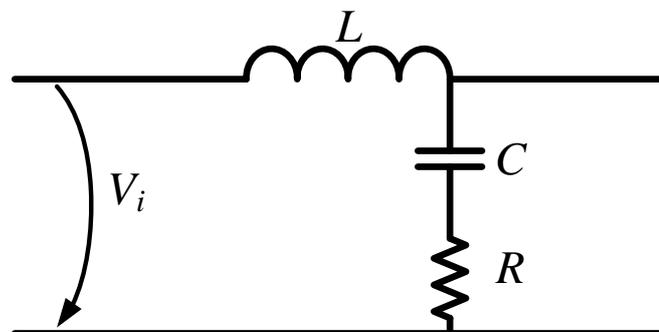


Figura 4.3 – Esquema elétrico do filtro RLC.

A frequência de corte do filtro passa baixo é dado pela equação (4.1), para uma frequência de corte de 15 kHz e uma indutância de 1,6 mH, é possível calcular o valor de C da equação (4.2) obtendo-se assim um valor de 70 nF. Foi utilizado um valor de R de $4,7 \Omega$ para amortecer possíveis ressonâncias que podem acontecer entre a indutância e o condensador.

$$f_{corte} = \frac{1}{2\pi\sqrt{LC}} \quad (4.1)$$

$$C = \frac{1}{(2\pi f_{corte})^2 L} \quad (4.2)$$

4.4. Sistema de Controlo

Todo o controlo está implementado em linguagem C, utilizando blocos de simulação que permitem esse tipo de programação. Desta forma é possível aproximar o controlo do modelo de simulação à implementação que será feita no *Digital Signal Controller* (DSC) que será utilizado para controlar o sistema. Com isto é possível utilizar o código implementado nas simulações para ser aplicado ao sistema real.

Na Figura 4.4 é apresentado um bloco de simulação para linguagem C. A frequência de aquisição de sinal é dada por um bloco ZOH que se encontra em série com uma das variáveis de entrada, neste caso a frequência de aquisição é de 80 kHz, ou seja, o dobro da frequência de comutação dos IGBTs. Os blocos C podem ter múltiplas entradas e saídas que permitem a aquisição e saída de valores das variáveis.

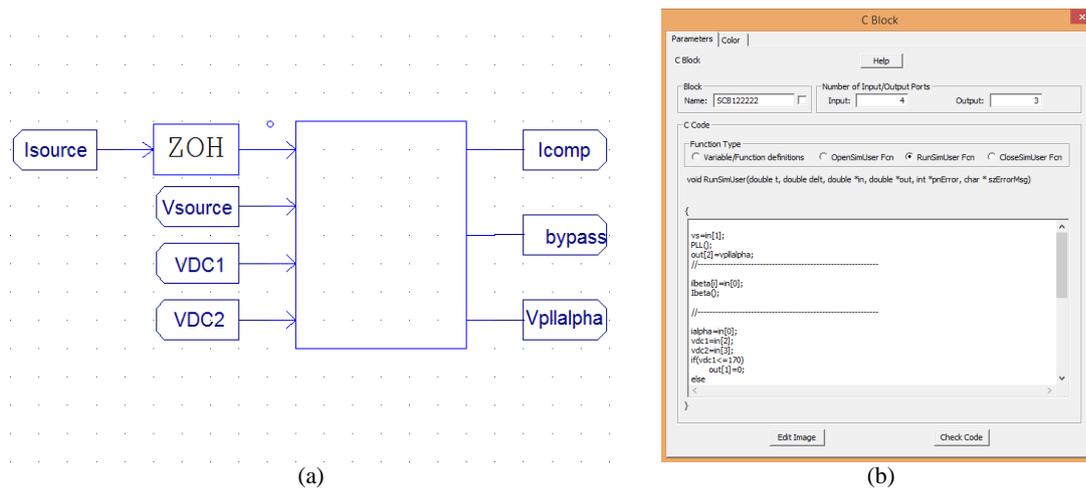


Figura 4.4 – Bloco de simulação C:
(a) Entradas e saídas; (b) Editor de código.

Como já referido anteriormente, o sistema de controlo está dividido em duas partes, uma responsável pelo cálculo da corrente de compensação e a outra pelo controlo do inversor. A primeira é constituída pelos blocos de PLL, Controlo Barramento CC e Teoria $p-q$ da Figura 4.1, e a segunda pelo Controlo Preditivo e a modulação do sinal.

4.4.1. Controlo do Filtro Ativo de Potência

A teoria de controlo de filtro ativo de potência escolhida, foi a teoria $p-q$ adaptada para sistemas monofásicos, já descrita na secção 3.4.1.

O cálculo das potências instantâneas da teoria $p-q$ utiliza o valor da tensão da rede elétrica. Devido aos harmónicos de corrente consumidos por outras cargas, estes criam

quedas de tensão na impedância da rede que faz com que a tensão fique distorcida, resultando assim numa corrente compensada pelo filtro ativo paralelo não sinusoidal.

De forma a ultrapassar esta limitação imposta pela teoria $p-q$ é então adicionado um bloco PLL. Uma PLL é um sistema de controlo que capta a fase da componente fundamental, gerando uma senoide sincronizada com o sinal de entrada. Na Figura 4.5 está representado o diagrama de blocos aplicado no bloco simulação PLL, este controlo deteta também a amplitude da fundamental da tensão, obtendo-se assim a fase e a amplitude da componente fundamental da tensão da rede elétrica [40].

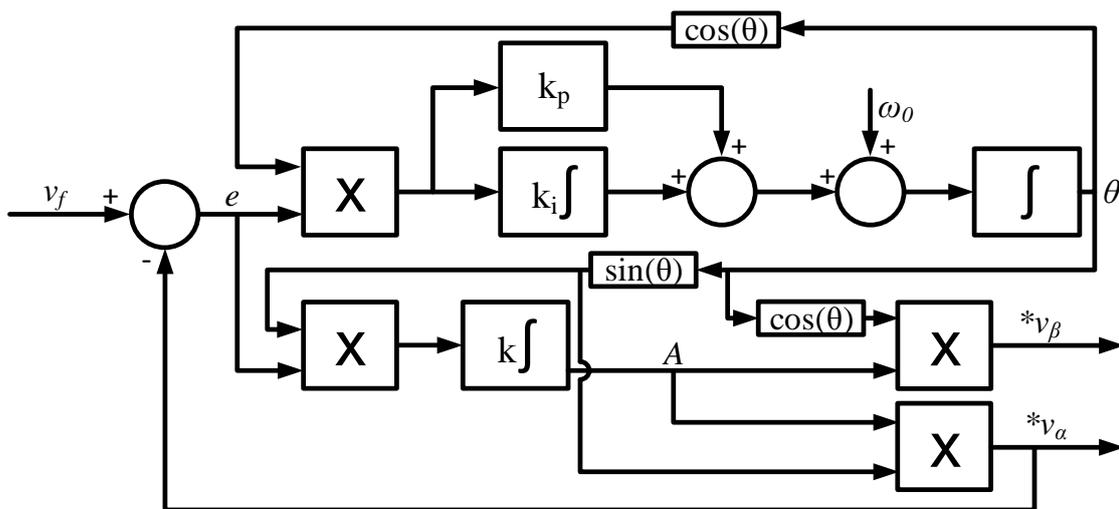


Figura 4.5 – Diagrama de blocos da PLL.

Na Figura 4.6 é apresentada uma tensão com uma distorção idêntica ao que se encontra na rede elétrica, bem como o sinal gerado pela PLL. A partir da Figura 4.6 verificou-se que o sinal gerado pela PLL sincroniza com a fase da tensão da rede após alguns ciclos, e a amplitude aumenta até que a amplitude da tensão da rede seja atingida.

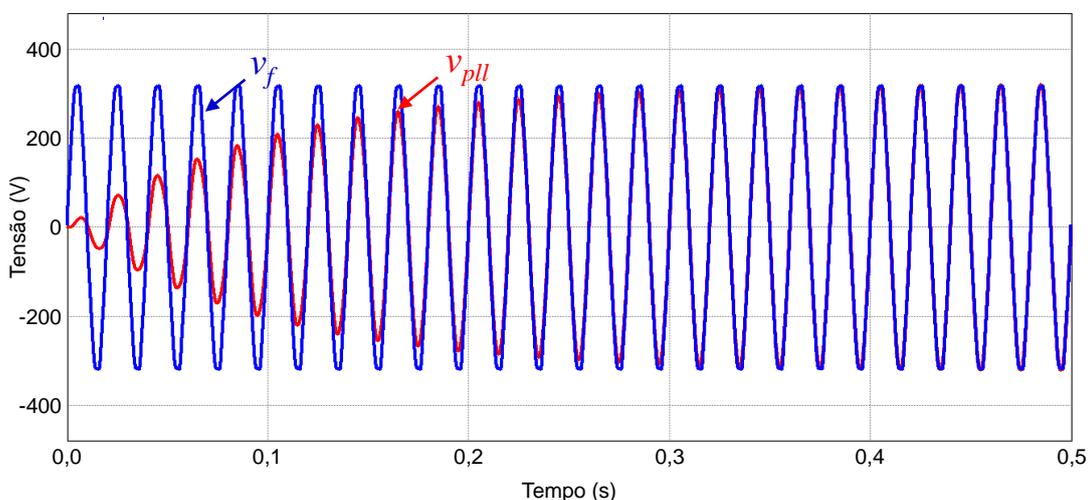


Figura 4.6 – Sincronização da PLL com a tensão da rede.

Na Figura 4.7 é possível verificar que mesmo utilizando uma tensão distorcida, o sinal gerado pela PLL sincroniza perfeitamente, gerando uma senoide pura com a amplitude da componente fundamental da tensão da rede.

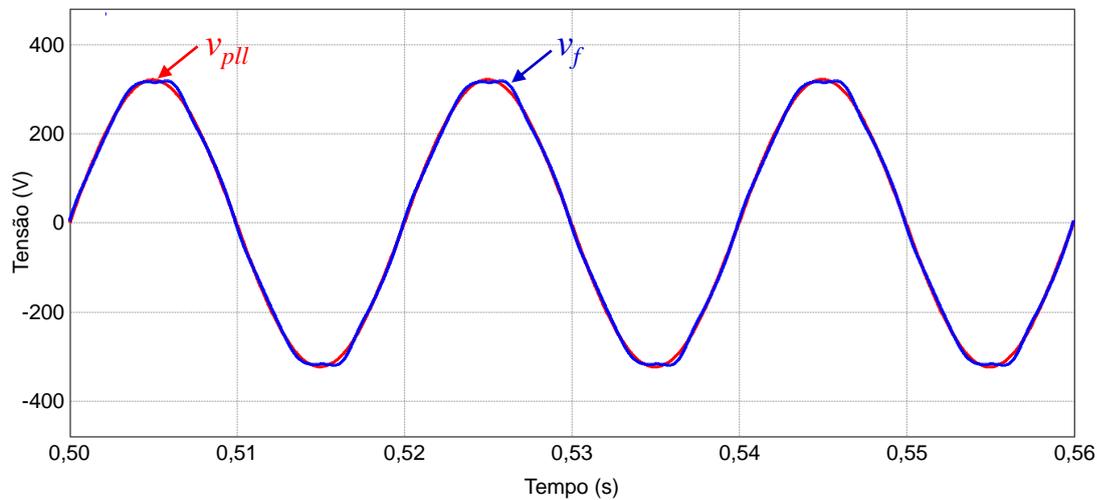


Figura 4.7 – Sinal gerado pela PLL sincronizado com a tensão da rede.

A tensão da rede elétrica pode ter flutuações na amplitude da tensão de $\pm 10\%$, enquanto a frequência tem uma tolerância de 1%, denotando-se a importância do controle da PLL seguir também a amplitude da tensão da rede de uma forma dinâmica. As entradas e saídas de cargas no sistema são uma das maiores responsáveis das flutuações na tensão, estas podem também criar um desfasamento na tensão provocado pela impedância de linha. Para verificar a resposta do sinal gerado pela PLL, foi provocada uma flutuação de 40 V à tensão da rede com um desfasamento de 60° , na Figura 4.8 é possível observar-se que a tensão é seguida de uma forma progressiva, conseguindo atingir o valor da tensão em poucos ciclos.

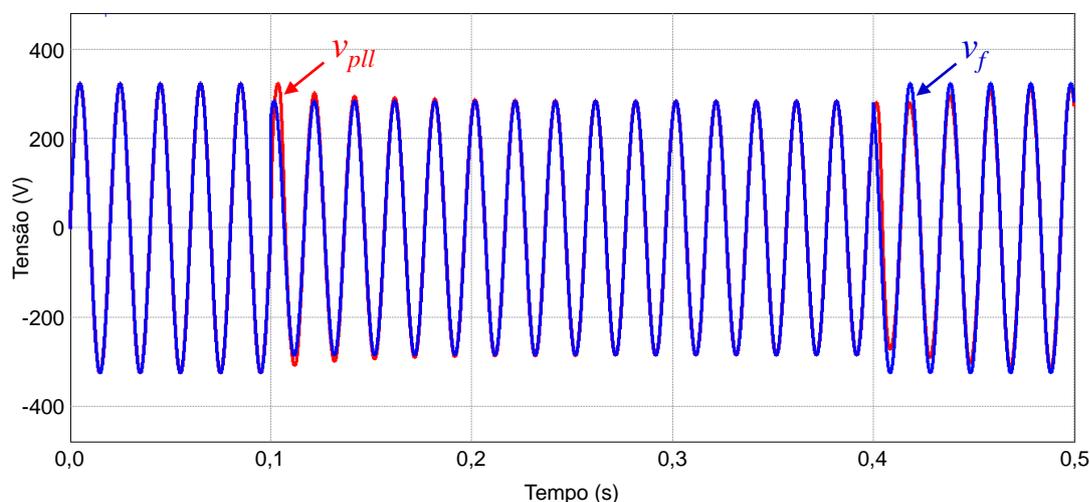


Figura 4.8 – Resposta dinâmica do controle de amplitude.

A teoria $p-q$ descrita anteriormente na secção 3.4.1, quando adaptada a sistemas monofásicos, possibilita a obtenção das coordenadas α e β , desfasando o sinal 90° para β e mantendo o sinal original para α . Observando o diagrama de blocos da Figura 4.5 verifica-se que é possível obter v_α e v_β tendo como saída do bloco PLL $\text{Asen}(\theta)$ para v_α e $\text{Acos}(\theta)$ para v_β . As variáveis i_α e i_β são conseguidas através da programação no bloco de simulação C, desfasando digitalmente a corrente da rede 90° para i_β e mantendo os valores da corrente da fase para i_α conseguindo-se assim obter todas as variáveis para calcular as potências instantâneas da teoria $p-q$.

Para que o filtro ativo paralelo consiga injetar uma corrente de compensação no sistema é necessário que a tensão do barramento CC seja superior ao valor de pico da tensão da rede, a sua regulação é conseguida através da corrente de compensação calculada pela teoria $p-q$, para tal, o valor da potência necessária (p_{reg}) tem de ser introduzido no cálculo das potências instantâneas. Foi então ligado um segundo bloco de controlo ao da teoria $p-q$, sendo este bloco responsável pela regulação do barramento CC, este será constituído por dois controladores PI, como o apresentado no diagrama de blocos da Figura 4.9.

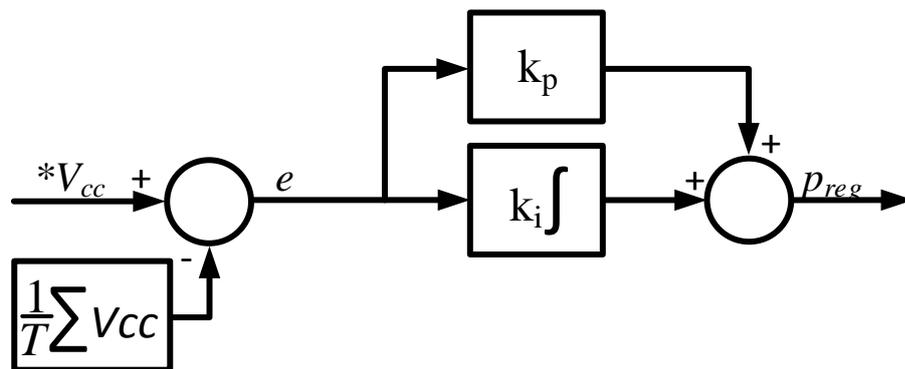


Figura 4.9 – Diagrama de blocos do controlo PI para a regulação do barramento CC.

A tensão no barramento CC varia durante cada ciclo devido à troca de energia efetuada entre a rede elétrica e o inversor, desta forma, o cálculo do erro para o controlador PI não é formado pela diferença entre a tensão de referência e a tensão instantânea do barramento CC, mas sim, pelo valor médio da tensão no barramento CC durante o período de um ciclo. Como o barramento CC é constituído por dois bancos de condensadores, é necessário ter em conta qual dos condensadores está em uso, e assim, saber qual dos controladores PI utilizar para a regulação do barramento CC, utilizando então o valor de p_{reg} de um controlador no semiciclo positivo e outro no semiciclo negativo. Depois de P_{reg} ser calculado este é adicionado ao valor médio da potência ativa

instantânea \bar{p} , como se pode observar no diagrama da Figura 4.10, completando assim todo o bloco de controlo responsável pelo cálculo da referência da corrente de compensação que o filtro ativo terá de injetar na rede. Sendo que o bloco PLL e Controlo Barramento CC correspondem aos diagramas de blocos apresentados na Figura 4.5 e na Figura 4.9 respetivamente.

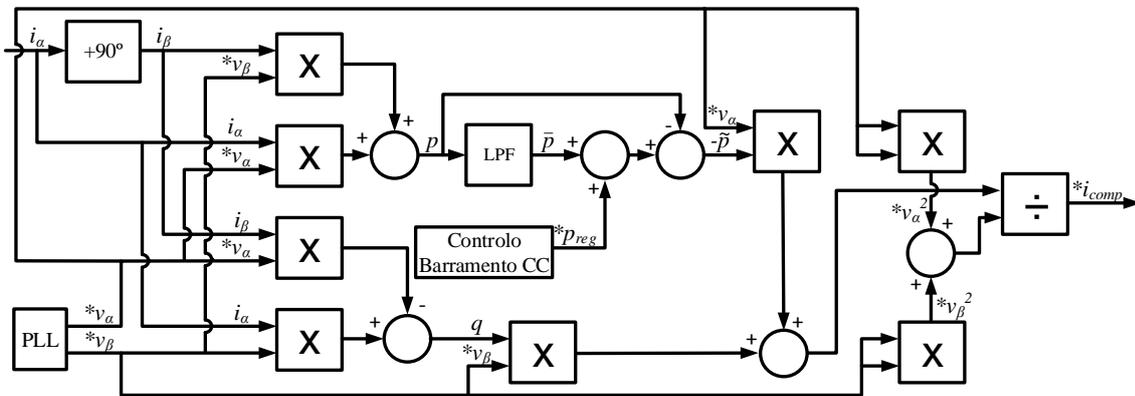


Figura 4.10 – Diagrama de blocos do controlo da teoria de filtro ativo paralelo.

Para testar este bloco de controlo foi utilizada uma carga não linear, para que seja calculada a corrente de compensação necessária para injetar na rede. Na Figura 4.11 é ilustrada a tensão da fonte com uma distorção aproximada ao da rede elétrica no laboratório do GEPE e a corrente de uma carga não linear que apresenta um THD de 53%

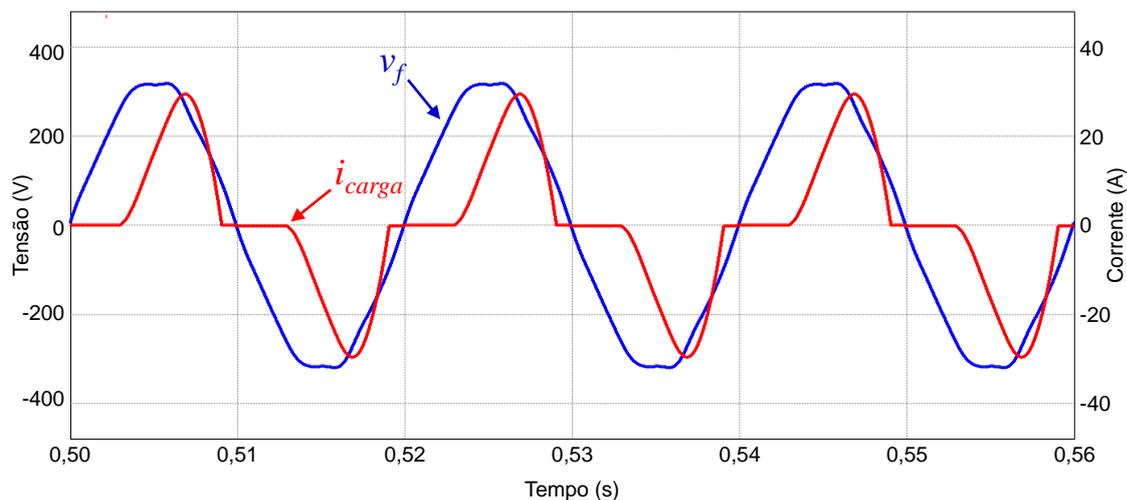


Figura 4.11 – Tensão na fonte e corrente na carga não linear utilizada para testar a resposta da teoria de controlo do filtro ativo.

Na Figura 4.12 é apresentada a referência da corrente de compensação calculada através do bloco de controlo da teoria de filtro ativo paralelo. Esta corrente terá então de ser sintetizada pelo conversor para injetar na rede, de forma a obter uma corrente sinusoidal na fonte e a regular a tensão nos condensadores do barramento CC.

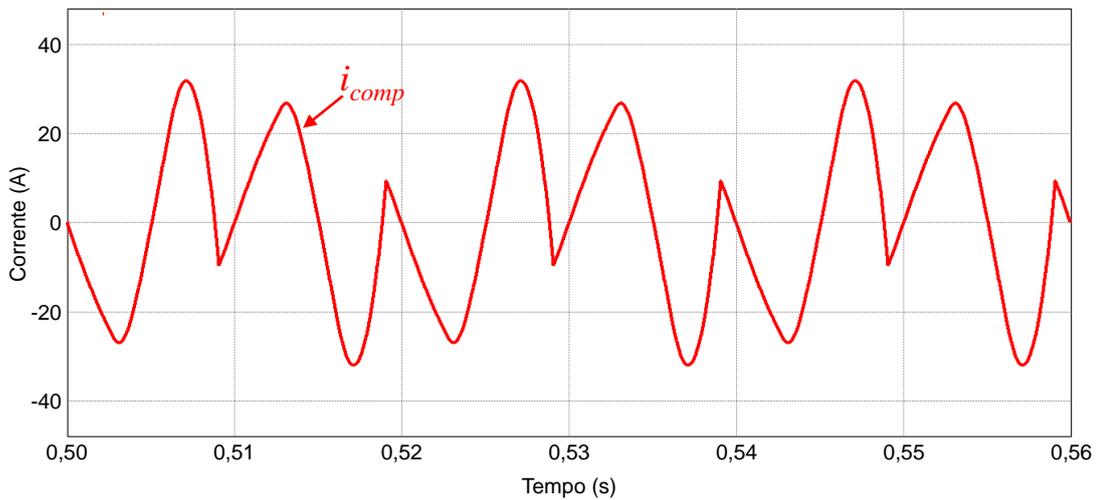


Figura 4.12 – Corrente de compensação calculada através da teoria de controlo do filtro ativo paralelo

Para validar os resultados da corrente calculada, esta foi subtraída à corrente da carga, obtendo-se a corrente teórica na fonte, apresentada na Figura 4.13. Como se pode constatar a corrente compensada fica sinusoidal e em fase com a tensão, mesmo sendo esta distorcida.

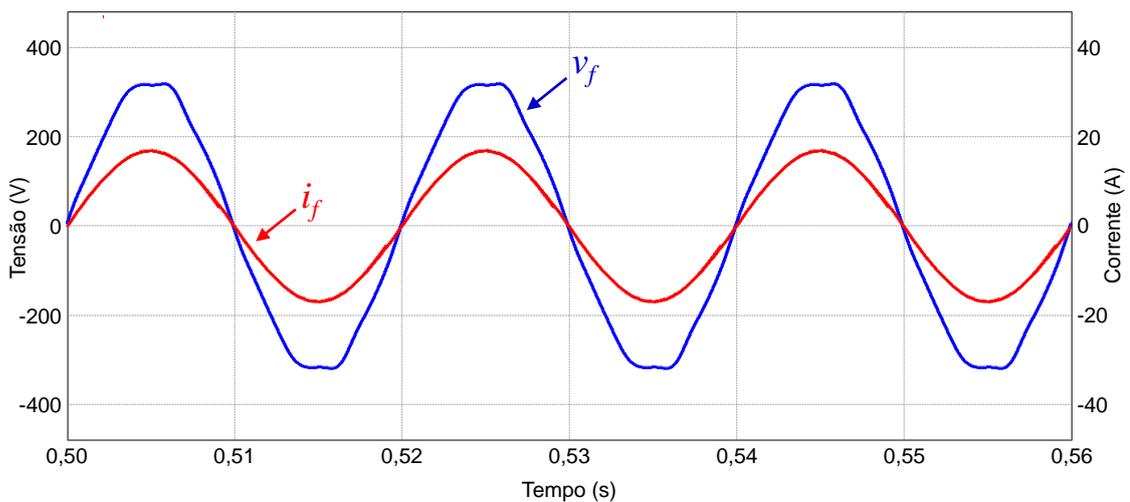


Figura 4.13 – Tensão e corrente da fonte após compensação.

Na Figura 4.14 é apresentado o carregamento e regulação do barramento CC do inversor multinível. Para efetuar o carregamento, foi introduzida uma resistência de pré-carga de forma a limitar o pico de corrente inicial nos condensadores, uma vez que estes são carregados sem qualquer controlo a partir dos díodos em antiparalelo dos IGBTs.

Aproximadamente aos 1,1 s de simulação é feito um *bypass* à resistência de pré-carga e entra em funcionamento o controlo para a regulação da tensão nos condensadores, ou seja, inicialmente as potências instantâneas da teoria $p-q$ não entram para os cálculos da corrente i_{comp} , tendo como objetivo inicial só a regulação da tensão nos condensadores

contendo só a parcela de corrente correspondente ao p_{reg} . Depois de estabilizada a tensão de referência, neste caso nos 250 V, é atuado o controlo total da teoria de filtro ativo paralelo.

Na Figura 4.14 é possível verificar que quando o filtro ativo paralelo começa a compensar a corrente da carga, verifica-se uma pequena descida na tensão dos condensadores que é imediatamente compensada pelo controlo de balanceamento do barramento CC. De notar que a tensão V_{dc1} é menor que V_{dc2} , neste caso o condensador C_1 está a ser mais descarregado do que o condensador C_2 , podendo isto variar dependendo em que instante se iniciar a compensação.

Depois de iniciada a compensação por parte do filtro ativo paralelo, a tensão no barramento CC, passa a apresentar algum *ripple*, como referido anteriormente a teoria $p-q$ tem como fundamento a troca de energia entre a rede e o filtro ativo paralelo, a variação que se observa na tensão dos condensadores está diretamente relacionada com esta troca de energia, sendo por isso que o erro da tensão não é comparado com a tensão instantânea nos condensadores, mas sim com o valor médio de um ciclo.

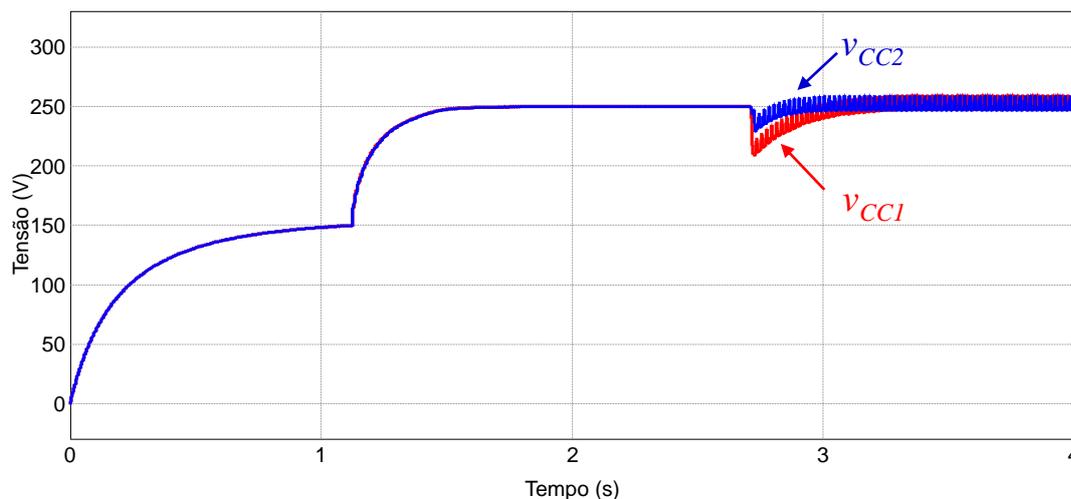


Figura 4.14 – Carregamento e regulação da tensão nos condensadores do barramento CC..

4.4.2. Controlo e Modelação do Inversor Multinível

Um filtro ativo paralelo é na sua maioria composto por um inversor de potência, neste caso foi escolhido um inversor fonte de tensão, o controlo de corrente é uma das partes mais importantes neste tipo de inversores, como é descrito na secção 2.6.2.

Como é possível verificar no modelo do sistema apresentado na Figura 4.1, o controlador de corrente utilizado foi o controlo de corrente preditivo, apresentado na secção 2.7.2. Este tipo de controlo utiliza o modelo elétrico do sistema, que neste caso será a indutância de acoplamento e a tensão da rede elétrica, calculando assim a tensão

de referência que será necessária para gerar a corrente desejada. Na Figura 4.15 é apresentado o diagrama de blocos do controlo de corrente utilizado.

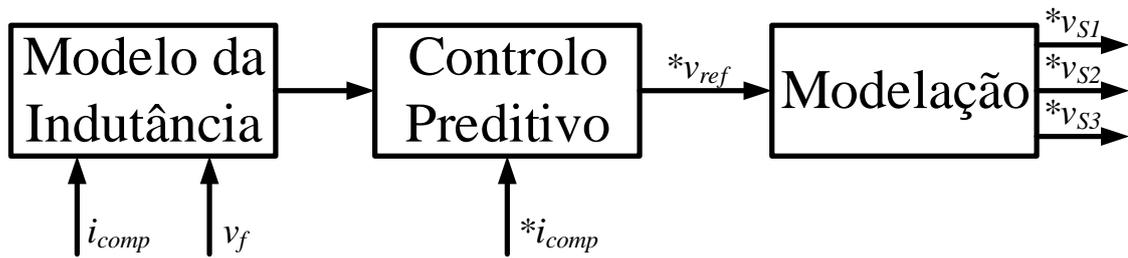


Figura 4.15 – Diagrama de blocos do controlo de corrente preditivo.

Depois de calculada a tensão de referência, esta é utilizada como referência para a modulação PWM. Como já referido na secção 2.5, os inversores multinível híbridos perdem a sua modularidade, tendo que a sua modulação ser adaptada a cada topologia em particular.

O inversor multinível escolhido deriva da topologia NPC, optando-se assim por uma derivação de modulação com distribuição vertical das portadoras. A modulação adaptada ao inversor utiliza a modulação PD, descrita na secção 2.6.1, esta é aplicada com duas portadoras para três níveis ao braço com topologia NPC que irá comutar em alta-frequência, ao braço de dois níveis é aplicado um sinal que faz a comutação do sentido positivo ou negativo, comutando à frequência do sinal de referência. No semiciclo negativo é adicionado o valor da amplitude das duas ondas portadoras ao sinal de referência, possibilitando a sua comparação na banda de modulação. Na figura 2.16 é apresentada a modulação adaptada para o inversor multinível com assimetria de braços.

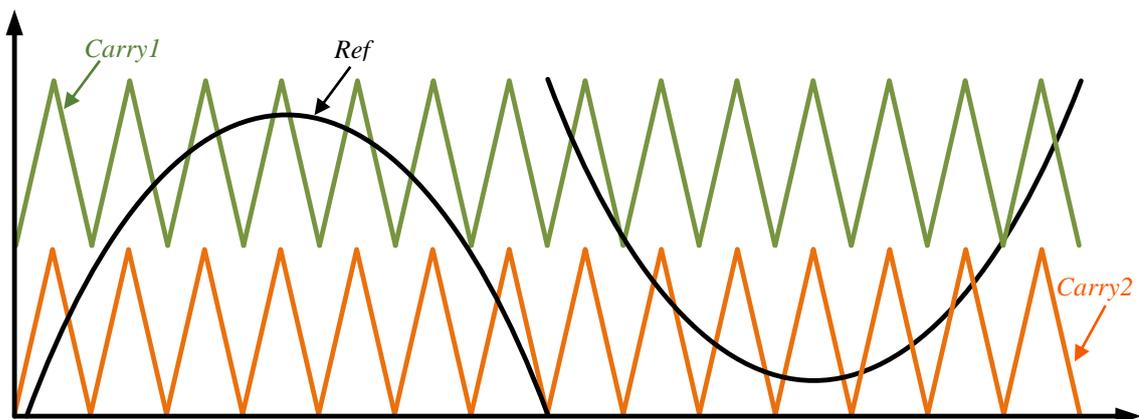


Figura 4.16 – Modulação PD adaptada para inversor multinível com assimetria de braços.

Utilizando uma modulação PD convencional seriam necessárias quatro ondas portadoras para um inversor de cinco níveis, neste caso, será usada apenas uma portadora,

com uma amplitude da onda utilizada para a modulação convencional. O sinal de referência será manipulado de modo a obter-se a modulação adaptada apresentada na Figura 4.16, os vários sinais adquiridos através desta manipulação serão comparados com a portadora, em que cada sinal irá corresponder a um par complementar de IGBTs do inversor.

Os sinais de referência serão comparados utilizando sempre a mesma onda portadora como mostra a Figura 4.17. Cada comparador irá gerar os pulsos de comutação para cada par de IGBT. Antes de serem ligados à gate de IGBT correspondente, estes serão ligados a uma porta lógica AND com o sinal de comando do *bypass* da resistência de pré-carga, fazendo um circuito de *enable*, para que os IGBTs estejam todos em aberto durante a pré-carga.

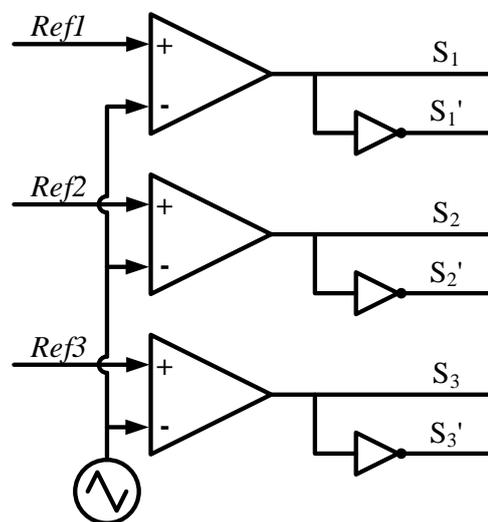


Figura 4.17 – Circuito lógico do comparador para a modulação PD adaptada.

Na Figura 4.17, *Ref1* corresponde à polaridade do sinal, sendo este 0 quando o sinal é positivo, e igual à amplitude da onda portadora quando é negativo. Os pulsos de *gate* gerados por esta comparação correspondem aos IGBTs do braço de dois níveis S_1 e S_1' , sendo estes responsáveis pela polaridade da tensão produzida. *Ref3* corresponde ao sinal de referência, que é somado duas vezes à amplitude da onda portadora no semiciclo negativo, como ilustra a Figura 4.18(b). *Ref2* corresponde ao sinal de referência subtraído ao valor de amplitude da onda portadora como se pode observar na Figura 4.18(a).

A onda portadora da Figura 4.18 tem uma frequência cinquenta vezes menor do que a utilizada nas simulações da modulação para o inversor, esta onda foi utilizada para ilustrar a interceção entre a onda portadora e a referência quanto à amplitude destas. Como esta onda possui a mesma amplitude da onda portadora utilizada, pode-se verificar que a referência adaptada só está em parte dentro da banda de comparação, pois quando esta

tem um valor inferior à onda portadora o pulso de comutação terá o valor 0 e quando é superior o valor 1.

Com a adaptação à referência para cada sinal de gate a ser comparado, foi possível modular os sinais de *gate* para o inversor multinível, utilizando somente uma onda portadora. A comparação entre a onda portadora e a referência adaptada *Ref2* corresponde à onda portadora superior e a comparação com a referência adaptada *Ref3*, à onda portadora inferior da modulação apresentada na Figura 4.16. Este tipo de adaptação é possível, por não haver desfasamento entre as portadoras na modulação PD.

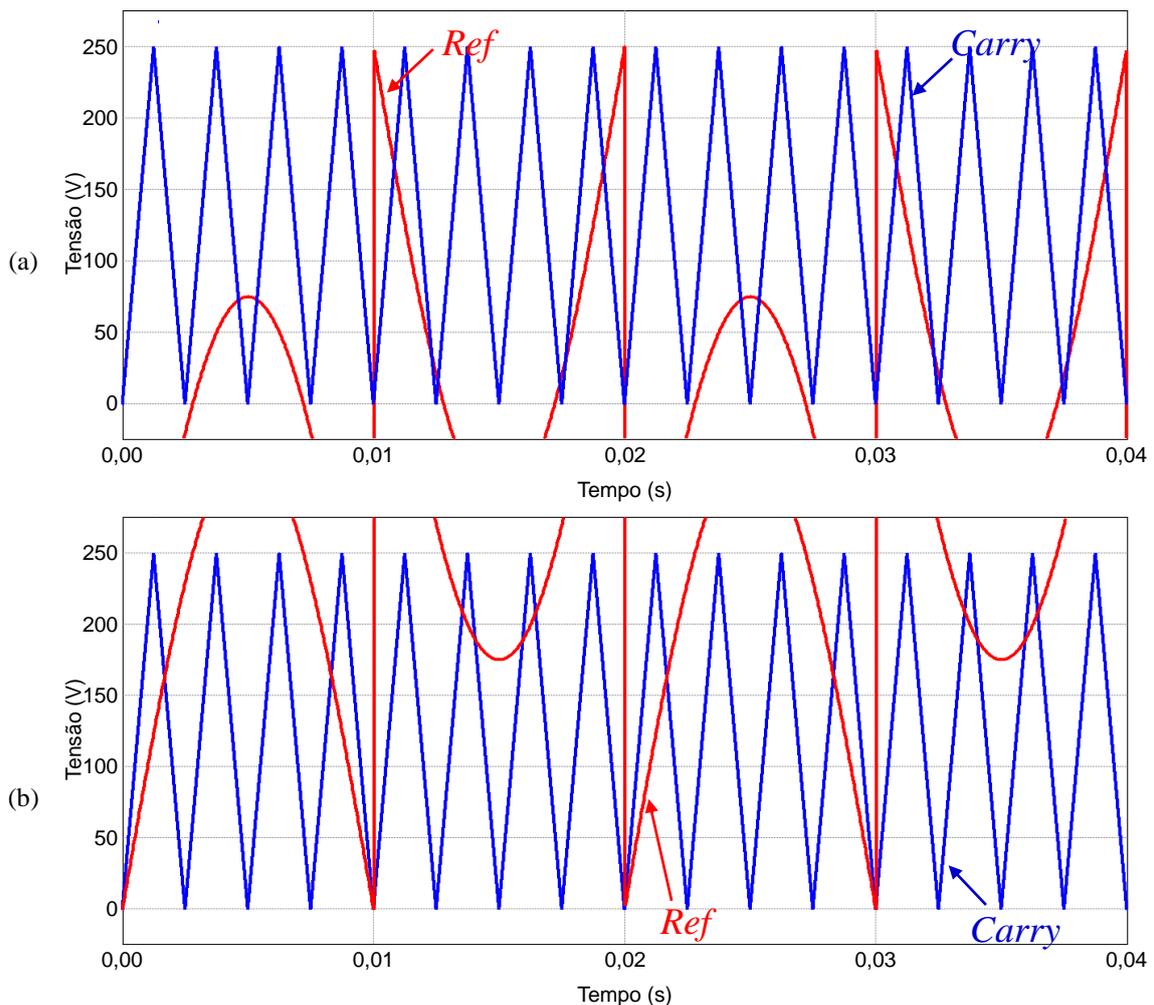


Figura 4.18 – Referência adaptada para a modulação do inversor:
(a) referência de *Ref2*; (b) referência de *Ref3*.

4.5. Resultados de Simulação com Diferentes Cargas

Nesta secção são apresentados alguns resultados do sistema de simulação do filtro ativo paralelo descrito neste capítulo, com vários tipos de cargas ligadas à rede elétrica. Serão apresentados resultados em três situações, nomeadamente, em regime permanente, quando o filtro ativo entra em funcionamento, e em transitórios de mudança de cargas no sistema elétrico.

4.5.1. Retificador com Carga RC

O retificador com carga RC é uma das cargas mais vulgares em equipamentos eletrónicos. Para testar a resposta do filtro ativo paralelo a este tipo de cargas foi aplicada a carga apresentada na Figura 4.19 ao sistema, com os valores apresentados na Tabela 4.1, foi utilizada uma indutância em série com a carga para limitar a variação de corrente.

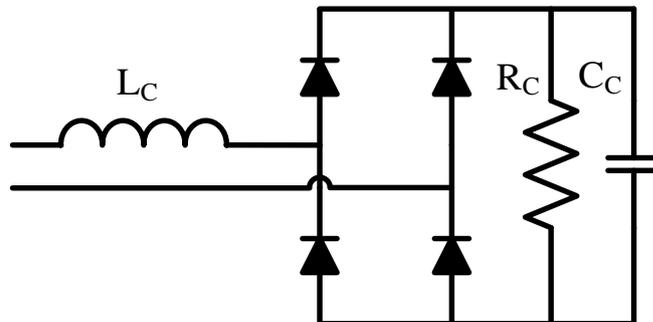


Figura 4.19 – Esquema elétrico do retificador com carga RC.

Tabela 4.1 – Valores dos componentes do retificador com carga RC.

Componentes	Valores
L_C	10 mH
R_C	16 Ω
C_C	1 mF

Na Tabela 4.2 estão apresentados os valores obtidos em regime permanente do sistema monofásico com o filtro ativo paralelo em funcionamento, podendo observar-se que tanto o valor eficaz como o valor da THD da corrente na fonte desceram significativamente em relação aos valores do lado da carga. O fator de potência fica praticamente unitário.

Tabela 4.2 – Valor eficaz, THD, fator de potência do sistema elétrico.

	Fonte	Carga
RMS	15,8 A	20,2 A
THD	2,8%	38%
FP	0,99	0,78

Na Figura 4.20 são apresentadas as formas de onda do sistema elétrico em regime permanente com o filtro ativo paralelo em funcionamento. A Figura 4.20(a) apresenta a forma de onda da tensão da fonte e da corrente na carga, já na Figura 4.20(b) é possível

observar a corrente da fonte, compensada pelo filtro ativo paralelo. Mesmo com uma tensão distorcida foi possível obter uma corrente aproximadamente sinusoidal.

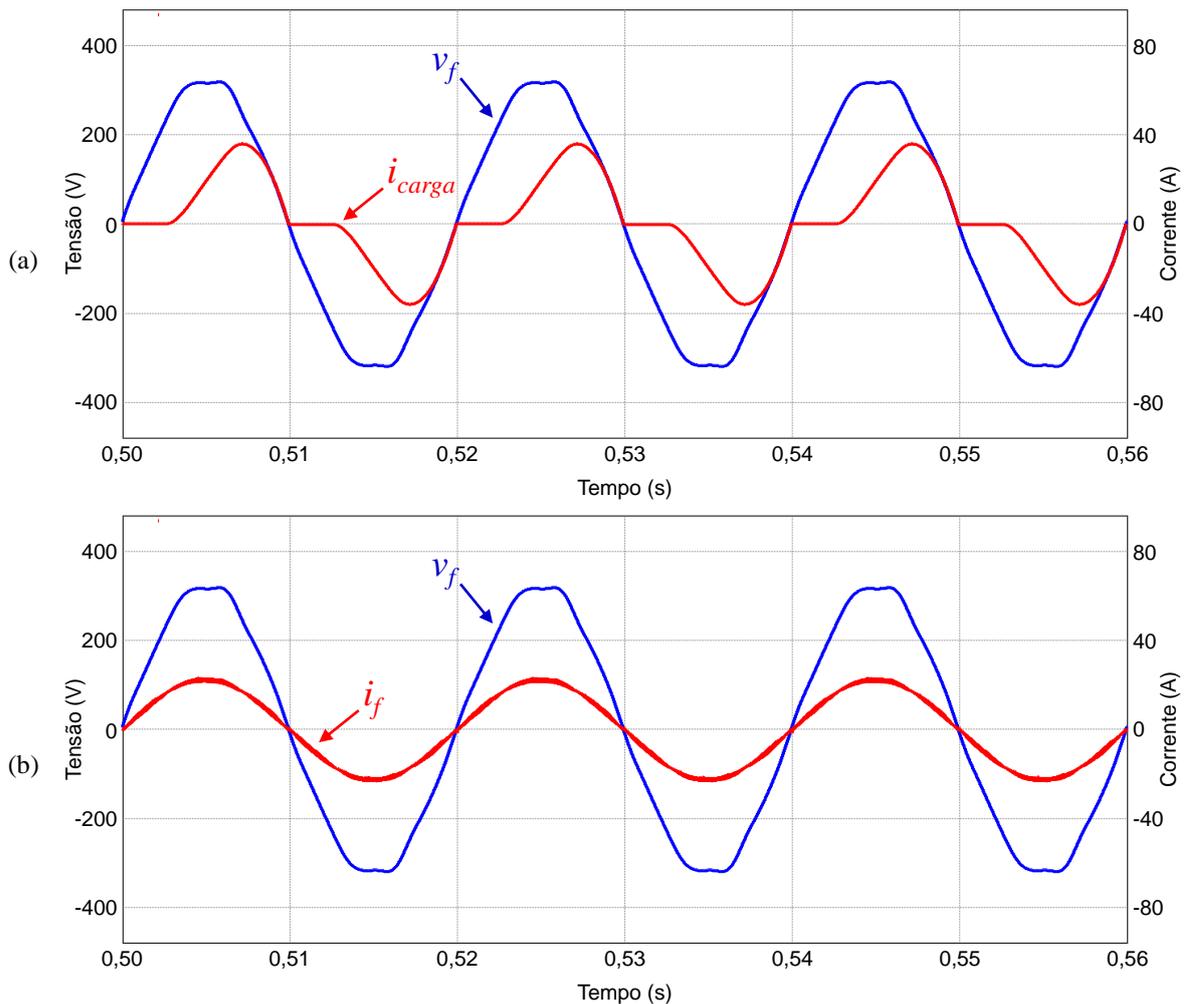


Figura 4.20 – Formas de onda da tensão e corrente do sistema elétrico em regime permanente: (a) Tensão e corrente na carga; (b) tensão e corrente na fonte.

Na Figura 4.21 é apresentado o transitório da entrada de funcionamento do filtro ativo de potência paralelo. Na Figura 4.21(a) é possível observar a resposta do filtro ativo paralelo, quando este entra em funcionamento a corrente da fonte é rapidamente compensada, tornando se aproximadamente sinusoidal. A Figura 4.21(b) apresenta a entrada do filtro ativo em funcionamento, pode ser observado que quando o inversor multinível entra em funcionamento, o controlo de corrente e a modulação utilizada permitem que a corrente gerada acompanhe rapidamente a corrente de referência calculada pela teoria de filtro ativo paralelo.

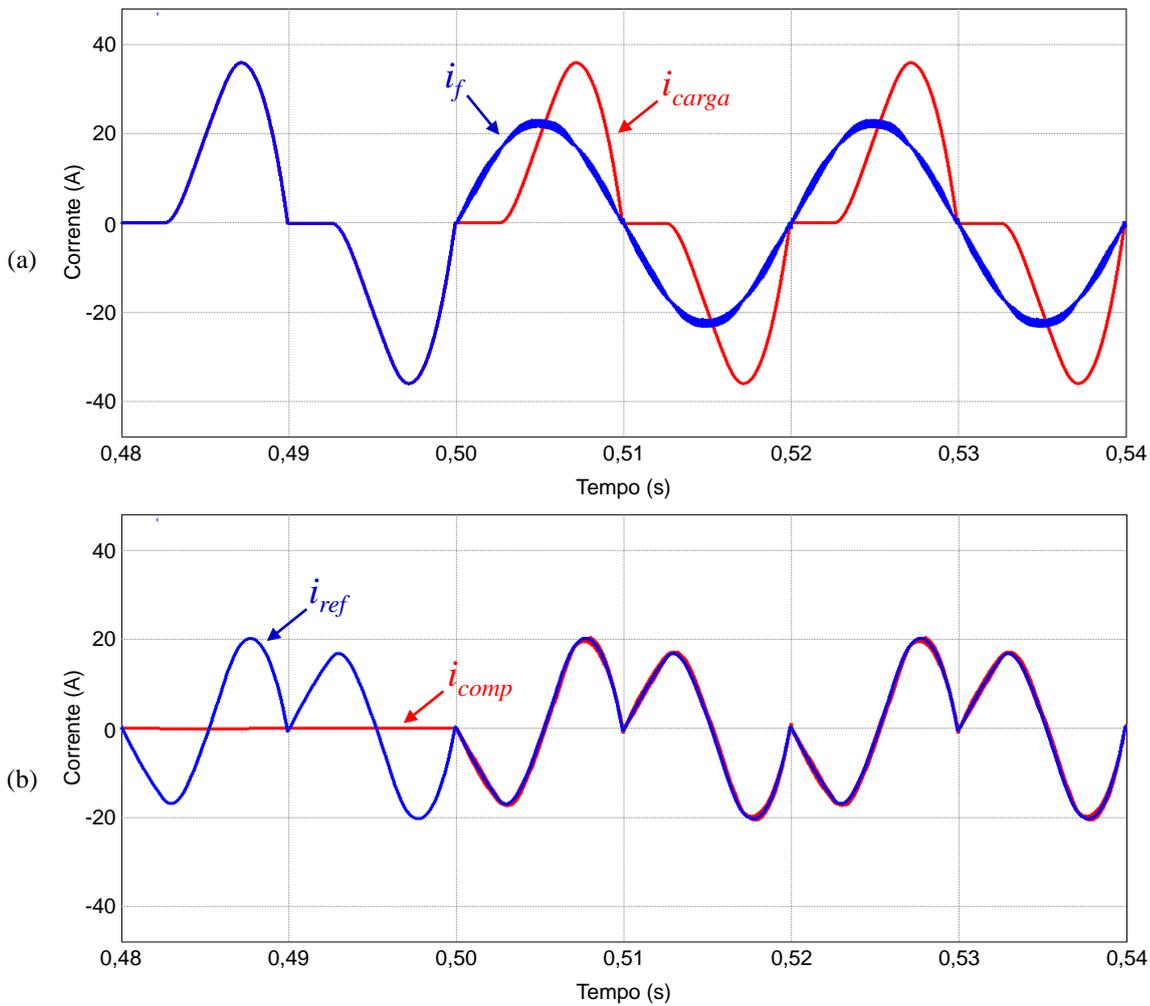


Figura 4.21 – Formas de onda da tensão e corrente durante a entrada em funcionamento do filtro ativo paralelo em: (a) Tensão e corrente da fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.

4.5.2. Carga RL

O filtro ativo paralelo além de cargas com distorção harmónicas, pode também compensar cargas lineares com fator de potência não unitário, cargas que são muito comuns nos sistemas eléctricos. Para criar este tipo de carga, foi utilizado uma carga RL, como ilustra a Figura 4.22, na Tabela 4.3 são apresentados os valores dos componentes utilizados.

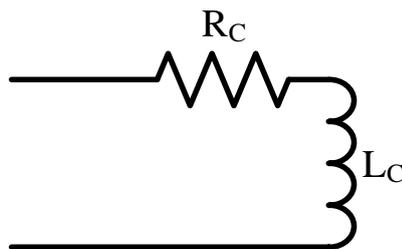


Figura 4.22 – Esquema eléctrico da carga RL.

Tabela 4.3 – Valores dos componentes da carga RL.

Componentes	Valores
L_c	30 mH
R_c	7,5 Ω

Na Figura 4.23 são apresentadas as formas de onda em regime permanente com o filtro ativo paralelo em funcionamento. A Figura 4.23(a) apresenta a corrente e a tensão na carga, é possível observar que a primeira se encontra atrasada em relação à segunda. Na Figura 4.23(b) é possível observar a corrente da fonte já compensada, ficando esta em fase com a tensão da fonte.

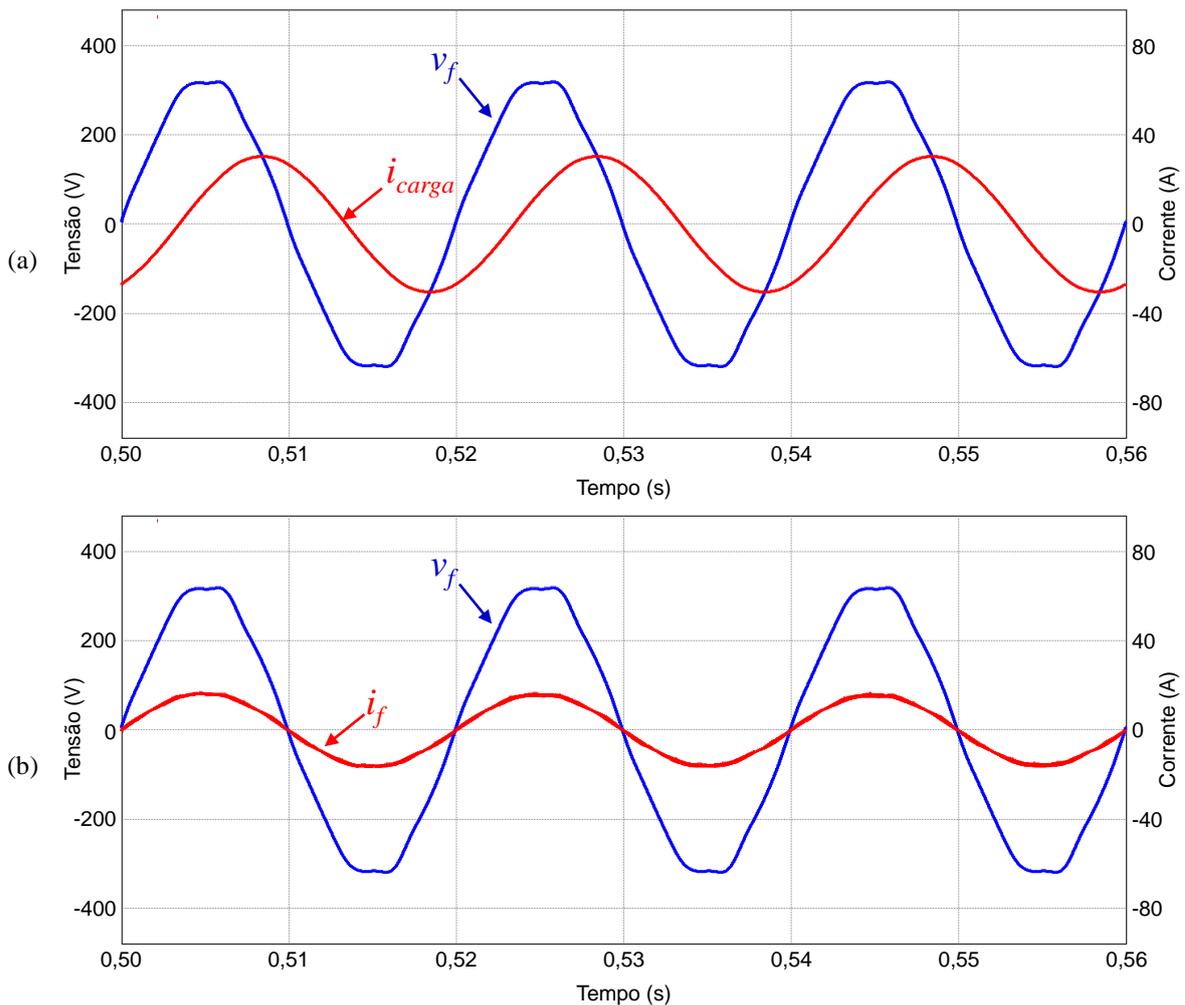


Figura 4.23 – Formas de onda da tensão e da corrente no sistema com filtro ativo paralelo a funcionar em regime permanente: (a) tensão e corrente na carga RL; (b) Tensão e corrente da fonte.

Na Tabela 4.4 estão apresentados os valores em regime permanente do sistema monofásico com o filtro ativo paralelo em funcionamento, os valores obtidos mostram que a THD da corrente na fonte tem uma ligeira subida com a atuação do filtro ativo paralelo, em contrapartida observa-se uma descida significativa no valor eficaz da

corrente em relação à corrente da carga. O fator de potência é corrigido praticamente para um valor unitário.

Tabela 4.4 – Valor eficaz, THD, fator de potência do sistema elétrico com carga RL.

	Fonte	Carga
RMS	10 A	21 A
THD	1,6%	0,5%
FP	0,99	0,47

Na Figura 4.24 são apresentadas as correntes e a tensão do sistema monofásico, durante a entrada em funcionamento do filtro ativo paralelo. É possível observar nessa figura, que rapidamente a corrente da fonte fica em fase com a tensão do sistema.

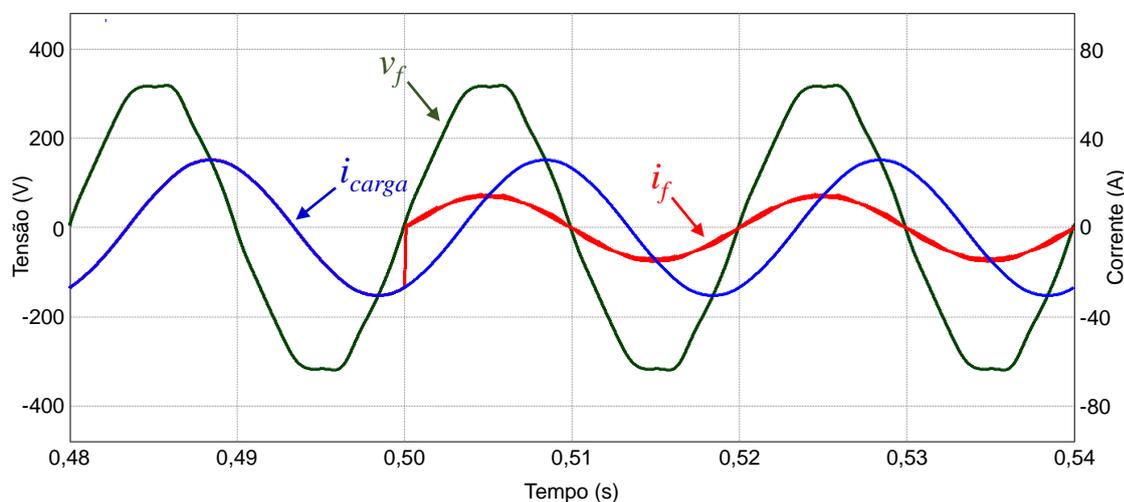


Figura 4.24 – Formas de onda da tensão e correntes no sistema, durante a entrada em funcionamento do filtro ativo paralelo.

4.5.3. Resposta Dinâmica do Filtro Ativo Paralelo a Mudança de Carga

Em qualquer sistema elétrico, a saída e entrada de cargas é uma atividade frequente, sendo assim importante testar a resposta do filtro ativo paralelo a estes acontecimentos. Para testar a resposta da entrada de uma carga foi utilizado um retificador com carga RC como carga inicial e um retificador com carga RL que irá entrar no posteriormente sistema. Para testar a resposta à saída de uma carga são utilizadas inicialmente as duas cargas referidas, e posteriormente será retirado o retificador com carga RL do sistema. Na Figura 4.25 está representado o esquema elétrico das cargas utilizadas para simular a resposta do filtro ativo paralelo e na Tabela 4.5 os valores utilizados para cada componente.

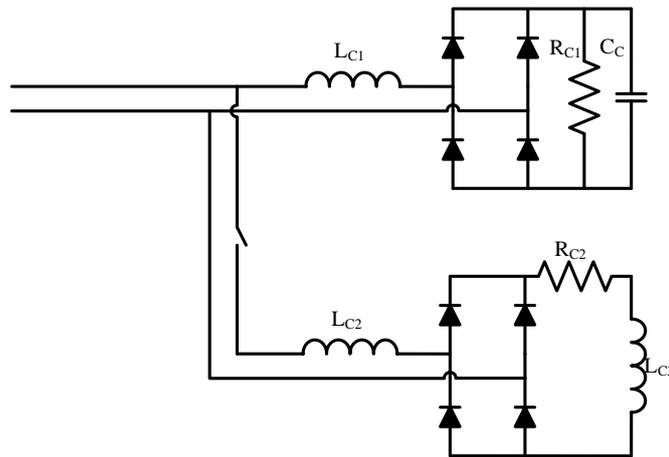


Figura 4.25 – Esquema elétrico das cargas para testar a resposta dinâmica do filtro ativo paralelo.

Tabela 4.5 – Valores dos componentes das duas cargas utilizadas

Componentes	Valores
L_{C1}	6 mH
R_{C1}	26 Ω
C_{C1}	1 mF
L_{C2}	2 mH
R_{C2}	16 Ω
L_{C3}	70 mH

Na Figura 4.26 estão representadas as correntes do sistema monofásico compensadas pelo filtro ativo paralelo. Até ao instante $t=1,5$ s existe somente uma carga no sistema, nomeadamente o retificador com carga RC, posteriormente foi introduzido o retificador com carga RL. Na Figura 4.26(a) estão apresentadas as correntes da carga e da fonte. É possível visualizar-se a entrada da segunda carga no aos 1,5 s da simulação, contudo, a corrente da fonte aumenta progressivamente até ao novo valor que é alcançado somente no ciclo seguinte. Durante esta transição a corrente na fonte mantém-se praticamente sinusoidal.

Na Figura 4.26(b) estão representadas a referência e a corrente de compensação do filtro ativo paralelo, podendo verificar-se que mesmo na transição da carga o inversor consegue acompanhar a referência da corrente de compensação. Após a entrada da carga, no primeiro ciclo a corrente calculada pelo filtro ativo paralelo compensa toda a corrente do retificador com carga RL, e não só as suas distorções harmónicas. Isto deve-se ao valor médio da potência ativa instantânea, \bar{p} , calculado na teoria $p-q$, este valor médio é calculado de ciclo em ciclo, fazendo com que este não se adapte instantaneamente. Este atraso pode ser vantajoso para evitar sobrecorrentes no sistema monofásico.

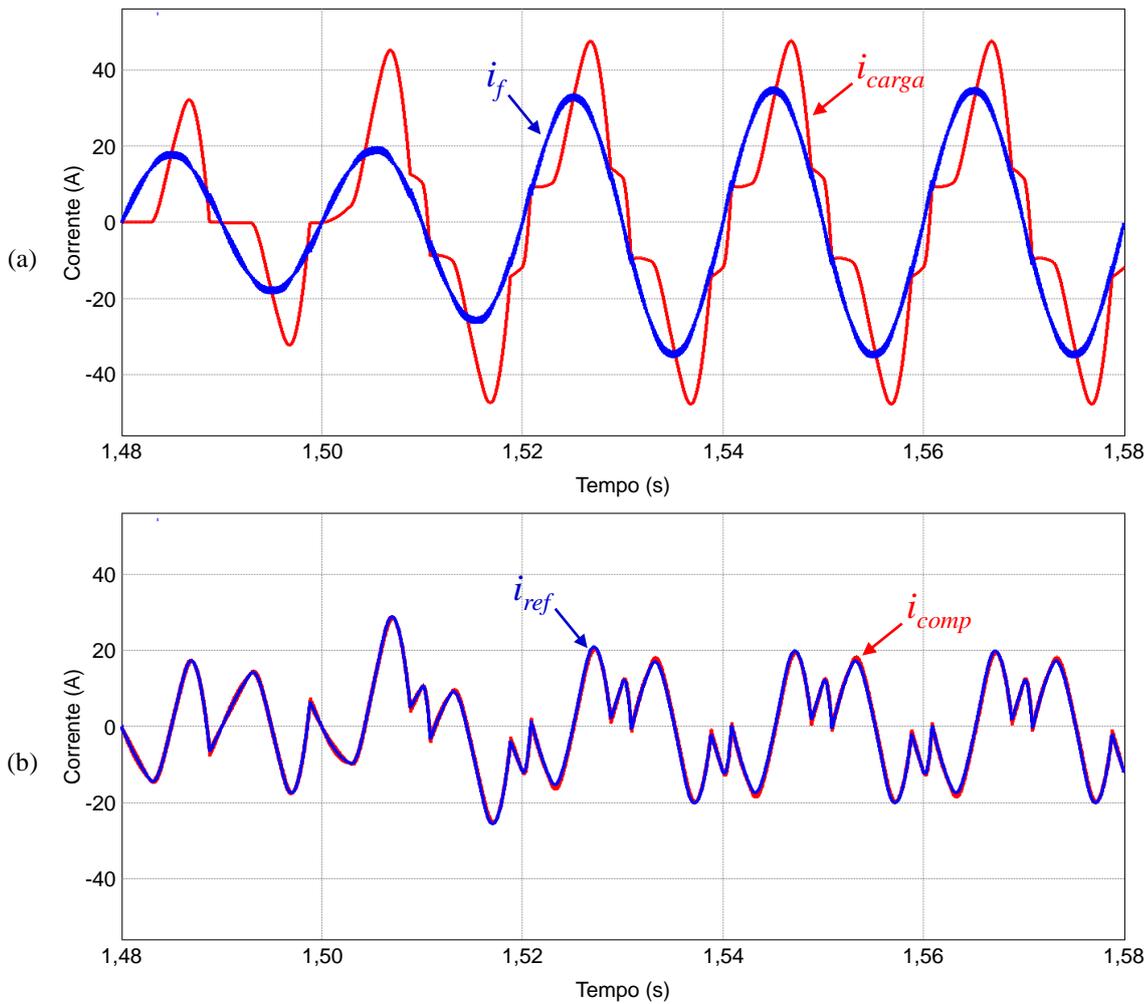


Figura 4.26 – Formas de onda das correntes no sistema, durante a entrada da segunda carga: (a) Correntes na carga e na fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.

Na Figura 4.27 está ilustrada a tensão no barramento CC após a entrada da segunda carga. O algoritmo de controlo do barramento CC começa de imediato a regular a tensão para o nível de referência, sendo a regulação conseguida num curto espaço de tempo.

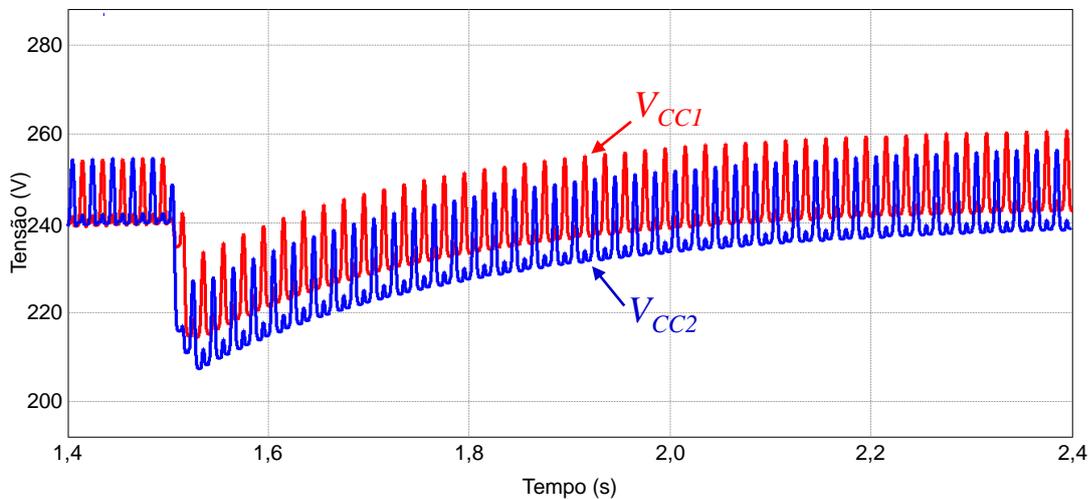


Figura 4.27 – Balanceamento das tensões no barramento CC após a entrada do retificador com carga RL.

Na Figura 4.28 estão ilustradas as formas de onda das correntes do sistema monofásico, onde inicialmente estão ligadas as duas cargas já apresentadas nesta secção e no instante 1,5 s é efetuada a saída do retificador com carga RL do sistema monofásico. Na Figura 4.28(a) estão representadas as correntes da carga e da fonte do sistema monofásico, verificando-se uma vez mais que a corrente na fonte não se altera imediatamente aquando da mudança da carga, mas vai convergindo para o valor final que é atingido um ciclo depois, como já descrito anteriormente. Contudo, a corrente da fonte mantém-se sempre sinusoidal.

Na Figura 4.28(b) estão representadas a referência e a corrente de compensação do filtro ativo paralelo, conseguindo-se verificar que mesmo no instante da saída da carga a corrente sintetizada pelo inversor acompanha a referência calculada pela teoria $p-q$. É também possível observar que o \bar{p} estabiliza um ciclo depois da transição da carga, pois um ciclo após a saída do retificador com carga RL a corrente de compensação atinge o regime permanente.

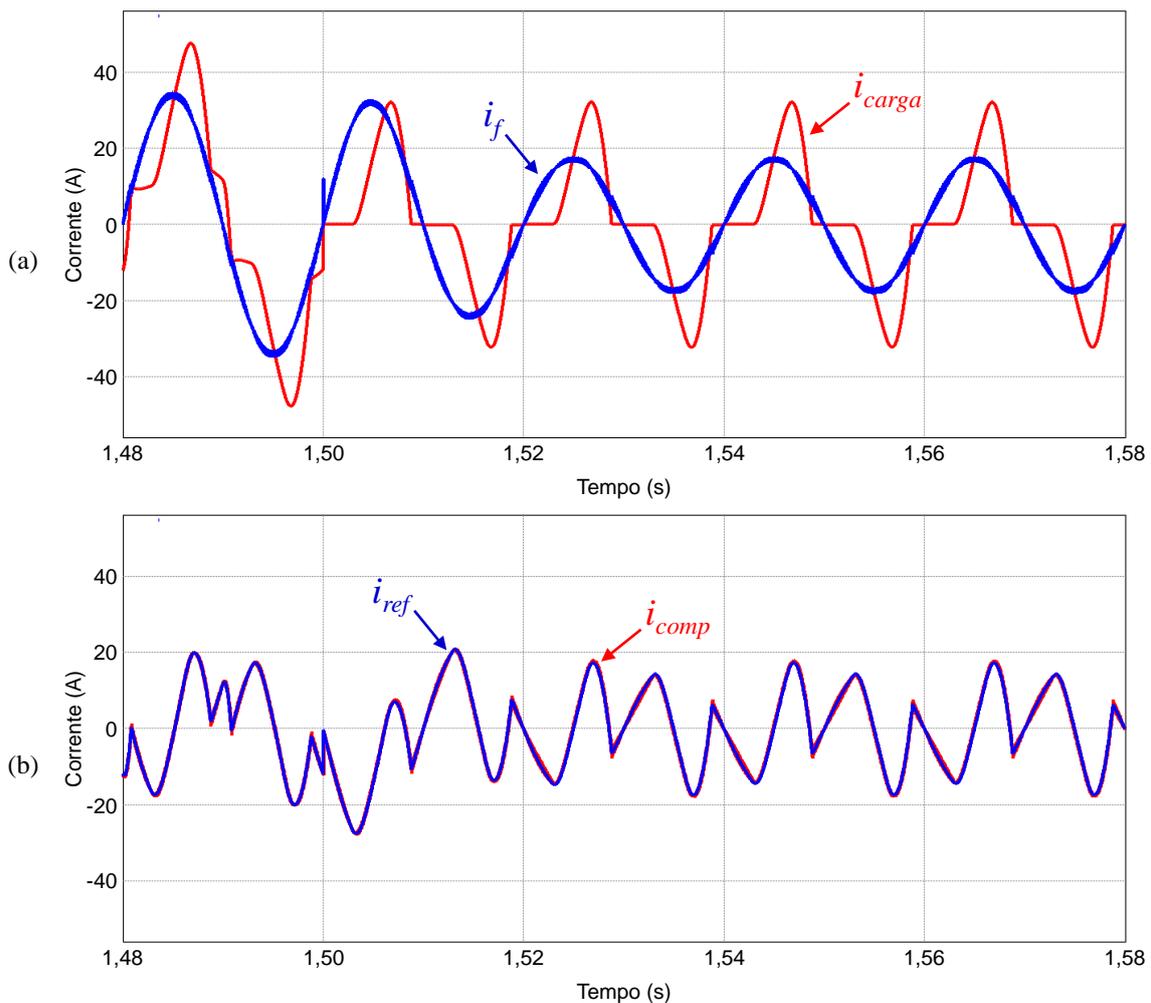


Figura 4.28 – Formas de onda das correntes no sistema, durante a saída da segunda carga: (a) Correntes na carga e na fonte; (b) Corrente de referência e corrente do filtro ativo paralelo.

Na Figura 4.29 estão representadas as tensões nos condensadores do barramento CC, estas aumentam no instante da saída da carga e depois são reguladas para o valor de referência pelo algoritmo de controlo de balanceamento implementado no filtro ativo paralelo.

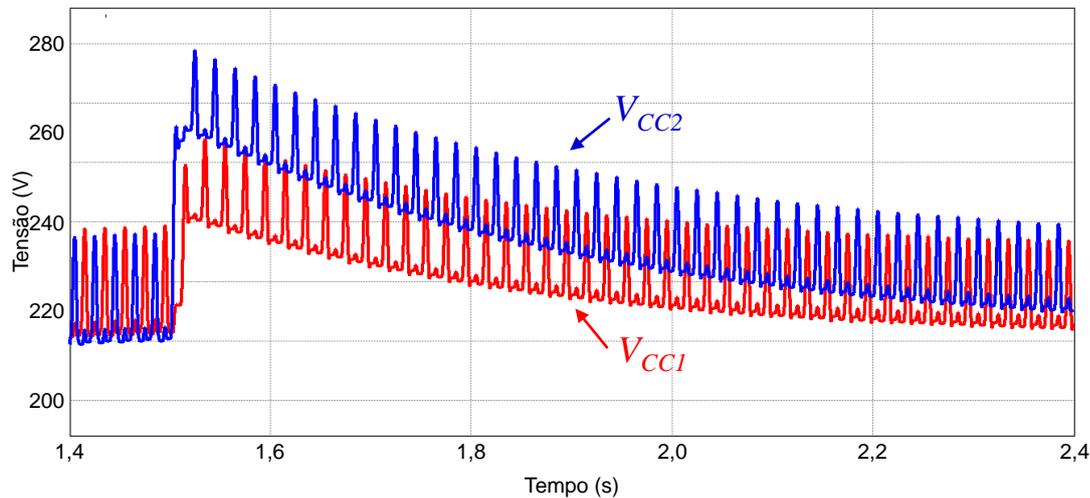


Figura 4.29 – Balanceamento das tensões no barramento CC após a saída do retificador com carga RL.

4.6. Conclusão

Neste capítulo foi inicialmente apresentado o modelo de simulação desenvolvido neste trabalho, este modelo está dividido em blocos principais, a parte de potência do sistema e a parte de controlo. Por sua vez, o de controlo é subdividido no cálculo das correntes de compensação e técnica de modulação do inversor. Primeiramente foi exposta a parte de potência, deste modo foi apresentado o inversor multinível escolhido para o sistema, bem como o dimensionamento do filtro passivo de acoplamento à rede elétrica. Em seguida foram descritas as partes de controlo, explicando-se cada dos algoritmos que o constitui e a forma como foram validados, inicialmente de forma individual e posteriormente a funcionar em conjunto.

Posteriormente, integrou-se o bloco de controlo com o circuito de potência e procedeu-se ao teste do filtro ativo paralelo a operar com vários tipos de cargas, com o intuito de avaliar o desempenho do sistema implementado. Inicialmente, o filtro ativo foi testado num sistema com um retificador com carga RC. Este teste com uma carga não linear muito abundante nos equipamentos eletrónicos, permitiu validar o sistema de controlo, tendo sido obtidos os resultados pretendidos, ou seja, com o filtro ativo de potência paralelo em operação a distorção da corrente na fonte desce drasticamente, verificando-se também uma ligeira diminuição no valor eficaz da corrente na instalação. O fator de potência ficou quase unitário.

Em seguida, foi utilizada uma carga RL, sendo esta uma carga linear que cria desfasamento entre a corrente e a tensão, podendo desta forma verificar-se o comportamento do filtro ativo paralelo perante uma carga linear. Foi obtido um fator de potência praticamente unitário acompanhado por uma redução significativa do valor eficaz da corrente da fonte. Na presença de uma carga linear verificou-se um ligeiro aumento na THD da corrente na fonte. Este aumento na distorção da corrente é provocado pela comutação dos IGBT.

Por último, foi testada a resposta do filtro ativo paralelo à entrada e saída de cargas no sistema elétrico. Durante este teste foram utilizados dois retificadores, um com carga RC e outro com carga RL. Primeiramente foi testada a resposta à entrada de uma carga no sistema, para tal a simulação é iniciada somente com o retificador com carga RC e só depois é acrescentado o retificador com carga RL. Verificou-se que o filtro ativo de potência paralelo reagiu imediatamente a entrada da nova carga, mantendo a corrente na fonte sempre sinusoidal. Foi também observada a resposta do algoritmo de controlo do balanceamento das tensões nos condensadores do barramento CC, concluindo-se que este reage corretamente e atempadamente às alterações provocadas pelas alterações de carga. Nos testes efetuados para estudar a resposta do sistema à saída do retificador com carga RL, foram obtidos resultados muito idênticos, com o filtro ativo de potência a reagir instantaneamente à alteração da carga, mantendo a corrente da fonte sempre sinusoidal.

CAPÍTULO 5

Implementação do Filtro Ativo Paralelo Monofásico com Inversor Multinível

5.1. Introdução

Neste capítulo é apresentado todo o desenvolvimento prático para a implementação do filtro ativo paralelo com a topologia apresentada anteriormente. Este encontra-se dividido em duas partes, nomeadamente, o andar de potência e o andar responsável por todo o controlo digital do sistema.

No andar de potência é descrito o inversor, bem como todos os seu constituintes, tais como os condensadores do barramento CC, os semicondutores de potência seleccionados, as placas de *drive* utilizadas para atuar os semicondutores controlados e todas as suas proteções implementadas. Será também descrito todo o circuito de acoplamento que incluirá a indutância de acoplamento e o sistema de pré-carga.

No andar do controlo é apresentado todo o hardware utilizado para fazer o inversor de potência funcionar como filtro ativo paralelo. Este andar é constituído pelo DSC (*Digital Signal Controller*) e respetiva placa de suporte, uma placa de I/O que permite o acesso aos pinos do DSC de forma isolada, uma placa de condicionamento de sinal para os sensores utilizados para adquirir os sinais necessários para efetuar o controlo de todo o sistema, bem como uma placa de comando. Neste andar é ainda utilizada uma placa de DAC (*Digital to Analog Converter*), não essencial ao funcionamento do sistema mas muito útil durante o processo de desenvolvimento e depuração dos algoritmos de controlo.

5.2. Andar de Potência

Na Figura 5.1 está demonstrada a estrutura onde o inversor multinível foi implementado, sendo esta constituída por um dissipador, a placa do inversor de potência, as placas dos circuitos de *drive* dos IGBTs e uma base metálica para a fixação de todos os constituintes do sistema, para uma posterior inclusão num quadro elétrico.

Os IGBTs e díodos do inversor são fixados com o auxílio de molas que os pressionam contra o dissipador, entre os semicondutores e o dissipador é colocado uma mica isoladora para evitar contactos elétricos entre o dissipador e os semicondutores, pois estes têm o coletor ligado ao encapsulamento.

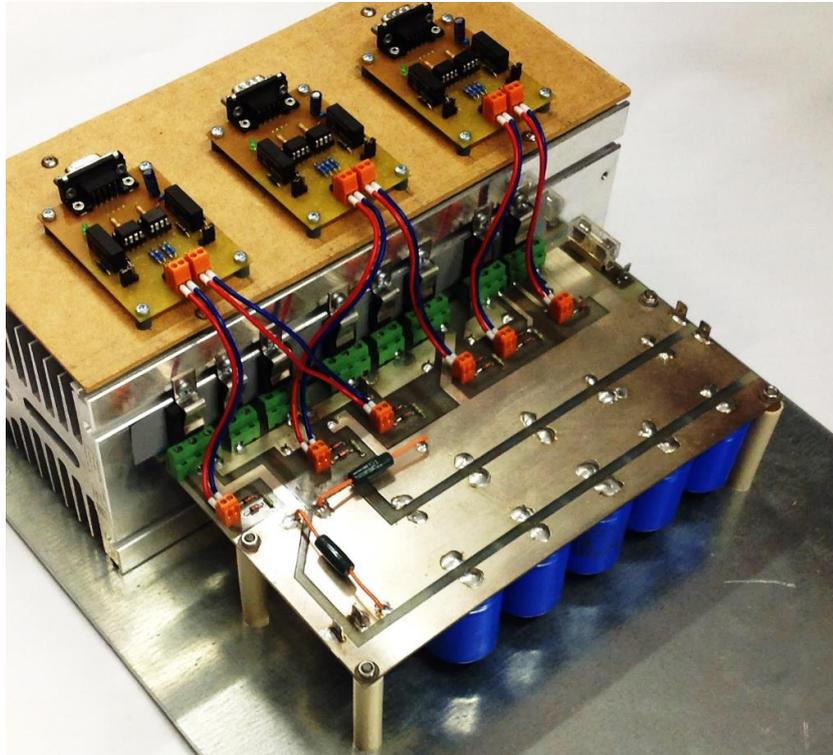


Figura 5.1 – Módulo de potência do filtro ativo paralelo.

No que diz respeito à colocação das placas tanto do inversor como as de *drive* foi tido o cuidado para que todas as bases dos seus suportes fossem não condutoras, foram também colocadas anilhas isolantes para que os parafusos não estejam em contacto com as placas, com o objetivo de prevenir a ocorrência de curto-circuitos.

5.2.1. Placa de Circuito Impresso e Componentes do inversor Multinível

A placa descrita nesta secção foi desenvolvida no âmbito desta dissertação, para fazer as ligações e dar suporte aos componentes do circuito de potência, tais como os IGBTs do inversor e os condensadores do barramento CC.

Para o desenho do *layout* da placa foi necessário obter as dimensões de cada componente utilizado no inversor multinível, para tal é necessário fazer uma escolha prévia destes. Na escolha dos componentes foram tidos em conta parâmetros como as tensões e correntes que eles têm de suportar, mas também as suas dimensões, tipo e encapsulamento. A relação preço/qualidade pesou também na escolha destes, tendo em conta as alternativas existentes.

Todo o projeto da placa do inversor multinível foi desenvolvida na ferramenta *Menthor Graphics PADS*, sendo este um software direcionado para o desenho de PCBs (*Printed Circuit Board*). Inicialmente é feito o desenho lógico de toda a placa com todas as ligações dos componentes utilizando a ferramenta de desenho logico do PADS, depois o circuito é transferido para a ferramenta responsável pelo *layout* já com todos os componentes do circuito e os pontos de ligação, facilitando assim o desenho das pistas sem o risco de alteração das ligações elétricas entre componentes. Na Figura 5.2 é apresentado o *layout* da placa do inversor multinível, já com todos os seus componentes posicionados e interligados, esta placa foi desenhada com duas camadas, estando a face superior representada a vermelho e a inferior a azul.

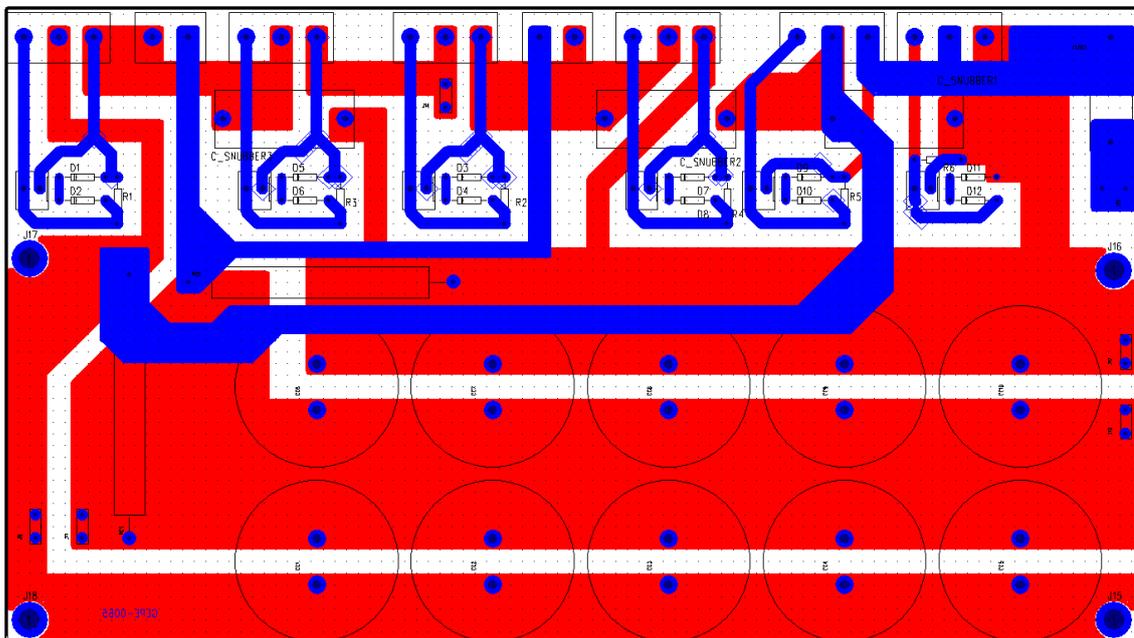


Figura 5.2 – *Layout* da placa do inversor multinível.

Os semicondutores do braço DCMLI só necessitam de suportar metade da tensão do barramento CC, por outro lado o semicondutores do braço de dois níveis suporta toda a tensão do barramento CC. Apesar disto, por motivos de facilidade de aquisição, foram escolhidos IGBTs iguais para os dois braços, que suportam níveis de tensão superiores à do barramento CC. Foram então utilizados seis IGBTs fabricados pela *Advanced Power Technology*, com a referência *APT25GT120BRDQ2* capazes de conduzir uma corrente contínua no coletor de 25 A, operando à temperatura de 110 °C. Estes suportam tensões entre o coletor e emissor até 1200 V e podem comutar a uma frequência de 50 kHz [41].

Os diodos de *clamping* do braço de três níveis DCMLI têm de suportar metade da tensão do barramento CC, para tal foram utilizados 2 diodos da fabricante *Vishay*, com a

referência *VS-HFA25TB60PbF*, estes são capazes de conduzir corrente até 25 A e suportar tensões até 600 V [42].

Tratando-se a placa de um protótipo para teste laboratoriais, foram colocados ligadores para PCB, de forma a ligar os semicondutores à placa e assim facilitar a sua substituição se necessário.

Em paralelo com cada par complementar de IGBTs foram colocados condensadores de *snubber*. Estes têm a missão de proteger os IGBTs de transitórios elevados de tensão, que podem ocorrer quando comutam. Para este efeito foram utilizados condensadores fabricados pela *Vishay*, com capacidade de 1 μF para os pares de IGBTs do braço DCMLI, capazes de suportar uma tensão máxima de 400 V. Para o par de IGBTs do braço de dois níveis, foi colocado um condensador com uma capacidade de 470 nF e capaz de suportar uma tensão máxima de 1000 V.

Para cada IGBT foi utilizado um circuito de proteção de *gate*, este é constituído por uma resistência de 10 k Ω em paralelo com dois díodos *zener* de 16 V em série com ânodo comum como apresenta a Figura 5.3. A proteção de *gate* tem como objetivo proteger a *gate* do IGBT contra picos de tensão, bem como evitar comutações indesejadas.

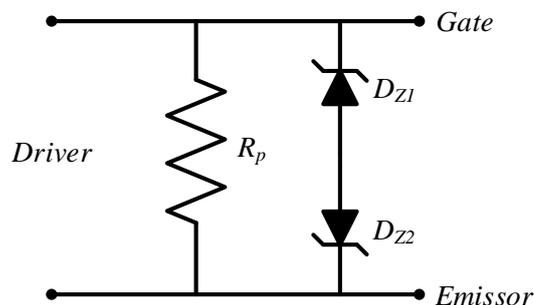


Figura 5.3 – Esquema elétrico do circuito de proteção de *gate*.

O barramento CC é composto por dois conjuntos de condensadores, estes estão colocados em série tendo o ponto médio ligado ao ponto neutro do NPC. Cada um deles é carregado com 250 V obtendo-se assim uma tensão de 500 V no barramento CC. A utilização de um barramento CC com dois conjuntos de condensadores é necessária para gerar os diferentes níveis do inversor.

Para gerar os diferentes níveis do inversor, é possível utilizar a tensão de um só conjunto de condensadores ou a soma da tensão dos dois conjuntos. Para que o inversor funcione adequadamente, extremamente importante que a tensão de cada conjunto de condensadores seja igual. Assim, para além do algoritmo de controlo de balanceamento do barramento CC, foi colocada uma resistência de equalização em paralelo com cada conjunto de condensadores como é visível na Figura 5.4. Cada um dos conjuntos de condensadores

contém cinco condensadores eletrolíticos em paralelo, com a referência *BC 198 PHR-SI*, cada um destes tem um valor de $470 \mu\text{F}$ obtendo-se assim um total de $2350 \mu\text{F}$ em cada conjunto. Estes condensadores suportam uma tensão máxima de 400 V , um valor acima dos 250 V necessários [43].

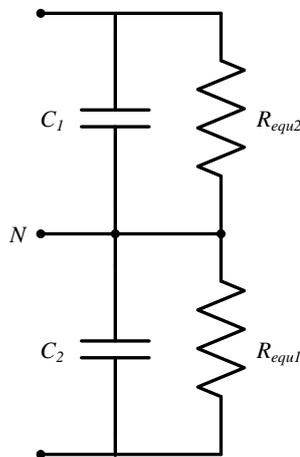


Figura 5.4 – Esquema elétrico do barramento CC.

O acoplamento do inversor multinível à rede elétrica é feito através de duas indutâncias e o um circuito de pré-carga, como pode ser observado na Figura 5.5. Este circuito é composto por uma resistência de pré-carga em paralelo com um interruptor de *bypass* e por um disjuntor de ligação à rede. O disjuntor de ligação à rede é responsável pelo acoplamento e desacoplamento do FAPP com a rede. A resistência de pré-carga tem o efeito de limitar o pico inicial de corrente na carga dos condensadores do barramento CC. O contacto de pré-carga é utilizado para criar, um caminho alternativo para a corrente depois de concluída a pré-carga.. Sempre que o contacto de ligação à rede é fechado, o contacto de pré-carga tem de estar aberto, para que a pré-carga seja feita.

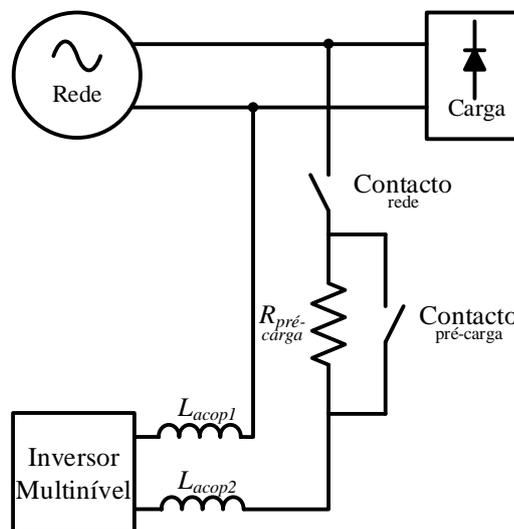


Figura 5.5 – Acoplamento do inversor à rede elétrica à rede com circuito de pré-carga.

A bobina de acoplamento do inversor com a rede elétrica é constituída por dois enrolamentos com acoplamento mútuo, sendo um enrolamentos ligado à fase e o outro ligado ao neutro, tal como mostra a Figura 5.5. Na Figura 5.6 apresenta-se uma imagem da bobina utilizada neste trabalho. No conjunto, os dois enrolamentos apresentam uma indutância equivalente de 1,6 mH. A opção por uma bobina com dois enrolamentos ajuda a reduzir a ruído de comutação transmitido a partir de capacidades parasitas.



Figura 5.6 – Bobina de acoplamento com a rede elétrica.

Foi também colocado um fusível em serie com uma das saídas do inversor com o intuito de o proteger contra curto-circuitos.

Para a saída do inversor foram colocados dois ligadores para a ligação das indutâncias de acoplamento e quatro ligadores para ligar dois sensores para medir a tensão nos condensadores do barramento CC. A Figura 5.7. mostra a placa do inversor de potência com os componentes já montados.

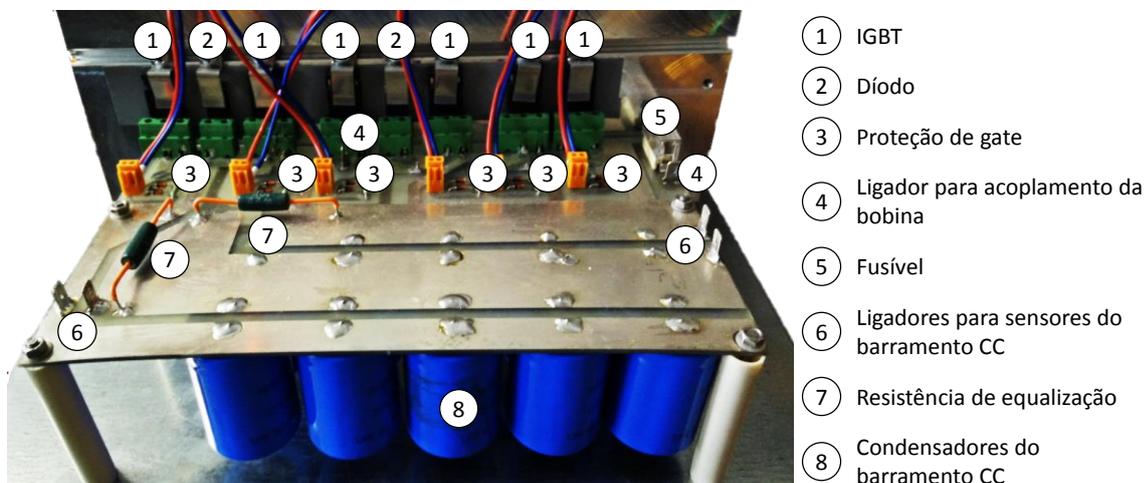


Figura 5.7 – Placa de potência do inversor multinível.

5.2.2. Placas de *Driver*

As placas do circuito de *driver* são responsáveis por atuar os IGBTs. De maneira a manter o andar de controlo galvanicamente isolado do andar de potência, foram utilizados circuitos de driver com acoplamento ótico. Na Figura 5.8 estão apresentadas as três placas *driver* utilizadas para atuar os seis IGBTs do inversor multinível. Cada placa é capaz de controlar dois IGBTs, optando-se então pela utilização de uma placa para cada par complementar de IGBTs.

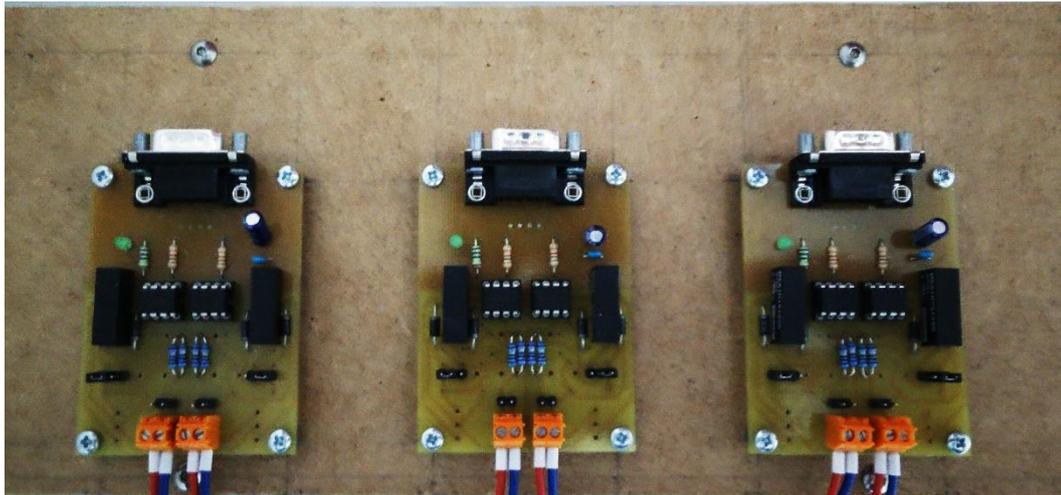


Figura 5.8 – Placas de *driver* para os IGBTs do inversor multinível.

Cada uma das placas é alimentada com +15 V e GND, e recebe dois sinais de PWM através de uma ficha DB9. Os sinais de PWM e a alimentação da placa são obtidos diretamente da placa de comando descrita na secção 5.3.5.

Cada placa possui dois *gate drivers* do tipo *HCPL-3120* fabricados pela *Avago Technologies*, estes circuitos permitem um isolamento galvânico de 630 V entre o primário e o secundário [44]. A atuação do *HCPL-3120* é feita por um fotodíodo no lado primário. Assim, esse fotodíodo é atuado diretamente pelo sinal PWM, utilizando-se apenas uma resistência para limitar a corrente. Este irá emitir os pulsos para o lado secundário que é alimentado por uma fonte CC-CC isolada. A fonte CC-CC isolada produz +15 V e -15 V a partir da tensão de 15 V que alimenta a placa. As fontes utilizadas para alimentar cada um dos *HCPL-3120* têm a referência *MEA1D1515SC* e são fabricadas pela *Murata*, estas providenciam um isolamento galvânico de 1000 V entre o primário e o secundário [45].

Para cada *HCPL-3120* foram colocadas resistências de 5 Ω em série com a saída para limitar a corrente de *Gate* dos IGBTs. Foram também disponibilizados alguns pontos de teste, de forma a facilitar a verificação dos sinais gerados.

A placa de *driver* está preparada, para a montagem de filtro RC adicional para a filtragem do sinal de saída, possui um conjunto de *jumpers* de configuração que permitam alimentar os *HCPL-3120* por fontes externas, caso não seja necessário que estes estejam isolados entre si. Esta placa foi baseada numa placa desenvolvida pelo GEPE tendo durante este trabalho sofrido uma alteração do seu *layout*, para conseguir um PCB de face simples e para melhorar alguns espaçamentos entre pistas no lado secundário.

5.3. Andar de Controlo

Na Figura 5.9 estão exibidas as placas responsáveis por todo o sistema de controlo, desde a aquisição dos sinais dos sensores de tensão e corrente até à geração dos pulsos de PWM que são aplicados às placas de *driver* descritas anteriormente. Todas as placas apresentadas na Figura 5.9 bem como as placas dos sensores, existiam no laboratório do GEPE, tendo contudo sido feito o dimensionamento de todos os componentes para o sistema de controlo deste projeto em particular.

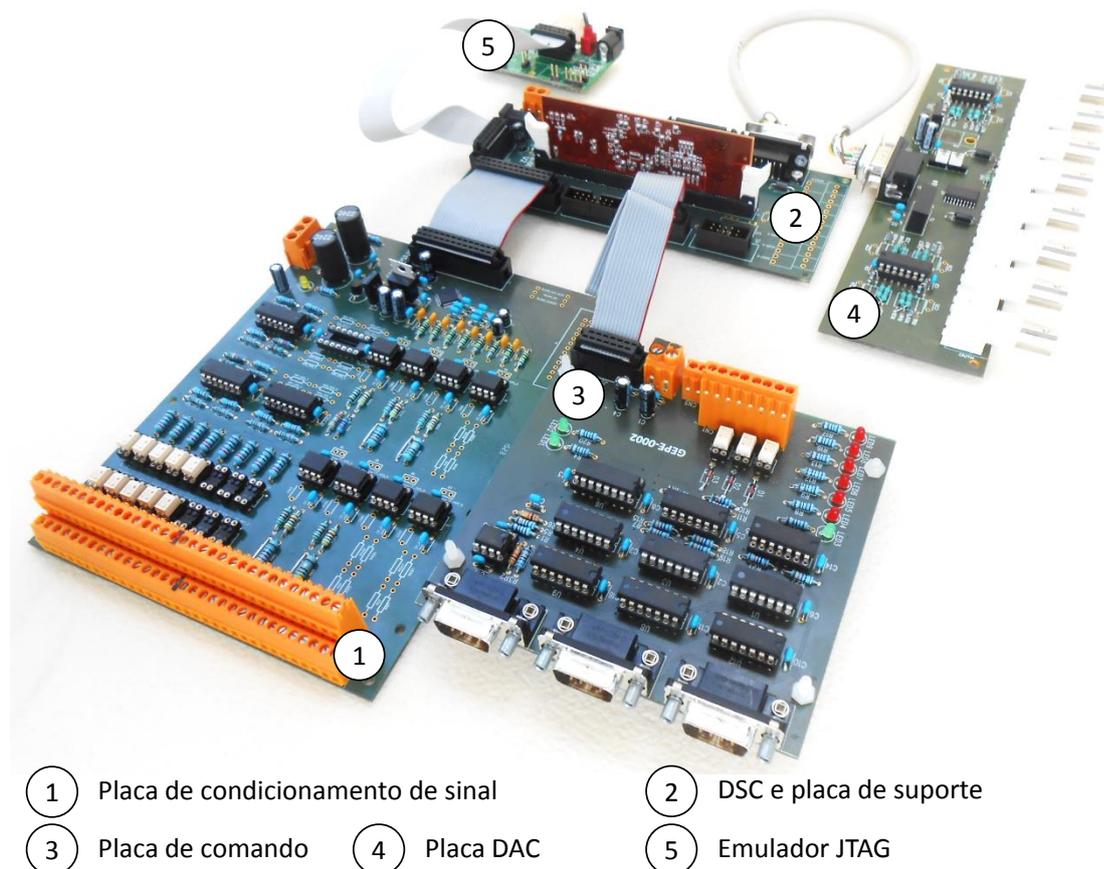


Figura 5.9 – Hardware do sistema de controlo.

Na Figura 5.10 é apresentado um diagrama de blocos do sistema de controlo. Este sistema é constituído pelo bloco dos sensores, seguido do bloco responsável por

condicionar o sinal dos sensores e converter os sinais de analógicos para digital por intermédio de um ADC (*Analog to Digital Converter*), bem como detetar se existe algum valor fora dos limites estipulados.

Os valores do ADC ficam disponíveis ao DSC onde estão implementados todos os algoritmos de controlo descritos no capítulo das simulações. O DSC gera os pulso de PWM para os IGBTs permitindo também uma visualização em tempo real dos sinais calculados, através de um DAC (*Digital to Analog Converter*) com comunicação série SPI. Por último, o bloco de comando converte os sinais de PWM de lógica TTL 3,3V para lógica CMOS de 15V utilizada pelas placas de *driver*, este bloco recebe também sinais de erro, suspendendo as comutações de todos os IGBTs caso algum erro seja detetado.

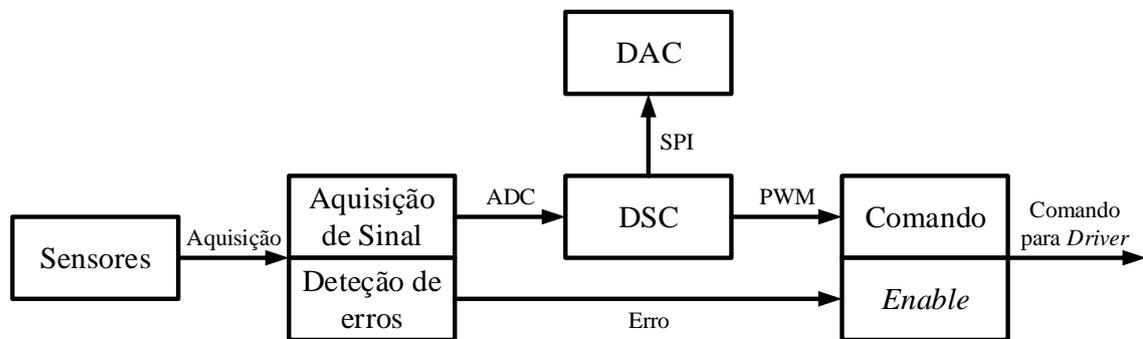


Figura 5.10 – Diagrama de blocos do sistema de controlo.

5.3.1. Sensores de Tensão

Os sensores escolhidos para a medição das tensões necessárias para o sistema de controlo, são sensores de efeito Hall, com a referência é *CYHVS5-25A* e fabricados pela *ChenYang Sensors*, estes sensores permitem a medição de tensões alternadas e contínuas, com um isolamento galvânico de 2,5 kV e uma razão de transformação de 5000:1000, ou seja, a corrente do secundário será cinco vezes maior do que no primário [46].

Na Figura 5.11 está representado o esquema elétrico do sensor de tensão. Este necessita de uma resistência em série no primário R_p , responsável por converter a tensão a ser medida em corrente. O sensor de tensão terá também uma resistência de medida no secundário. De acordo com o fabricante, a resistência de medida deve estar compreendida entre os 100 Ω e 350 Ω .

O sensor de tensão utilizado tem uma corrente de medição máxima de ± 5 mA. Para que a gama de tensões a ser medida esteja dentro do intervalo, a resistência no primário R_p tem de ser dimensionada para que quando sujeita à tensão máxima a ser medida, a corrente não ultrapasse 5 mA, para tal foi utilizada a equação (5.1).

$$R_p = \frac{V_{\max}}{0,005} \quad (5.1)$$

Neste projeto foram utilizados três sensores de tensão, um para medir a tensão da rede e os restantes para a medição a tensão nos condensadores do barramento CC. Para calcular R_p do sensor de tensão ligado à rede foi tido em consideração que a tensão da rede pode oscilar 10% da amplitude de 325 V, obtendo-se assim um máximo de 358 V, foi ainda adicionada uma tolerância de segurança calculando-se a resistência do primário para uma tensão máxima de 380 V. Para as resistências R_p dos sensores de tensão do barramento CC foi também dada uma margem relativa aos 250 V que serão utilizados. Esta margem deve acomodar as flutuações causadas pela transferência de energia da teoria $p-q$, como também às oscilações provocadas pelas entradas e saídas de cargas que podem elevar a tensão. Para tal R_p é dimensionada para uma tensão máxima de 350 V em cada conjunto de condensadores do barramento CC. Para a diminuição da potência dissipada nas resistências R_p , estas foram compostas por duas resistências em série que no total terão o mesmo valor resistivo e assim possibilitar a utilização de resistências de potência mais baixa.

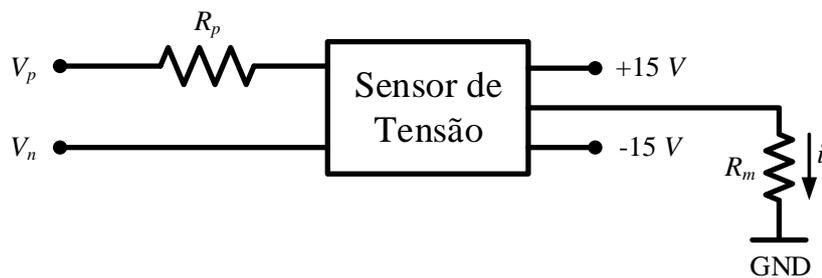


Figura 5.11 – Esquema elétrico do sensor de tensão.

Na Figura 5.12 está ilustrada a placa do sensor de tensão, tal como referido anteriormente esta placa foi desenvolvida no laboratório do GEPE tendo-se procedido ao dimensionamento de todos os componentes para este projeto em particular.



Figura 5.12 – Placa do sensor de tensão.

No lado do secundário a placa do sensor é alimentada com uma tensão de ± 15 V, proveniente da placa de aquisição de sinal. Estas tensões são filtradas pelos condensadores na parte do secundário da placa. O sinal de saída do sensor no secundário é em forma de corrente com o valor máximo de 25 mA. Para converter este sinal para tensão é utilizada a resistência R_m , referida anteriormente. Para evitar interferências externas, a resistência R_m é colocada na placa de condicionamento de sinal descrita na secção 0.

5.3.2. Sensor de Corrente

Para a medição das correntes da carga e do filtro ativo paralelo, foram também utilizados sensores de efeito Hall, cuja referência é *LA 100-P* fabricados pela LEM. Estes sensores apresentam um isolamento galvânico de 2,5 kV e uma razão de transformação de 1:2000. Assim sendo, a corrente no secundário do sensor é duas mil vezes inferior à corrente no primário. Estes sensores permitem a medição de correntes com um valor nominal até 100 A [47].

Na Figura 5.13 está representado o esquema elétrico do sensor de corrente utilizado. Este tal como o sensor de tensão, tem o sinal de saída em corrente e por isso irá também necessitar de uma resistência de medida R_m . De acordo com o fabricante a resistência de medida deve estar compreendida entre 0 e 110 Ω .

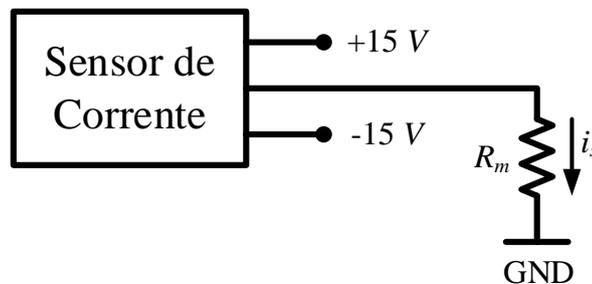


Figura 5.13 – Esquema elétrico do sensor de corrente.

A medição da corrente é feita através do primário. Esta é conseguida pela introdução de um fio condutor, por onde flui a corrente que se pretende medir, na abertura do sensor (visível na Figura 5.14).

A placa de suporte ao sensor de corrente, tal como a placa do sensor de tensão, tem ligadores por onde recebe a alimentação de ± 15 V proveniente da placa de aquisição de sinal. Os ligadores contêm um pino pelo qual está acessível o sinal de saída, ou seja, um sinal de corrente entre 0 e 50 mA. Tal como com o sensor de tensão a resistência de medida R_m é colocada na placa de condicionamento de sinal.



Figura 5.14 – Placa do sensor de corrente.

Como as correntes a serem medidas pelo sensor são muito inferiores aos 100 A nominais que o sensor pode medir, o fio condutor foi passado quatro vezes pelo sensor, diminuindo dessa forma a corrente nominal do sensor para 25 A. Esta estratégia possibilita o aumento da resolução do sensor para as correntes de pequena intensidade.

5.3.3. Placa de Condicionamento de Sinal e Detecção de Erros

Para que a aquisição do sinal de cada sensor esteja disponível ao sistema digital de controlo do sistema, é necessário que o sinal analógico seja convertido em digital, possibilitando dessa forma que o DSC processe esses valores. Esta conversão é feita por um ADC (*Analog to Digital Converter*).

O DSC utilizado neste projeto, descrito na secção 5.3.4, possui um ADC interno, mas devido a algumas limitações que estes apresentam foi utilizada uma placa já desenvolvida no GEPE com ADC externo. Este ADC, fabricado pela *MAXIM* com referência *MAX1320*, consegue fazer a leitura de 8 canais com entrada bipolar de ± 5 V com uma resolução de 14 bits. Este ADC possui uma resolução superior aos 12 bits de o ADC interno do DSC, mas sobretudo uma gama de tensão muito superior aos 0 a 3 V desse ADC. Desta forma, através do ADC externo pretende-se tornar o sistema menos suscetível a possíveis interferências de ruído, pois a perturbação criada terá uma maior relevância numa gama de leitura inferior [48][49].

Outra condicionante que levou à utilização de um ADC externo deveu-se ao facto das tensões lidas pelo ADC interno só poderem ser positivas, o que implicaria adicionar um valor médio aos sinais alternados, de forma a transformar os valores negativos em positivos. Este procedimento pode causar um mau funcionamento do sistema caso o *offset* criado para a leitura dos valores digitais não corresponda ao zero do sinal alternado.

Na Figura 5.15 é exibida a placa utilizada para a aquisição dos sinais dos sensores do sistema, esta é alimentada por ± 15 V, GND e utiliza um regulador de 5 V para assegurar a tensão de alimentação do ADC.

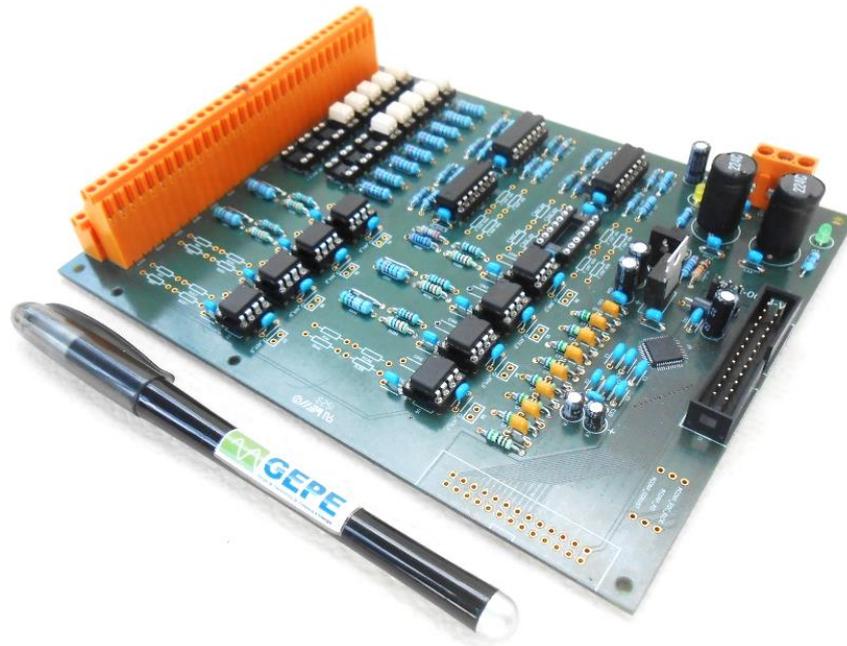


Figura 5.15 – Placa de condicionamento de sinal e deteção de erros.

Para efetuar a conversão de um sinal analógico para sinal digital o ADC necessita que o sinal de entrada seja em tensão, como foi referido nas secções anteriores, os sensores utilizados têm um sinal de saída em corrente. Foi então colocada para cada um dos sinais medidos uma resistência de medida R_m o mais próximo possível do circuito do ADC para assim evitar contaminações e obter medições o mais precisas possível.

A tensão medida em cada uma das resistências R_m está à entrada de um amplificador inversor, o ganho do amplificador é obtido a partir da combinação de duas resistências na malha de realimentação. Neste projeto em particular foram todas dimensionadas para um ganho de dois. Desta forma, como a tensão de leitura do ADC utilizado está numa gama entre 5 V e -5 V, R_m foi dimensionada para que o valor desejado medir esteja na gama de valores de +2,5 V e -2,5 V.

Para o dimensionamento de R_m foi tido em conta a gama de valores que se pretende medir em cada sensor. O valor de R_m foi obtido através da equação (5.2), correspondendo o valor I_{rms} ao valor máximo que se pretende medir nos sensores para uma queda de tensão de 2,5 V aos terminais da resistência de medida.

$$R_m = \frac{2,5}{I_{rms}} \quad (5.2)$$

No dimensionamento da resistência de medida do sensor de tensão ligado à rede foi obtido um valor de $100\ \Omega$, embora este seja o valor mínimo do limite definido pelo fabricante, para assegurar o bom funcionamento do circuito foi colocada uma resistência em série com R_m assegurando que o valor total esteja dentro do intervalo recomendado. Esta segunda resistência não irá influenciar a medição de R_m , porque como já foi referido os sensores utilizados têm saída em corrente, e por isso, a resistência adicional não influencia a queda de tensão na resistência R_m . A necessidade desta resistência adicional já está prevista no *layout* da placa de condicionamento, no caso de a sua utilização não ser necessária é feito um *shunt* com um fio condutor.

A placa com ADC externo para além da aquisição de sinal dos sensores também possui um sistema de deteção de erros, que este é ativado quando o valor medido por algum dos sensores ultrapassa os limites estipulados. A deteção de erros é feita por dois circuitos comparadores para cada sinal adquirido, sendo um comparador responsável pela deteção do limite superior do sinal e o outro pela deteção do limite inferior. O intervalo de valores válidos para o sistema é determinado pelo dimensionamento de resistências que irão fazer um divisor resistivo para obter os valores de comparação, estes divisores definem o limite superior e inferior da gama válida para um determinado sinal. Quando o valor medido ultrapassa os limites definidos, o sistema de deteção de erros emite um sinal lógico que é enviado para a placa de comando, descrita na secção 5.3.5, interrompendo de imediato as comutações dos IGBTs.

5.3.4. DSC (*Digital Signal Controller*)

Todo o controlo digital do sistema testado nas simulações foi implementado no DSC *TMS320F28335* fabricado pela *Texas Instrument*, trata-se de um microcontrolador com instruções típicas de processamento de um DSP (*Digital Signal Processor*) com um conjunto de periféricos típicos de um microcontrolador [49].

Este DSC possui um processador de 32 bits, com uma frequência de *clock* de 150 MHz com suporte nativo para operações em vírgula flutuante (*Floating-Point*), estando também equipado com 16 canais de ADC com resolução de 12 bits e 18 canais de PWM.

O tipo de representação de vírgula flutuante permite a realização de cálculos matemáticos com números decimais num tempo reduzido, e com uma resolução superior relativamente a processadores com representação de inteiros. Embora um processador de operações inteiras tenha normalmente um preço mais acessível, pode não ser viável para a implementação de sistemas de controlo que necessitam de uma grande quantidade de cálculos que envolvam operações com números decimais.

Para o sistema de controlo de um filtro ativo paralelo a rapidez e a resolução que este microcontrolador oferece na execução de operações matemáticas é essencial, possuindo no entanto outras características que o tornam muito apropriado para aplicações de eletrónica de potência. Algumas dessas características são a possibilidade da configuração dos canais de PWM em pares complementares com *dead-time* entre comutações, sendo este o tipo de configuração ideal a ser aplicado a um braço de inversor, evitando a existência de curto-circuitos durante a comutação do braço.

A programação deste microcontrolador é feita em linguagem C através da plataforma de desenvolvimento *Code Composer Studio* disponibilizada pela *Texas Instruments*.

Na Figura 5.16 estão demonstradas a placa do DSC *TMS320F28335* e a placa de suporte desenvolvida pelo GEPE com o intuito de facilitar a ligação do DSC às restantes placas de controlo. A placa de suporte é alimentada com uma tensão de 5 V, possui um *socket* do tipo DIM de 100 pinos onde o DSC irá ser encaixado. Esta placa é ainda ligada por intermédio de uma *flat cable* utilizando um *socket* de 14 pinos à placa *TMDSDOCK28335* que contém um emulador JTAG com interface USB, este é compatível com a plataforma do *Code Composer Studio*, possibilitando assim depuração do código em tempo real, como é o caso da escrita e leitura das memórias do DSC, entre outras funções essenciais à implementação e testes dos algoritmos de controlo do sistema.



Figura 5.16 – DSC *TMS320F28335* e respetiva placa de suporte.

A placa de suporte do DSC está preparada para a utilização de ADCs externos através da ligação de uma *flat cable* a um *socket* de 26 pinos, contudo esta placa também

foi projetada para possibilitar a utilização do ADC interno se tal for necessário. Para além da ligação para o ADC externo, a placa de adaptação usufrui de *sockets* para *flat cable* de dez pinos para um acesso fácil às saídas dos sinais de PWM, através destas fichas é realizada a comunicação para as placas de comando que são descritas na secção 5.3.5.

A placa adaptadora está também equipada com duas fichas DB9, estando uma preparada para comunicação série RS232, e a outra para a comunicação série SPI, sendo esta última utilizada para a ligação com a placa do DAC descrita na secção 5.3.7. A placa de adaptação está ainda equipada com um *socket* de 10 pinos, para a ligação à placa I/O (*Input/Output*), possibilitando o acesso a quatro pinos I/O para utilizações que possam ser necessárias.

Na Figura 5.17 é apresentado o fluxograma com a sequência dos processos implementados no DSC para executar o controlo do sistema.

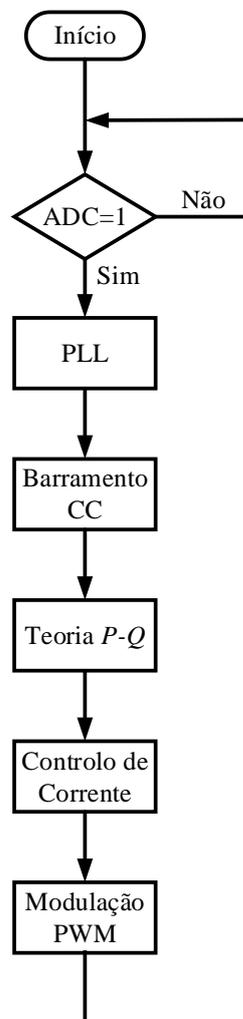


Figura 5.17 – Fluxograma geral do sistema de controlo implementado no DSC.

Primeiramente são inicializadas as variáveis do sistema e as configurações dos periféricos. Depois destas inicializações, o sistema entra num ciclo infinito onde espera a

flag do timer que irá dar início à conversão de dados do ADC, este timer que inicializa a aquisição do sinal está configurado para iniciar uma interrupção a cada 25 μ s resultando assim numa frequência de aquisição de 40 kHz. Após ser terminada a leitura do ADC segue-se a execução de uma sequência de algoritmos de controlo.

5.3.5. Placa de Comando

Na Figura 5.18 pode ser visualizada a placa de comando desenvolvida pelo GEPE, que serve de ponto de ligação de todo o sistema de controlo com as placas de *drive* do inversor, descritas anteriormente. Esta placa é alimentada por uma tensão de 15 V, e faz a *interface* de seis sinais PWM recebidos do DSC através da ligação de uma *flat cable* ao *socket* de 10 pinos. Os sinais de PWM recebidos em lógica TTL de 3,3 V são então convertidos para lógica CMOS de 15V. Estes sinais são posteriormente enviados pelo intermédio de três fichas *DB9* para as placas de *Driver*, dois sinais de PWM complementares em cada ficha.



Figura 5.18 – Placa de comando para seis sinais de PWM.

A placa de comando é também responsável pela habilitação dos sinais de PWM, sendo possível desabilitar as comutações dos IGBTs através de um interruptor, isto é conseguido com o auxílio de um circuito lógico. Este circuito de *enable* é feito a partir de portas lógicas *AND*, para além do circuito de *enable* a placa de comando também efetua o controlo dos erros detetados na placa de condicionamento de sinal, quando algum erro

é detetado a placa de comando desabilita todos os sinais de PWM e indica através de um led qual é a proveniência do erro. Depois de se ter originado um erro para voltar a habilitar as comutações é necessário premir o botão de *reset*.

Como meio de segurança sempre que a placa de comando é inicializada esta habilita de forma automática todos os erros para assegurar que não há comutações indesejadas, sendo então necessário limpar os sinais de erro através do botão de *reset* antes de iniciar a comutação.

5.3.6. Placa I/O (*Input/Output*)

A placa I/O apresentada na Figura 5.19, é uma placa de entradas e saídas, preparada para ser ligada à placa de adaptação do DSC. Esta placa possui dois canais de entrada isolados ligados aos pinos GPIO60 e GPIO61, bem como dois canais de saída isolados ligados aos pinos GPIO58 e GPIO59.

As entradas isoladas da placa de I/O foram utilizadas para verificar o estado da placa de comando, descrita na secção anterior. Para verificar se as comutações estão habilitadas foi ligado o sinal de *enable* da placa de comando a uma das entradas e na outra o sinal de erro. Quando um dos sinais informa que as comutações estão desabilitadas, são reiniciadas todas as variáveis de controlo no DSC, preparando o sistema para a próxima habilitação pelo *enable* da placa de comando. As saídas isoladas foram utilizadas de forma informativa, acionando *leds* caso as comutações do inversor estejam ativas ou não.

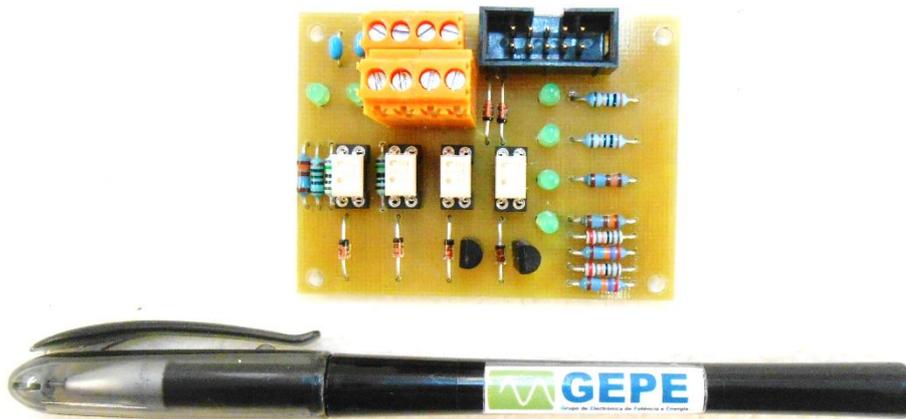


Figura 5.19 – Placa I/O com entradas e s saídas isoladas.

5.3.7. Placa de DAC (*Digital to Analog Converter*)

A placa de DAC exposta na Figura 5.20 foi também desenvolvida pelo GEPE, sendo essencialmente utilizada na fase de implementação dos algoritmos de controlo para

a visualização em tempo real de algumas variáveis internas ao DSC. A placa de DAC converte valores digitais em tensões analógicas, possibilitando a monitorização de variáveis calculadas no DSC com o auxílio de um osciloscópio.

O DAC utilizado é fabricado pela *Texas Instruments* com a referência *TLV5610*, este possui oito canais com uma resolução de 12 bits [50]. A comunicação entre o DAC e o DSC é feita através do protocolo SPI por intermédio de uma das fichas *DB9*. A placa de DAC utiliza também um circuito para converter o sinal gerado pelo DAC que só tem polaridade positiva num sinal que varia entre ± 5 V. Como se pode verificar na Figura 5.20 os oito canais de DAC são acedidos por fichas BNC para uma ligação fácil com o osciloscópio.



Figura 5.20 – Placa de DAC com oito saídas.

5.4. Protótipo Completo

Nesta secção é apresentado o aspeto final do protótipo desenvolvido. Para tal foi construída uma estrutura onde foi colocado todo o hardware do sistema, esta é constituída pelo andar de potência e pelo andar de controlo já apresentados ao longo do capítulo.

Na Figura 5.21 é possível observar a estrutura do protótipo, esta é constituída por duas placas metálicas que suportam todo o hardware. No andar inferior encontram-se fixados todos os componentes do andar de potência apresentados na secção 5.2, bem como os sensores de corrente e todos os conectores e disjuntores necessário para ligar o sistema à rede. Para construir o segundo andar da estrutura foram utilizando quatro parafusos de suporte. Na placa que constitui o segundo andar da estrutura do protótipo, foram fixadas todas as placas do sistema de controlo, descritas na secção 5.3. Toda a

alimentação necessária para as placas de controlo são provenientes dos conectores fixados no andar de potência.

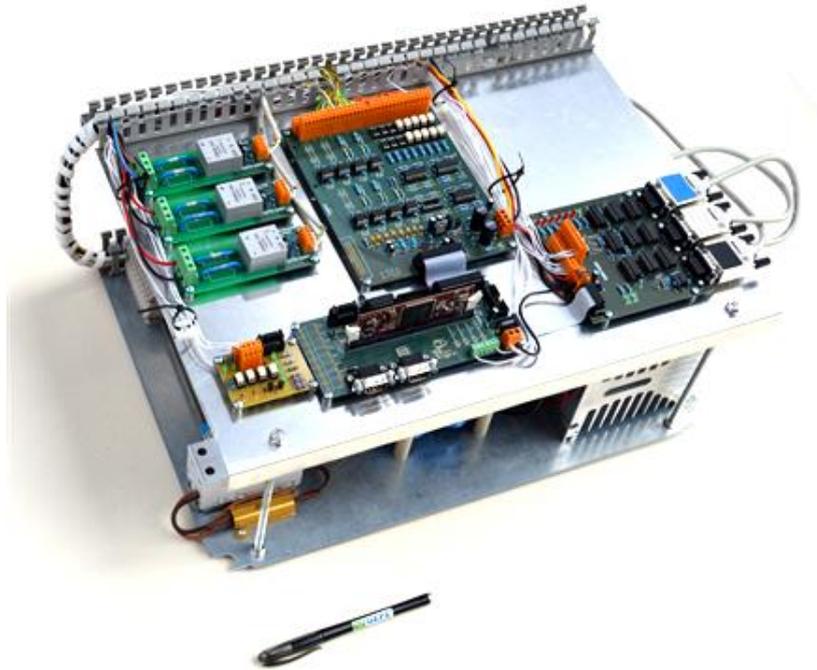


Figura 5.21 – Estrutura completa do protótipo implementado.

5.5. Conclusão

Neste capítulo foi apresentado todo o hardware desenvolvido para a construção do protótipo de filtro ativo paralelo com inversor multinível, este foi dividido em duas categorias, as placas pertencentes ao andar de potência que são ligadas diretamente à rede, e as placas do andar de controlo utilizadas para controlar o sistema, bem como para adquirir os sinais necessários.

Relativamente ao andar de potência, foi inicialmente apresentada a placa do inversor multinível e especificados os semicondutores utilizados, demonstrando a forma como estes foram fixados ao dissipador e conectados à placa de circuito impresso. Foram descritos os circuitos de proteção de *gate* aplicados nos IGBTs de modo a proteger o semicondutor e a evitar comutações indesejadas. Ainda relativo à placa do inversor de potência foi também descrita a constituição do barramento CC, que contém dois conjuntos de condensadores ligados em série com o ponto médio ligado ao ponto neutro do NPC, a cada um dos conjuntos foi aplicada uma resistência de potência em paralelo para a equalização das tensões. Foi ainda descrito e ilustrado o circuito de acoplamento do inversor multinível com a rede elétrica, este é composto pelo circuito de pré-carga do barramento CC e pelas bobinas de acoplamento.

Ainda no andar de potência foram apresentadas as placas de *driver*, que foram testadas em circuito aberto, de forma a confirmar o seu correto funcionamento obtendo-se à saída os valores de tensões $\pm 15\text{V}$ como era pretendido, para além da comutação dos IGBTs as placas de *driver* são também responsáveis por isolar a eletrónica de potência da parte de controlo.

No andar de controlo foram inicialmente apresentados os sensores utilizados para adquirir os sinais necessários para a execução dos algoritmos de controlo do sistema bem como o dimensionamento dos circuitos de condicionamento de sinal associados. Em seguida foi descrita a placa do ADC externo e o dimensionamento dos componentes que a constituem. Para validar o correto funcionamento dos circuitos, nomeadamente da deteção de erros por hardware foi utilizado um gerador de sinais para emular os sensores, e foi monitorizado se o sinal de erro era atuado de acordo com os limites especificados.

Para elemento central de todo o controlo digital implementado foi escolhido um DSC da *Texas Instruments* o *TMS320F28335*. O DSC escolhido é montado numa placa de suporte desenvolvida para facilitar as ligações com os restantes módulos. Inicialmente foi testada a comunicação do DSC com os restantes módulos tendo sido necessário proceder à correção de pequenos erros de *offset* no sinal adquiridos de cada sensor.

Por fim, foi descrita a placa de comando, que faz a interface entre os sinais de PWM gerados pelo DSC e as placas de *driver* dos IGBTs, bem como dos circuitos de habilitação das comutações. Esta placa foi inicialmente testada em circuito aberto por forma a validar o seu funcionamento nomeadamente a conversão de lógica TTL de 3,3 V utilizada pelo DSC para lógica CMOS de 15 V utilizada pela placa de *drive*. Durante o teste foi também verificado se o *dead-time* introduzido nos pares complementares de PWM não estava a ser afetado pelos circuitos lógicos utilizados na conversão de nível.

CAPÍTULO 6

Resultados Experimentais do Filtro Ativo Paralelo Monofásico com Inversor Multinível

6.1. Introdução

Neste capítulo são apresentados os resultados experimentais obtidos com o protótipo de filtro ativo paralelo desenvolvido, bem como os procedimentos seguidos para os alcançar. Em primeiro lugar foi testada individualmente cada uma das partes do sistema de controlo. Estes testes foram conseguidos com o auxílio da placa DAC apresentada na secção 5.3.7 que possibilita a visualização das variáveis calculadas pelo DSC em tempo real, com a ajuda de um osciloscópio.

A modulação do inversor foi inicialmente testada em malha aberta, com a finalidade de confirmar o funcionamento correto do hardware de potência. Posteriormente foi testado todo o sistema do filtro ativo paralelo monofásico na compensação de problemas na Qualidade de Energia Elétrica (QEE) com diversos tipos de carga.

Para todos os testes efetuados foram indispensáveis um conjunto de equipamentos existentes no laboratório do GEPE, tais como transformadores, osciloscópios e outros aparelhos de medição, fontes de tensão com controlo de corrente, geradores de sinais entre outros.

6.2. Resultados Experimentais da PLL

Os resultados apresentados na Figura 6.1 correspondem à PLL implementada a partir do código utilizado nas simulações, estes resultados são provenientes da variável calculada pelo controlo da PLL e gerados pela placa DAC fazendo o sinal variar entre ± 5 V. A tensão vinda da rede é medida na resistência R_m da placa de condicionamento de sinal que varia entre $\pm 2,5$, sendo por isso utilizada uma escala duas vezes maior para o sinal medido em R_m .

A Figura 6.1(a) apresenta a tensão da rede na resistência de medida e o sinal gerado pelo DAC que corresponde ao sinal de PLL a ser calculado, pode-se verificar que o sinal

sincroniza a fase rapidamente e vai aumentando gradualmente a amplitude, a amplitude do sinal irá aumentar até atingir a amplitude da tensão da rede. Na Figura 6.1(b) verifica-se o sinal calculado pelo controlo da PLL já estabilizado e seguindo perfeitamente a fase e a amplitude da tensão medida, mas com um sinal sinusoidal e não distorcido como a tensão da rede.

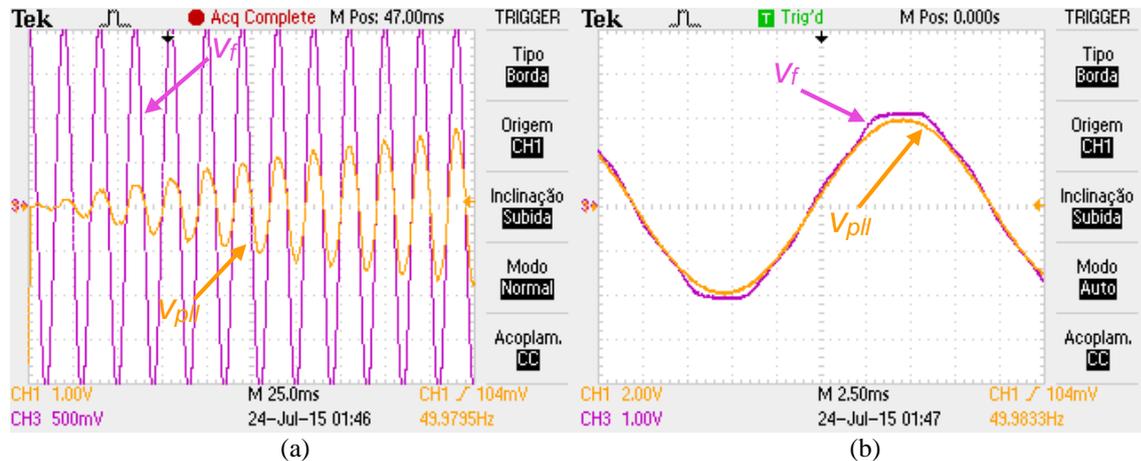


Figura 6.1 – Resultados experimentais do algoritmo da PLL:

(a) Transitório de sincronização da PLL; (b) Resultado da PLL em regime permanente.

Na Figura 6.2 estão apresentadas as tensões e correntes no domínio α e β . Tal como descrito na secção 3.4.1, a teoria $p-q$ utiliza as variáveis nas coordenadas α e β para efetuar os cálculos das correntes de compensação do filtro ativo paralelo. Na secção 4.4.1 quando foi simulada a teoria $p-q$ foi utilizada a tensão e a corrente da rede como a coordenada α e utilizou-se uma malha de atraso de 270° para obter as coordenadas β . Tratando-se de sinais periódicos, o desfasamento de $+270^\circ$ tem o mesmo efeito que adiantar o sinal 90° . Para utilizar um *array* de menor tamanho e poupar recursos do DSC optou-se por manter a coordenada β como sinal original e atrasar os sinais 90° para obter a coordenada α . Posteriormente a corrente de compensação é calculada a partir da corrente i_β . As tensões v_α e v_β são obtidas através do diagrama de blocos da Figura 4.5 com a alteração efetuada, a tensão v_β é obtida a partir de $\text{sen}(\omega t)$ e a tensão v_α através de $-\text{cos}(\omega t)$.

Na Figura 6.2(a) estão representadas as tensões da PLL v_α e v_β como também a tensão da rede. A Figura 6.2(b) apresenta a corrente de uma carga resistiva ligada à rede, bem como as correntes calculadas pelo DSC i_α e i_β . O desfasamento entre i_α e i_β é conseguido a partir do armazenamento dos valores de corrente adquiridos num *array* e posterior leitura com o atraso pretendido. Em ambos os casos é possível observar que a coordenada α possui um atraso de 90° em relação a coordenada β , tal como pretendido.

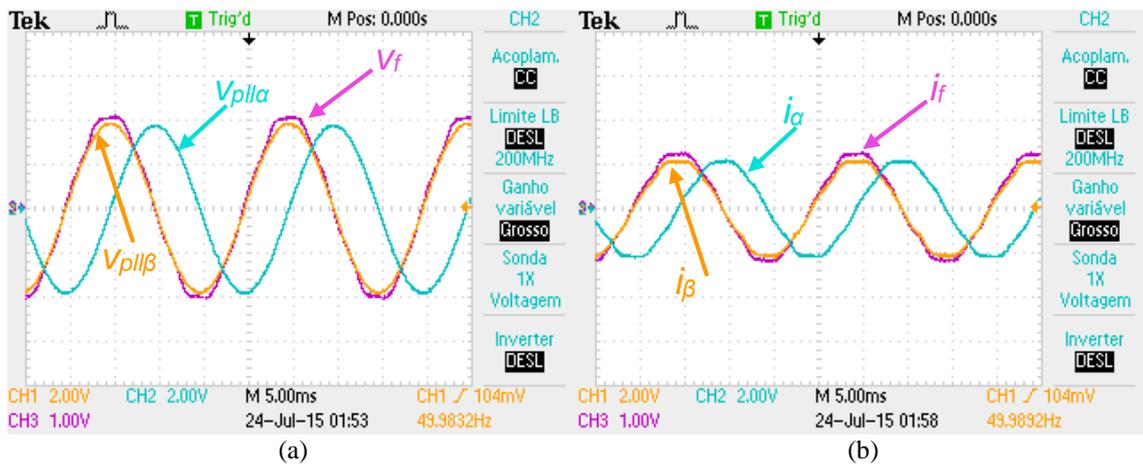


Figura 6.2 – Sinais calculados no sistema de coordenadas α e β :
 (a) Tensões $v_{p1\alpha}$ e $v_{p1\beta}$; (b) Correntes i_{α} e i_{β} .

6.3. Resultados da Teoria $p-q$

Nesta secção são apresentados os resultados dos cálculos da teoria $p-q$, para tal foi ligada uma carga à rede, e foi medida a tensão e a corrente da carga. Depois de adquiridos estes sinais, são obtidas através da função PLL as tensões e as correntes nas coordenadas α e β , sendo em seguida efetuados os cálculos da teoria $p-q$. Como foi referido na secção 6.2, para a poupar recursos do DSC a corrente de compensação foi calculada a partir de i_{β} , sendo então utilizada a equação (6.1) em vez da equação (3.20).

$$i_{comp} = \frac{1}{v_{\alpha}^2 + v_{\beta}^2} \begin{bmatrix} v_{\beta} & v_{\alpha} \end{bmatrix} \begin{bmatrix} -\bar{p} \\ -q \end{bmatrix} \quad (6.1)$$

Na Figura 6.3 está apresentada a corrente de um retificador com carga RC, i_c , a corrente de compensação calculada pela teoria $p-q$, i_{comp} , e a corrente teórica na fonte, i_f . Como referido anteriormente na secção 4.4.1 é possível verificar teoricamente a corrente obtida na rede depois da corrente de compensação gerada ser injetada, isto é conseguido através da subtração da corrente de compensação à corrente da carga. Para tal foi utilizada uma funcionalidade *math* disponível no osciloscópio *Tectronix* usado. Esta funcionalidade permite visualizar o sinal resultante da subtração de dois canais do osciloscópio, possibilitando assim na Figura 6.3 a visualização do sinal resultante da subtração da corrente de compensação à corrente da carga. É possível verificar que o sinal teórico da rede resulta numa forma de onda praticamente sinusoidal, validando assim os cálculos da teoria $p-q$ implementada com a alteração introduzida com o objetivo de poupar os recursos do DSC.

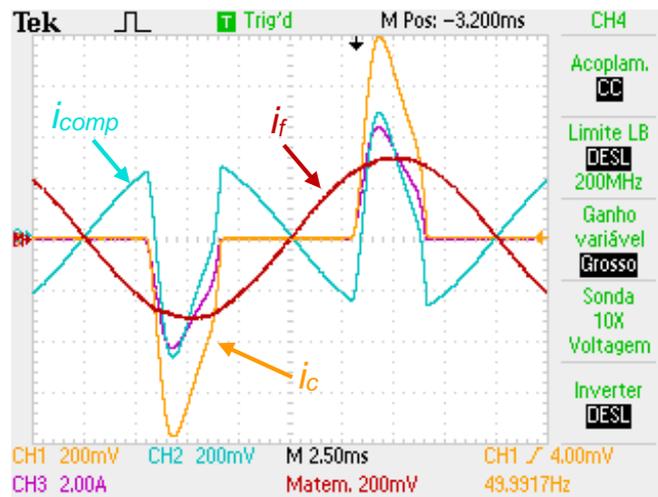


Figura 6.3 – Resultados experimentais da teoria de controlo do filtro ativo paralelo para compensar uma carga constituída por retificador com carga RC.

Para avaliar os cálculos da teoria $p-q$, como também a qualidade da aquisição de sinal foi testada uma carga com uma distorção harmónica reduzida. Na Figura 6.4 está apresentada a corrente de uma carga resistiva ligada à rede, tal como já referido anteriormente é possível verificar que mesmo utilizando uma carga linear, como uma resistência, caso a tensão na carga seja distorcida a corrente da carga será também distorcida. Como é possível verificar na Figura 6.4(a) a corrente da carga resistiva contém uma distorção reduzida e a corrente de compensação é quase inexistente. Este resultado vai de encontro ao que era esperado para esta situação. Na Figura 6.4(b) é apresentada a corrente da carga e a corrente teórica da rede, validando-se a qualidade da aquisição do sinal com os cálculos da teoria $p-q$, pois a corrente resultante da subtração da corrente calculada e a corrente da carga apresenta-se praticamente sinusoidal.

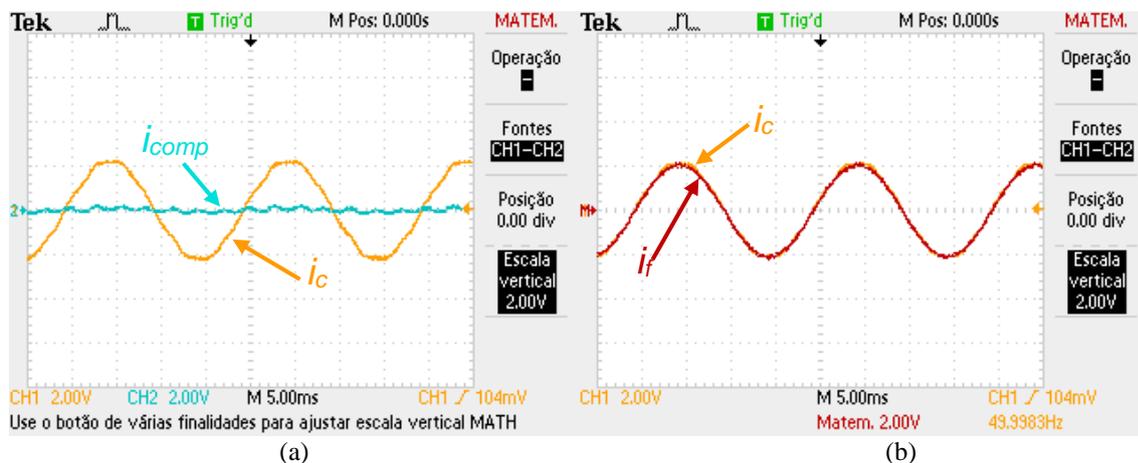


Figura 6.4 – Resultados experimentais da teoria de controlo do filtro ativo paralelo para compensar uma carga puramente resistiva: (a) Corrente da carga e corrente de compensação; (b) Corrente da carga e corrente teórica na fonte.

6.4. Resultados da Técnica de Modulação

Para testar a técnica de modulação foi utilizada uma senoide com uma frequência de 50 Hz e uma amplitude de forma a não ter pulsos com um *duty-cycle* de 100%. Na Figura 6.5 é possível observar a forma de onda modulada pelo inversor e a senoide de referência, verificando-se os cinco níveis da modulação a acompanhar o sinal de referência.

A modulação do inversor foi testada em malha aberta, e o barramento CC alimentado por uma fonte externa com limitação de corrente, com a finalidade de proteger o circuito de qualquer eventual erro que poderia ocorrer nas comutações dos IGBTs nesta fase experimental.

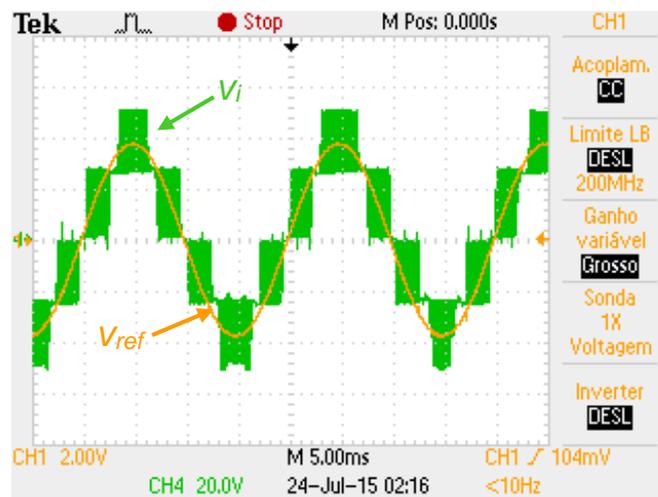


Figura 6.5 – Resultados experimentais da modulação de uma tensão em malha aberta.

Para evitar comutações desnecessárias dos semicondutores do inversor, foi necessária implementar de uma margem de histerese em torno do zero do sinal de referência, para que ocorra somente uma transição por zero. Caso esta margem não seja implementada, a comutação da transição por zero pode ocorrer várias vezes na mesma transição, devido ao ruído existente nos sinais. Para tal, é necessário que a banda considerada seja superior ao ruído, pois na transição do sinal de positivo para negativo e vice-versa são comutados os três pares de IGBTs do inversor. Com a repetição desta comutação num curto espaço de tempo ocorre um aumento significativo nas perdas de comutações e existe a possibilidade de picos de tensão, pois numa série de comutações dos seis IGBTs em simultâneo causa muitas perturbações no inversor.

6.5. Resultados da Técnica de Controlo de Corrente

Nesta secção são apresentados vários resultados obtidos nos testes do controlo de corrente com o conjunto de bobinas apresentadas na secção 5.2.1. Como já foi referido anteriormente as bobinas ligadas em série possuem uma indutância equivalente de 1,6 mH a 20 kHz, frequência utilizada para a modulação do sinal. Para efetuar o teste ao controlo de corrente foi utilizada uma carga resistiva, de forma a fechar o circuito do inversor pela bobina de acoplamento. Durante este teste o inversor não está ligado em paralelo com a rede, assim, a equação (2.10) do controlo de corrente referida na secção 2.7.2 sofre uma pequena alteração. A tensão do inversor será apenas correspondente à soma da queda de tensão na indutância e na carga resistiva, sem a adição da tensão da rede, que seria necessária adicionar caso o sistema estivesse a funcionar normalmente.

Na Figura 6.6 estão apresentados os resultados do controlo de corrente ao usar como referência uma senoide de 2 A de amplitude. Na Figura 6.6(a) foi utilizada uma senoide com uma frequência de 50 Hz e na Figura 6.6(b) uma senoide com uma frequência de 100 Hz. Essas figuras apresentam a corrente produzida pelo inversor e a corrente de referência gerada pelo DSC. É possível verificar que os sinais estão totalmente sobrepostos, ou seja, a corrente produzida acompanha exemplarmente a corrente de referência. É possível também visualizar nessas figuras que a corrente produzida pelo inversor apresenta um *ripple* consideravelmente baixo.

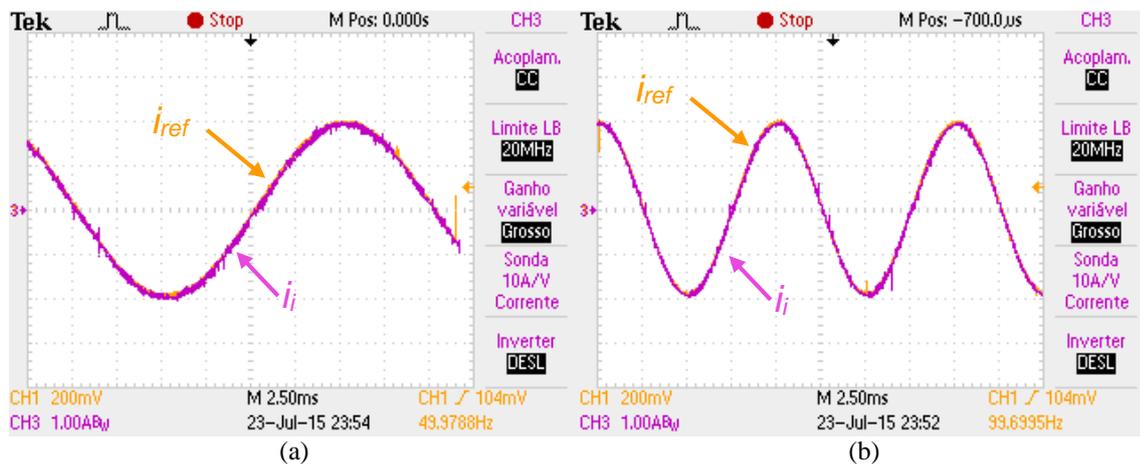


Figura 6.6 – Resultados experimentais do controlo de corrente com referências sinusoidais com amplitude de 2 A: (a) Senoide com frequência de 50 Hz; (b) Senoide com frequência de 100 Hz.

Depois de validar o controlo de corrente para frequências diferentes, este também foi testado com sinais de amplitude diferente. Para este teste foi utilizado o mesmo circuito com a mesma carga resistiva, bem como uma referência sinusoidal com uma frequência de 50 Hz e uma amplitude de 1 A.

Na Figura 6.7 está apresentado o resultado obtido com uma referencia sinusoidal com a amplitude de 1 A. Pode observar-se que mais uma vez, a corrente de referência e a corrente produzida pelo inversor se sobrepõem completamente. Neste resultado, o *ripple* da corrente produzida mantém-se baixo, e embora a corrente pareça apresentar *ripple* maior, isto deve-se ao aumento da escala do osciloscópio para uma melhor visualização dos sinais.

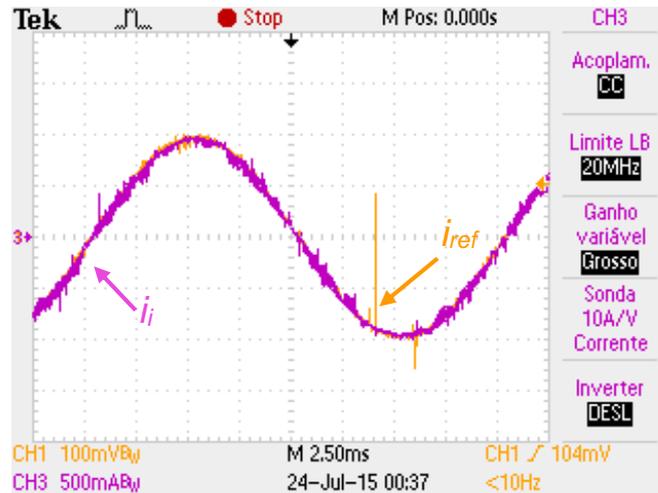


Figura 6.7 – Resultados experimentais do controlo de corrente com uma referência sinusoidal com frequência de 50 Hz e amplitude de 1 A.

6.6. Resultados do Filtro Ativo Paralelo com Diferentes Cargas

Nesta secção são apresentados os resultados do filtro ativo paralelo a operar em regime permanente com diferentes tipos de cargas, num sistema monofásico com uma tensão eficaz de 50 V. O sistema elétrico de 50 V foi conseguido inicialmente através de um autotransformador variável. Por motivos de segurança, na fase de validação do FAPP com cargas foi utilizado um transformador para reduzir a tensão da rede elétrica e ao mesmo tempo assegurar isolamento galvânico. Em primeiro lugar são apresentados os resultados do balanceamento da tensão nos condensadores do barramento CC incluindo a pré-carga. Posteriormente é apresentada a compensação do filtro ativo paralelo a compensar uma carga RL. Por último acrescentou-se um retificador com carga RC o sistema monofásico. Para todas estas cargas é apresentado o espectro harmónico e os valores do THD da corrente da rede antes e depois da compensação.

6.6.1. Resultado do Balanceamento das tensões no Barramento CC

O sistema é iniciado através do autotransformador variável com uma tensão próxima de 0 V, posteriormente a tensão é elevada gradualmente até aos 35 V eficazes.

Com esta elevação não existe o pico de corrente inicial causado pelos condensadores do barramento-CC. Quando a tensão dos condensadores fica estabilizada são habilitadas as comutações na placa de comando e ao mesmo tempo acionado algoritmo de balanceamento do barramento-CC. A habilitação das comutações deve ser realizada ao mesmo tempo que é iniciado o controlo de balanceamento do barramento CC, para evitar que o somatório do erro aumente de forma descontrolada antes do inversor começar a funcionar.

Na Figura 6.8 estão apresentadas as tensões dos dois conjuntos de condensadores do barramento CC bem como a corrente produzida. Nessa figura é possível visualizar o valor médio da tensão em cada conjunto através de uma função de medida do osciloscópio *Tectronix*.

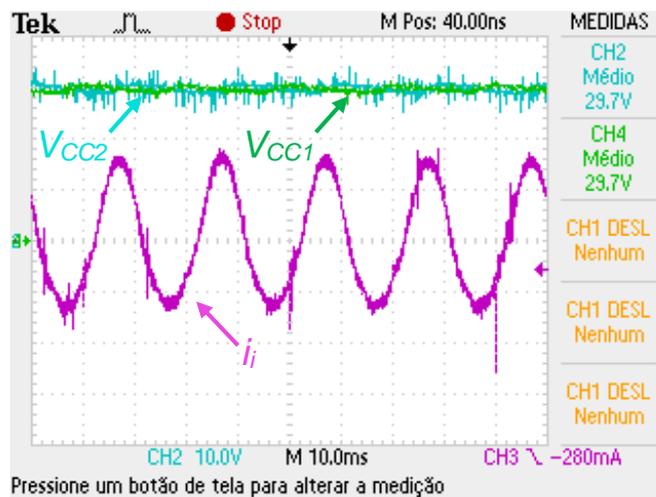


Figura 6.8 – Resultados experimentais do balanceamento das tensões no barramento-CC.

Como é demonstrado na Figura 6.8 a corrente produzida tem um pico de aproximadamente de 500 mA, um valor superior ao valor esperado teoricamente, isto deve-se às perdas dos componentes do sistema, como é o caso dos semicondutores, bobinas de acoplamento à rede, entre outros.

Depois de verificado o funcionamento do controlo para o balanceamento das tensões no barramento CC, foi aumentada a tensão eficaz na saída do autotransformador variável para 50 V.

Na Figura 6.9 estão apresentadas as tensões no barramento CC, inicialmente com o FAPP desligado da rede e com os condensadores completamente descarregados. Depois de fechado o contacto de ligação à rede, o barramento CC começa a ser carregado através da resistência de pré-carga em série com o inversor multinível. Quando a tensão no barramento CC estabiliza é efetuado um *bypass* à resistência de pré-carga, para que esta

deixe de estar em série com o FAPP. Neste ponto a tensão do barramento CC encontra-se no valor de pico da tensão da rede, aproximadamente 70 V, ou seja, 35 V em cada conjunto de condensadores. Posto isto, é dado início à regulação do barramento CC através do interruptor de *enable* da placa de comando, também ligado à placa de I/O. Desta forma são habilitadas as comutações do inversor, bem como inicializadas todas as variáveis do algoritmo de controlo.

É possível observar na Figura 6.9 que as tensões aumentam de uma forma controlada, estabilizando nos 50 V em cada conjunto de condensadores, resultando numa tensão total de 100 V no barramento CC. As tensões nos dois conjuntos de condensadores mantêm um valor idêntico devido aos dois controladores PI utilizados para esta função.

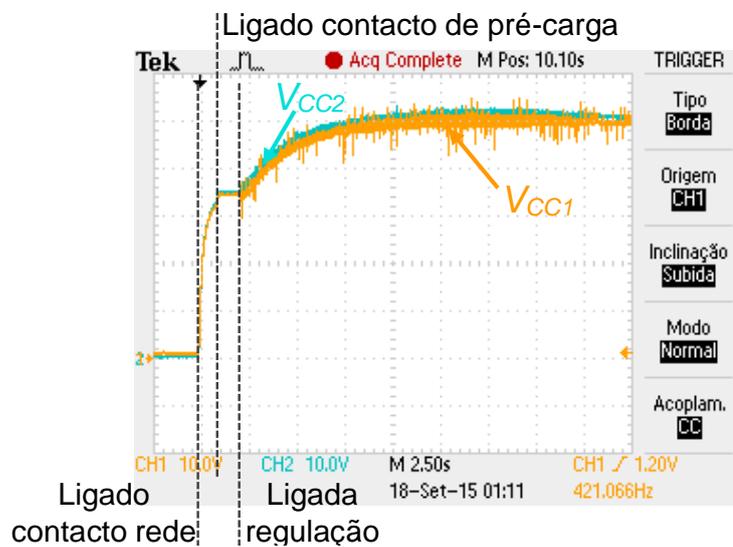


Figura 6.9 – Resultados experimentais da pré-carga e balanceamento das tensões no barramento-CC.

6.6.2. Resultados Experimentais do Filtro Ativo Paralelo com Carga RL

Para realizar os testes do filtro ativo paralelo, foi utilizado um transformador para baixar a tensão da rede para 50 V, em vez do autotransformador variável. Desta forma é possível reduzir a impedância de linha e isolar galvanicamente o sistema da rede.

Na Figura 6.10 estão ilustradas a tensão e a corrente do sistema monofásico com carga RL. Na Figura 6.10(a) é possível visualizar a tensão e corrente na carga que apresenta um desfasamento de $41,72^\circ$ resultando num fator de potência de 0.74. Na Figura 6.10(b) está apresentado o espectro harmónico da corrente na carga RL, onde se pode verificar que esta tem um valor eficaz de 6,38 A.

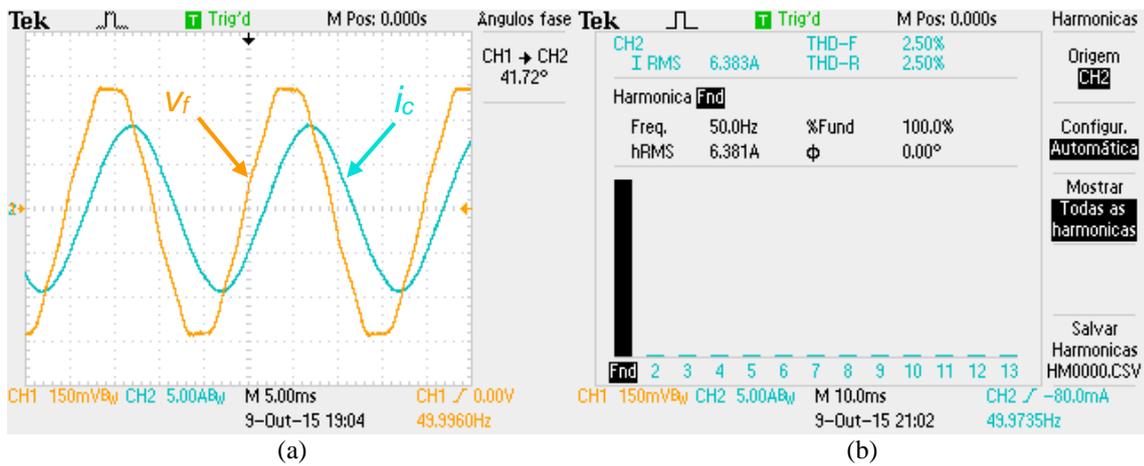


Figura 6.10 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e da corrente da carga; (b) Espectro harmônico da corrente na carga.

Na Figura 6.11(a) é possível visualizar a corrente sintetizada pelo inversor multinível para a compensação do fator de potência da carga RL. A Figura 6.11(b) apresenta o espectro harmónico da corrente de compensação, podendo visualizar-se que esta possui um valor de THD baixo e muito idêntico ao da carga.

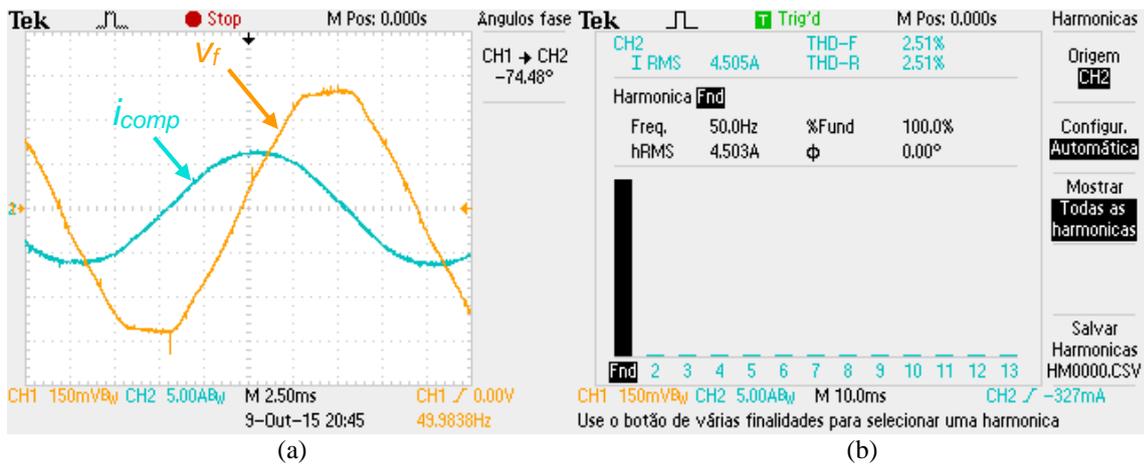


Figura 6.11 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e da corrente do FAPP; (b) Espectro harmónico da corrente do FAPP

Na Figura 6.12 é apresentada a tensão e a corrente em regime permanente no sistema monofásico já compensado. Na Figura 6.12(a) é possível verificar que a corrente na fonte é sinusoidal e está praticamente em fase com a tensão, com um pequeno desfasamento de $0,54^\circ$ correspondendo a um fator de potência de 0,99. A Figura 6.12(b) apresenta o espectro harmónico da corrente na fonte, onde é possível observar, uma redução do seu valor eficaz. Tal como esperado, ocorre um ligeiro aumento no THD da corrente, provocado pelo ruído de comutação dos IGBTs.

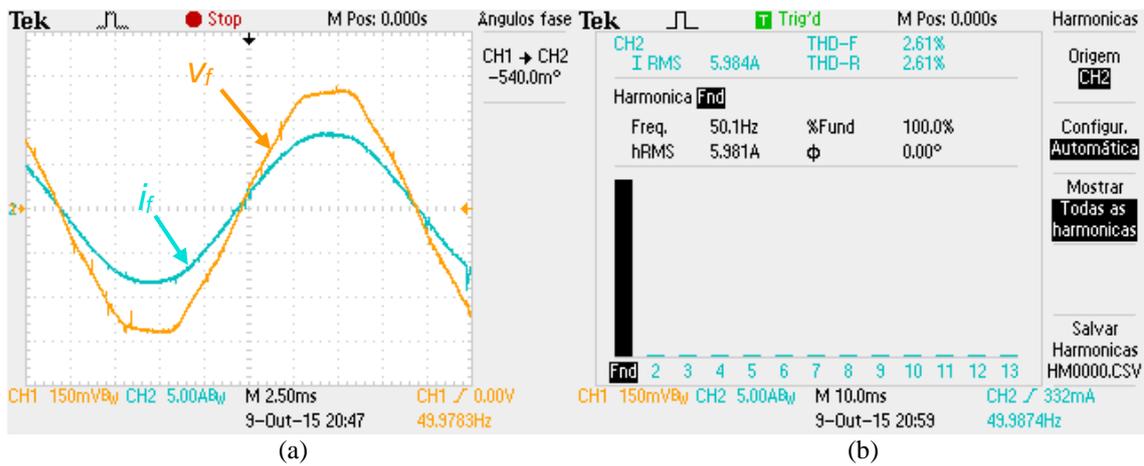


Figura 6.12 – Resultados experimentais do filtro ativo paralelo com carga RL: (a) Formas de onda da tensão e corrente na fonte; (b) Espectro harmónico da corrente na fonte.

6.6.3. Resultados Experimentais do Filtro Ativo Paralelo com Retificador

De forma a validar o funcionamento do filtro ativo paralelo a compensar correntes distorcidas, foi utilizado um retificador com carga RC. A Figura 6.13(a) exhibe a tensão e a corrente da carga utilizada. Nessa figura é perfeitamente visível que a corrente é bastante distorcida, tal como é possível observar no espectro harmónico apresentado na Figura 6.13(b) a corrente do retificador possui um valor eficaz de 7,365 A e uma THD de 44,3%.

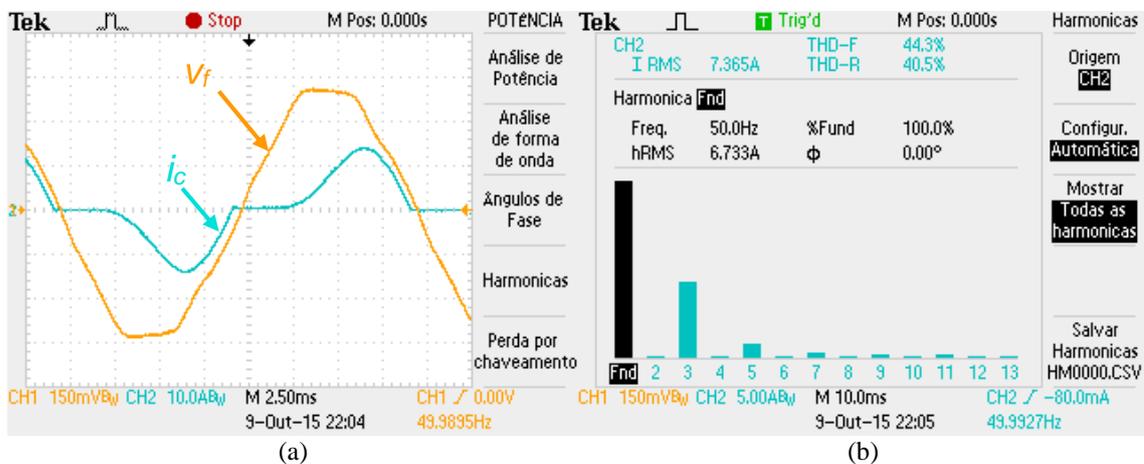


Figura 6.13 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente na carga; (b) Espectro harmónico da corrente da carga.

Na Figura 6.14(a) está apresentada a corrente de compensação sintetizada pelo inversor multinível, podendo observar-se também o seu espectro harmónico na Figura 6.14(b).

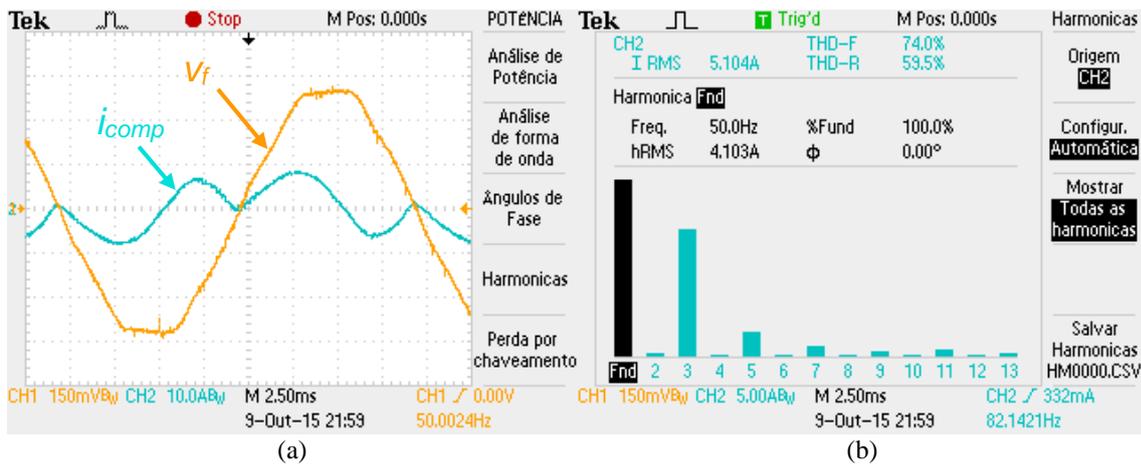


Figura 6.14 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente no FAPP; (b) Espetro harmónico da corrente do FAPP.

Na Figura 6.15 é apresentada o resultado da compensação realizada pelo filtro ativo paralelo. A corrente da fonte exibida na Figura 6.15(a) apresenta uma forma praticamente sinusoidal e encontra-se em fase com a tensão. Na Figura 6.15(b) é possível verificar-se que a THD desta corrente é bastante reduzida, apresentando um valor de 2,2%.

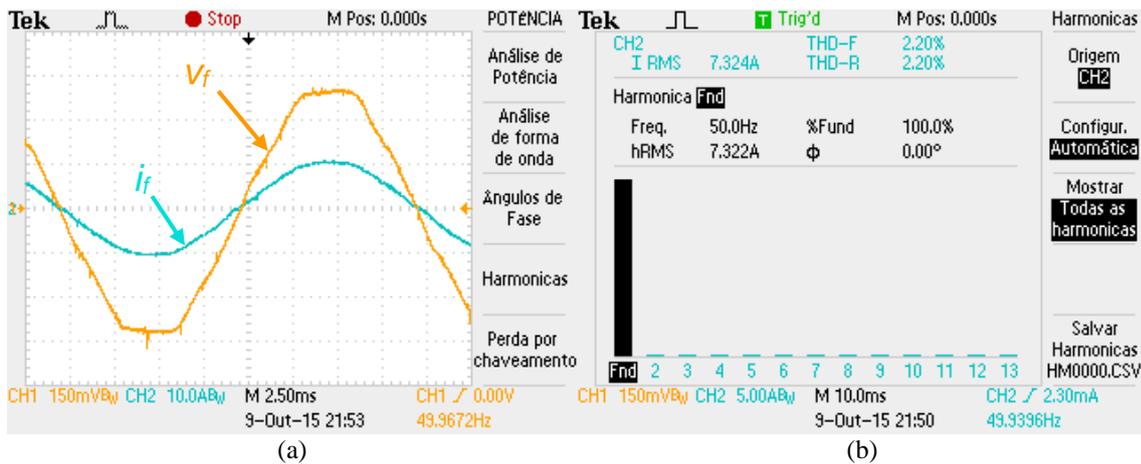


Figura 6.15 – Resultados experimentais do filtro ativo paralelo com retificador: (a) Formas de onda da tensão e da corrente na fonte; (b) Espetro harmónico da corrente na fonte.

6.7. Conclusão

Neste capítulo foram apresentados os resultados obtidos desde os testes iniciais ao sistema de controlo até aos finais com o sistema completo. Tal como foi realizado ao longo do Capítulo 4, neste capítulo foram apresentados os resultados de cada parte do controlo em separado, começando pela aquisição da tensão e corrente da carga para validar o funcionamento da PLL, e os cálculos da teoria $p-q$.

Em seguida foi testada a técnica de modulação do inversor em malha aberta.

Por último, foi fechada a malha de realimentação do sistema para testar o controlo de corrente preditivo escolhido, produzindo correntes sinusoidais com diferentes frequências e amplitudes.

Os testes realizados com o sistema completo passaram pela verificação do balanceamento do barramento CC num sistema elétrico com uma tensão eficaz de 35 V, e posteriormente a verificação do circuito de pré-carga já num sistema com uma tensão eficaz de 50 V. Depois da validação deste controlo foi possível proceder-se à validação do filtro ativo paralelo na compensação de cargas. Nesta fase para baixar a tensão da rede foi substituído o autotransformador variável por um transformador, obtendo-se desta forma um isolamento galvânico da rede elétrica. Primeiramente foi utilizada uma carga RL, onde o filtro ativo paralelo corrigiu o fator de potência para a unidade. Depois foi testado utilizado um retificador com carga RC, para testar a compensação de correntes distorcidas. Com os resultados obtidos verificou-se uma redução da distorção harmónica de 44,3% para 2,2% de THD. Contudo o valor eficaz da corrente compensada manteve-se idêntico ao da carga. Isto deve-se sobretudo às perdas de operação do filtro ativo paralelo. No entanto, a eficiência deste equipamento será maior quando operar aos valores nominais de tensão e corrente. Nessa situação será mais notória a redução do valor eficaz da corrente da fonte resultante da compensação dos harmónicos de corrente.

CAPÍTULO 7

Conclusão

7.1. Conclusões

Nesta dissertação de mestrado foi desenvolvido um inversor multinível monofásico de cinco níveis. O inversor desenvolvido foi testado a funcionar como filtro ativo de potência paralelo (FAPP), de forma a compensar os harmónicos de corrente e o fator de potência da instalação. Este trabalho teve como principal objetivo o desenvolvimento de um inversor multinível, com a finalidade de tirar proveito das suas características numa aplicação de baixa potência. Para tal, foi escolhido como aplicação um FAPP monofásico, permitindo explorar a qualidade da corrente gerada pelo inversor. Esta qualidade não é conseguida pelo aumento de frequência de comutação, mas sim, através de um aumento no número de níveis de tensão sintetizados.

Ao longo deste documento foi apresentado todo o procedimento que permitiu o desenvolvimento do trabalho, sendo nesta secção apresentadas de uma maneira objetiva as principais ideias e conclusões de cada etapa realizada.

Primeiramente no Capítulo 2, foram descritas as principais topologias de inversores multinível, nomeadamente as topologias DCMLI, FCMLI e CCMLI. Apresentando-se também os estados válidos que estes podem assumir, bem como os caminhos que a corrente percorre em cada estado, de maneira a perceber como cada topologia funciona.

Para cada uma das topologias descritas foram também apresentados os tipos de modulação PWM mais adequados, nomeadamente, a modulação com distribuição vertical das portadoras e a modulação com desfasamento das portadoras.

Foi ainda descrito com maior detalhe o funcionamento de dois inversores multinível híbridos, um derivado da topologia CCMLI possuindo assimetria no valor do barramento CC das diferentes células e o segundo, derivado da topologia DCMLI que apresenta uma assimetria entre os braços de uma ponte completa.

Por fim, foram descritos alguns controlos de corrente que podem ser aplicados com topologias multinível. Os controladores lineares não necessitam de qualquer adaptação, pois esta é feita a partir da modulação. Nos controladores não lineares, estes são adaptados a cada topologia de conversor através da máquina de estados. Relativamente a este tipo

de controladores foi apresentado o controlo de corrente por histerese, com a exibição de diversos métodos para a sua adaptação.

No Capítulo 3 foram abordados os filtros ativos de potência, sendo realizada uma breve introdução aos FAPP, FAPS e UPQC. Apresentando o seu princípio de funcionamento, como também algumas das possíveis configurações que estes podem adotar. Posteriormente e de um modo mais aprofundado, foi elaborado um estudo sobre os FAPP, descrevendo algumas das teorias de controlo que lhes podem ser aplicadas, estas, por sua vez, podem estar representadas no domínio do tempo ou da frequência.

Posteriormente no Capítulo 4 com base nos estudos anteriores, foi selecionada a topologia de inversor a implementar, tal como a técnica de modulação e controlo de corrente a este associados. Em seguida, recorreu-se à ferramenta de simulação *PSIM*, com o propósito de testar e validar as opções escolhidas.

Inicialmente todas as partes do sistema foram validadas de forma isolada, nomeadamente, os estados do inversor, a técnica de modulação adaptada para o inversor e o controlo de corrente, bem como todos os algoritmos que formam a teoria de controlo do FAPP. Em seguida, foi testado o sistema completo, validando-o com diferentes cargas, obtendo-se os resultados pretendidos. Em relação às cargas com uma distorção harmónica alta, obteve-se através da compensação do FAPP, uma corrente na rede praticamente sinusoidal e com fator de potência quase unitário. Foi ainda no mesmo tipo de carga validada uma resposta rápida do controlo à entrada e saída de outras cargas não lineares. No que diz respeito a cargas lineares que criam desfasamento entre a corrente e a tensão da fase, foi alcançado um fator de potência praticamente unitário com a compensação do FAPP. Para todas as cargas usadas no sistema, o valor eficaz da corrente baixa com o FAPP em operação.

Depois de simulado e validado todo o sistema, procedeu-se à implementação do inversor e de todas as placas necessárias para o seu sistema digital de controlo. Todo o procedimento da implementação do protótipo laboratorial é descrito no Capítulo 5, que foi dividido em duas partes, nomeadamente o andar de potência e o andar de controlo. No andar de potência a placa do inversor foi integralmente concebida para este trabalho, as placas de *driver* tiveram o seu *layout* redesenhado para um melhor funcionamento. Relativamente ao andar de controlo todas as placas utilizadas já existiam no laboratório do GEPE. Estas encontravam-se preparadas para uma utilização geral, sendo necessário proceder ao dimensionamento de alguns dos seus componentes, de forma a adaptarem-se ao sistema implementado.

Toda a implementação validação dos algoritmos de controlo é descrita ao longo do Capítulo 6. Esta tarefa foi realizada recorrendo às mesmas etapas realizadas nas simulações descritas no Capítulo 4. De forma a fechar a malha de controlo do sistema, foi inicialmente utilizada uma fonte de tensão CC para alimentar o barramento CC do inversor, evitando-se deste modo qualquer problema que pudesse surgir. O inversor foi posteriormente ligado à rede através de um autotransformador variável, com a finalidade de baixar a tensão do lado do FAPP. Posteriormente a fonte de tensão CC foi removida e a tensão no sistema foi aumentada gradualmente, de forma, a originar um género de pré-carga aos condensadores do barramento CC e em seguida testar o algoritmo de regulação de tensão. Depois da regulação do barramento CC estar validada, a ligação do FAPP à rede passou a ser realizada com recurso ao circuito de pré-carga apresentado na Figura 5.5. Após a certificação de todo o sistema, este foi testado com diversas cargas com uma tensão eficaz de 50 V, obtendo-se os resultados pretendidos.

7.2. Sugestões para Trabalho Futuro

Os resultados obtidos com inversor multinível a funcionar como FAPP permitiram validar todo o sistema, tendo sido alcançados bons resultados para os 50 V de tensão na rede.

Apesar dos bons resultados obtidos existem alguns pontos do trabalho que podem ser explorados por forma a melhorar o desempenho do inversor multinível desenvolvido. Com os resultados obtidos verificou-se que o desempenho do filtro dependia ligeiramente das frequências da corrente de compensação. Verificou-se que esta alteração no desempenho era provocada pela alteração no valor de indutância da bobina de acoplamento à rede. Assim sendo, sugere-se a investigação e implementação de um controlo de corrente, que tenha em consideração a alteração do valor da indutância com a frequência das correntes produzidas.

Em alguns dos resultados obtidos verifica-se uma tendência para a existência de ressonâncias com o filtro de saída utilizado. Assim, sugere-se o redimensionamento de todo filtro de acoplamento, com o intuito de reduzir a variação do valor da indutância, mas também filtrar melhor a frequência de comutação e evitar ressonâncias.

Como na topologia utilizada os semicondutores no braço DCMLI não têm de suportar a tensão total do barramento CC. Poderá tornar-se interessante a substituição dos IGBTs utilizados por MOSFETs permitindo diminuir as perdas na comutação deste braço, concedendo margem para aumentar a frequência de comutação. Estas alterações

proporcionariam assim a sintetização de uma corrente com melhor qualidade, sem aumentar significativamente as perdas de comutação.

De forma a melhorar a segurança do protótipo desenvolvido, sugere-se que este seja colocado dentro de um quadro elétrico, deixando somente acessíveis os interruptores e fichas necessárias para ligação à rede.

Para a implementação do protótipo laboratorial do FAPP foram utilizadas placas de comando genéricas já existentes no laboratório do GEPE. Para a redução das dimensões do FAPP poderão ser redesenhadas e agrupadas todas as placas de controlo utilizadas, direcionando-as a este sistema concreto.

Por último, de forma a aferir todas as potencialidades do inversor desenvolvido, devem ser realizados testes com tensões progressivamente maiores até serem atingidos os valores nominais da rede, para posteriormente serem observadas as condições do FAPP em regime nominal. Nestas condições deve verificar-se a temperatura de todos os componentes, de forma a garantir a durabilidade de todo o sistema.

Referências

- [1] J. L., J. G., and H. Goncalves, “Active Power Conditioners to Mitigate Power Quality Problems in Industrial Facilities,” in *Power Quality Issues*, InTech, 2013.
- [2] J. Dixon and L. Moran, “High-level multistep inverter optimization using a minimum number of power transistors,” *IEEE Trans. Power Electron.*, vol. 21, no. 2, pp. 330–337, Mar. 2006.
- [3] T. L. Skvarenina, “The Power Electronics Handbook,” 2002.
- [4] J. Rodríguez, S. Member, and J. Lai, “Multilevel Inverters : A Survey of Topologies , Controls , and Applications,” vol. 49, no. 4, pp. 724–738, 2002.
- [5] I. Colak, E. Kabalci, and R. Bayindir, “Review of multilevel voltage source inverter topologies and control schemes,” *Energy Convers. Manag.*, vol. 52, no. 2, pp. 1114–1128, Feb. 2011.
- [6] C. Feng, J. Liang, and V. G. Agelidis, “Modified phase-shifted PWM control for flying capacitor multilevel converters,” *IEEE Trans. Power Electron.*, vol. 22, no. 1, pp. 178–185, 2007.
- [7] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt, and S. Kouro, “Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives,” *IEEE Trans. Ind. Electron.*, vol. 54, no. 6, pp. 2930–2945, Dec. 2007.
- [8] V. Bhuvaneswari, M. E. Harikumar, A. Shakilahmed, R. Vinoth, and A. B. Singh, “Multicarrier Sinusoidal PWM Technique Based Analysis of Asymmetrical and Symmetrical 3 Φ Cascaded MLL,” vol. 3, no. 2, pp. 5755–5761, 2014.
- [9] Zhou Jinghua and Li Zhengxi, “Research on hybrid modulation strategies based on general hybrid topology of multilevel inverter,” in *2008 International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, 2008, pp. 784–788.
- [10] B. P. McGrath and D. G. Holmes, “Multicarrier PWM strategies for multilevel inverters,” *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 858–867, Aug. 2002.
- [11] G. H. Bode, P. C. Loh, M. J. Newman, and D. G. Holmes, “An improved robust predictive current regulation algorithm,” *IEEE Trans. Ind. Appl.*, vol. 41, no. 6, pp. 1720–1733, 2005.
- [12] L. A. Serpa, “Current Control Strategies for Multilevel Grid Connected Inverters,” SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH, 2007.
- [13] Poh Chiang Loh, G. H. Bode, D. G. Holmes, and T. A. Lipo, “A time-based double-band hysteresis current regulation strategy for single-phase multilevel inverters,” *IEEE Trans. Ind. Appl.*, vol. 39, no. 3, pp. 883–892, May 2003.
- [14] F. Zare and G. Ledwich, “A hysteresis current control for single-phase multilevel voltage source inverters: PLD implementation,” *IEEE Trans. Power Electron.*, vol. 17, no. 5, pp. 731–738, Sep. 2002.

-
- [15] M. Marchesoni, "High performance current control techniques for applications to multilevel high power voltage source inverters," in *20th Annual IEEE Power Electronics Specialists Conference*, 1989, vol. I, no. 1, pp. 672–682.
- [16] A. Shukla, A. Ghosh, and A. Joshi, "Hysteresis Current Control Operation of Flying Capacitor Multilevel Inverter and Its Application in Shunt Compensation of Distribution Systems," *IEEE Trans. Power Deliv.*, vol. 22, no. 1, pp. 396–405, Jan. 2007.
- [17] K. Sundararajan, A. Nachiappan, and G. Veerapathiran, "Comparison of Current Controllers for a Five-level Cascaded H-Bridge Multilevel Inverter," *Ijceronline.Com*, vol. 2, pp. 5–7, 2012.
- [18] P. Mao, M. Zhang, S. Cui, W. Zhang, and B.-H. Kwon, "A Review of Current Control Strategy for Single-Phase Grid-Connected Inverters," *TELKOMNIKA (Telecommunication Comput. Electron. Control.*, vol. 12, no. 3, p. 563, Sep. 2014.
- [19] M. P. Kazmierkowski and L. Malesani, "Current control techniques for three-phase voltage-source PWM converters: a survey," *IEEE Trans. Ind. Electron.*, vol. 45, no. 5, pp. 691–703, 1998.
- [20] D. N. Zmood, D. G. Holmes, and G. H. Bode, "Frequency-domain analysis of three-phase linear current regulators," *IEEE Trans. Ind. Appl.*, vol. 37, no. 2, pp. 601–610, 2001.
- [21] S. Orts-Grau, F. J. Gimeno-Sales, A. Abellan-Garcia, S. Segui-Chilet, and J. C. Alfonso-Gil, "Improved Shunt Active Power Compensator for IEEE Standard 1459 Compliance," *IEEE Trans. Power Deliv.*, vol. 25, no. 4, pp. 2692–2701, Oct. 2010.
- [22] B. Singh, K. Al-Haddad, and A. Chandra, "A review of active filters for power quality improvement," *IEEE Trans. Ind. Electron.*, vol. 46, no. 5, pp. 960–971, 1999.
- [23] M. El-Habrouk, M. K. Darwish, and P. Mehta, "Active power filters: A review," *IEE Proc. - Electr. Power Appl.*, vol. 147, no. 5, p. 403, 2000.
- [24] Z. Salam, T. P. Cheng, and A. Jusoh, "Harmonics Mitigation Using Active Power Filter: A Technological Review," *Int. J. Adv. Comput. Res.*, vol. 3, no. 2, pp. 116–120, 2013.
- [25] T. Santos, J. G. Pinto, P. Neves, D. Goncalves, and J. L. Afonso, "Comparison of three control theories for single-phase Active Power Filters," in *2009 35th Annual Conference of IEEE Industrial Electronics*, 2009, no. November, pp. 3637–3642.
- [26] F.-Z. Peng, H. Akagi, and A. Nabae, "A study of active power filters using quad-series voltage-source PWM converters for harmonic compensation," *IEEE Trans. Power Electron.*, vol. 5, no. 1, pp. 9–15, 1990.
- [27] C. a. Quinn and N. Mohan, "Active filtering of harmonic currents in three-phase, four-wire systems with three-phase and single-phase nonlinear loads," in *[Proceedings] APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition*, 1992, pp. 829–836.
- [28] L. Moran, P. Werlinger, J. Dixon, and R. Wallace, "A series active power filter which compensates current harmonics and voltage unbalance simultaneously," in *Proceedings of PESC '95 - Power Electronics Specialist Conference*, 1995, vol. 1, pp. 222–227.
- [29] S. Bhattacharya, D. M. Divan, and B. B. Banerjee, "Control and reduction of terminal voltage

- total harmonic distortion (THD) in a hybrid series active and parallel passive filter system,” in *Proceedings of IEEE Power Electronics Specialist Conference - PESC '93*, 1993, vol. 28, pp. 779–786.
- [30] M. Rastogi, N. Mohan, and A.-A. Edris, “Hybrid-active filtering of harmonic currents in power systems,” *IEEE Trans. Power Deliv.*, vol. 10, no. 4, pp. 1994–2000, 1995.
- [31] V. B. Bhavaraju and P. Enjeti, “A novel active line conditioner for a three-phase system,” in *Conference Record of the 1993 IEEE Industry Applications Conference Twenty-Eighth IAS Annual Meeting*, 1993, pp. 979–985.
- [32] H. Fujita and H. Akagi, “The unified power quality conditioner: The integration of series active filters and shunt active filters,” in *PESC Record. 27th Annual IEEE Power Electronics Specialists Conference*, 1996, vol. 1, no. 2, pp. 494–501.
- [33] J. G. O. Pinto, “Nova Topologia de UPQC sem Transformadores para Compensação de Problemas de Qualidade de Energia Elétrica José Gabriel Oliveira Pinto Nova Topologia de UPQC sem Transformadores para Compensação de Problemas de Qualidade de Ener,” Universidade do Minho, 2011.
- [34] H.-L. Jou, “New single-phase active power filter,” *IEE Proc. - Electr. Power Appl.*, vol. 141, no. 3, p. 129, 1994.
- [35] H. Akagi, Y. Kanazawa, and A. Nabae, “Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components,” *IEEE Trans. Ind. Appl.*, vol. IA-20, no. 3, pp. 625–630, May 1984.
- [36] M. Aredes and E. H. Watanabe, “New control algorithms for series and shunt three-phase four-wire active power filters,” *IEEE Trans. Power Deliv.*, vol. 10, no. 3, pp. 1649–1656, Jul. 1995.
- [37] J. G. Pinto, P. Neves, R. Pregitzer, L. F. C. Monteiro, and J. L. Afonso, “Single-Phase Shunt Active Filter with Digital Control,” *Int. Conf. Renew. Energies Power Qual.*, pp. 28–30, 2007.
- [38] B. N. Singh, V. Khadkikar, and A. Chandra, “Generalised single-phase p-q theory for active power filtering: simulation and DSP-based experimental investigation,” *IET Power Electron.*, vol. 2, no. 1, pp. 67–78, Jan. 2009.
- [39] V. Staudt, “Fryze - Buchholz - Depenbrock : A time-domain power theory,” in *International School on Nonsinusoidal Currents and Compensation L*, 2008, pp. 1–12.
- [40] M. Karimi-Ghartemani and M. R. Iravani, “A new phase-locked loop (PLL) system,” in *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No.01CH37257)*, 2001, vol. 1, pp. 421–424.
- [41] ---, “Datasheet APT25GT120BRDQ2,” *Advanced Power Technology*, 2008. [Online]. Disponível em: http://www.microsemi.com/document-portal/doc_download/6791-apt25gt120brdq2-g-c-pdf. [Acessado em: 07-Oct-2015].
- [42] ---, “Datasheet VS-HFA25TB60-N3,” *Vishay*, 2002. [Online]. Disponível em: <http://www.vishay.com/docs/94065/hfa25tb6.pdf>. [Acessado em: 07-Oct-2015].

- [43] ---, "Datasheet Aluminum Capacitors," *Vishay*, 2002. [Online]. Disponível em: <http://www.vishay.com/docs/28339/198phr.pdf>. [Acessado em: 07-Oct-2015].
- [44] ---, "Datasheet HCPL-3120," *Avagotech*, 2013. [Online]. Disponível em: <http://www.avagotech.com/docs/AV02-0161EN>. [Acessado em: 07-Oct-2015].
- [45] ---, "Datasheet MEA1 Series," *Murata Power Solutions*, 2013. [Online]. Disponível em: http://power.murata.com/datasheet/?data/power/ncl/kdc_mea.pdf. [Acessado em: 07-Oct-2015].
- [46] ---, "Datasheet CYHVS5-25A," *ChenYang*. [Online]. Disponível em: <http://www.hallsensors.de/CYHVS5-25A.pdf>. [Acessado em: 08-Oct-2015].
- [47] ---, "Datasheet LA 100-P," *LEM*, 2001. [Online]. Disponível em: <http://pdf.datasheetcatalog.com/datasheet/lem/LA100-P.pdf>. [Acessado em: 08-Oct-2015].
- [48] ---, "Datasheet MAX1320," *MAXIM*, 2008. [Online]. Disponível em: <https://datasheets.maximintegrated.com/en/ds/MAX1316-MAX1326.pdf>. [Acessado em: 08-Oct-2015].
- [49] ---, "Datasheet TMS320F28335," *Texas Instruments*, 2007. [Online]. Disponível em: <http://www.ti.com/lit/ds/symlink/tms320f28335.pdf>. [Acessado em: 08-Oct-2015].
- [50] ---, "Datasheet TLV5610," *Texas Instruments*, 2000. [Online]. Disponível em: <http://pdf.datasheetcatalog.com/datasheet/texasinstruments/tlv5629.pdf>. [Acessado em: 08-Oct-2015].