



Universidade do Minho
Escola de Engenharia

Francisco Javier de Miranda Guevara

Controlo de um Motor Síncrono Baseado em
FPGA

Francisco Javier de Miranda Guevara | Controlo de um Motor Síncrono Baseado em FPGA

UMinho | 2015

outubro de 2015



Universidade do Minho
Escola de Engenharia

Francisco Javier de Miranda Guevara

Controlo de um Motor Síncrono Baseado em
FPGA

Dissertação de Mestrado
Ciclo de Estudos Integrados Conducentes ao Grau de
Mestre em Engenharia Electrónica Industrial e de Computadores

Trabalho efectuado sob a orientação do
Professor Doutor Júlio Martins

DECLARAÇÃO

Francisco Javier de Miranda Guevara

Endereço eletrónico: a55732@alunos.uminho.pt Telefone: 925 844 108

Número do Bilhete de Identidade: 15983125

Título da Tese:

Controlo de um Motor Síncrono Baseado em FPGA

Orientador:

Doutor Júlio M. Sousa B. Martins

Endereço eletrónico: julio.martins@dei.uminho.pt

Ano de conclusão: 2015

Tese submetida na Universidade do Minho para a obtenção do grau de
Mestre em Engenharia Eletrónica e de Computadores

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA TESE/TRABALHO APENAS
PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE DECLARAÇÃO ESCRITA DO
INTERESSADO, QUE A TAL SE COMPROMETE;

Universidade do Minho, ___/___/_____

Assinatura: _____

Aos meus pais.

Agradecimentos

Diversas pessoas contribuíram, de variadas formas, para a realização deste trabalho. Em primeiro lugar, gostaria de agradecer a toda a minha família, em particular ao meu pai, a minha mãe e a minha irmã, que sempre me apoiaram e aconselharam, pela confiança que em mim depositaram e por nunca me deixarem perder a boa disposição.

Gostaria de agradecer a todas as pessoas da Universidade do Minho e ao Grupo de Eletrónica de Potência e Energia (GEPE), os quais contribuíram na minha aprendizagem na vertente prática da eletrónica e para o sucesso deste trabalho. Agradeço ao investigador Delfim Pedrosa pela sua disponibilidade e ajuda ao longo deste trabalho.

O meu agradecimento ao Professor Júlio Martins pela proposta do estudo da lógica programável na eletrónica de potência e pelo seu acompanhamento no esclarecimento de dúvidas.

Por fim, não menos importante, agradeço a todos os meus amigos que, de diferentes modos, contribuíram para a realização deste trabalho, em particular à Daniela Carreira, Rui Macedo, José Mota, Henrique Abreu, Rafael Morais, pela ajuda e incentivo.

Resumo

O acionamento de motores elétricos por conversores eletrônicos é uma solução relativamente nova, embora utilizada na indústria desde o seu aparecimento devido às suas características. Ainda assim, há muito por ser feito, estudado e compreendido em tais aplicações. O trabalho aqui aprestado tem a ver com o estudo de técnicas de controlo para acionamento de motores elétricos, avaliando ao mesmo tempo as vantagens que a tecnologia das FPGA (*Field Programmable Gate Array*) pode aportar para este tipo de aplicações de eletrónica de potência.

No início da dissertação é feito um estudo das FPGAs, surgindo deste estudo uma análise do conjunto de vantagens e desvantagens que estas apresentam. Acompanhando o estudo das FPGAs, numa fase posterior estudou-se o *software* de desenvolvimento de programas para este tipo de plataformas, que foi criado pela mesma empresa que desenvolve o *kit* utilizado, o “*Spartan-3E FPGA Starter Kit Board*” da *Xilinx*.

Para avaliar as mais-valias da FPGA, a solução desenvolvida foi utilizada no sistema de controlo de um motor eléctrico síncrono de ímanes permanentes (PMSM) destinado a aplicações de mobilidade eléctrica. Previamente foram estudadas as estratégias de controlo mais adequadas neste contexto, tendo-se optado pelo comando do motor através de um inversor fonte de tensão com controlo de corrente.

Para avaliar o sistema projetado foram efetuadas simulações no *software PSIM*, uma ferramenta para simulação de circuitos eletrónicos, especialmente dedicada à área da eletrónica de potência. Para comprovar os resultados obtidos na simulação foi desenvolvido e testado um protótipo composto pelo inversor de potência, motor síncrono de ímanes permanentes e o sistema de controlo baseado na FPGA.

Palavras-Chave: *Field Programmable Gate Array* (FPGA); Motor Síncrono de Imanes Permanentes (PMSM); *Motor-in-Wheel*; Inversor Fonte de Tensão (VSI); Controlo de Corrente.

Abstract

The use of electronic converters in electric motor drives is a relatively new solution, although it is widely used in industry for quite some time. Even so, there is much to be done and known in such applications. The work described here has to do with the study of control techniques for electric motors drives, while evaluating the advantages that the technology of FPGA (Field Programmable Gate Array) can add to this type of power electronics applications.

At the beginning of the work a study of FPGAs is done, emerging from this study an analysis of the set of advantages and disadvantages that they present. Following the study of FPGAs, at a later stage, the software development tools for this type of platform were studied, which were created by the same company that developed the kit used, the "*Spartan-3E FPGA Starter Kit Board*" Xilinx.

To assess the added value of the FPGA, the developed solution was used in the control system of a permanent magnets synchronous electric motor (PMSM) for electric mobility applications. Previously the most appropriate control strategies were studied, having opted to drive the motor control through a voltage source inverter with current control.

To evaluate the designed system, simulations were made in *PSIM*, a software tool for simulation of electronic circuits, especially dedicated to the power electronics area. To check the results obtained in the simulations, a prototype was developed and tested, consisting of a power inverter, a synchronous permanent magnet motor and a control system based on a FPGA.

Keywords: Field Programmable Gate Array (FPGA); Permanent Magnet Synchronous Machine (PMSM); Motor-in-Wheel; Voltage Source Inverter (VSI); Current control.

Índice

Agradecimentos.....	v
Resumo	vii
Abstract	ix
Lista de Figuras.....	xiii
Lista de Tabelas	xvii
Lista de Siglas e Acrónimos	xix
Nomenclatura.....	xxi
CAPÍTULO 1 Introdução	1
1.1. Conversores de Eletrónica de Potência	1
1.2. Motivações.....	4
1.3. Objetivos e Contribuições.....	4
1.4. Organização e Estrutura da Dissertação.....	5
CAPÍTULO 2 Dispositivos Programáveis e suas Aplicações na Eletrónica de Potência.....	7
2.1. Introdução	7
2.2. Dispositivos Programáveis.....	7
2.2.1. ASIC - <i>Application-Specific Integrated Circuit</i>	8
2.2.2. MCU – Microcontroladores.....	8
2.2.3. DSP - <i>Digital Signal Processor</i>	9
2.2.4. PLA - <i>Programmable Logic Array</i>	10
2.2.5. PLD - <i>Programmable Logic Device</i>	10
2.2.6. FPGA- <i>Field Programmable Gate Array</i>	11
2.3. Descrição de <i>Hardware</i>	14
2.4. Inversores de Potência	16
2.4.1. Inversor Fonte de Tensão	17
2.4.2. Inversores Fonte de Corrente.....	18
2.5. Motores Elétricos.....	19
2.5.1. Motores CC	19
2.5.2. Motores AC.....	20
2.6. Aplicações de motores PMSM.....	22
2.7. Princípio de operação dos motores elétricos	24
2.8. Conclusão.....	30
CAPÍTULO 3 Técnicas de Comando para Motores PMSM.....	33
3.1. Introdução	33
3.2. Métodos de comutação de inversores	33
3.2.1. Comutação por ondas quadradas	34
3.2.2. Método de comutação por modulação de largura de pulso.....	34
3.2.3. Comutação por eliminação de harmónicas programadas	36
3.2.4. SVM - <i>Space Vector Modulation</i>	37
3.3. Controlo modulado de corrente.....	38
3.3.1. Controlo por banda de histerese	39
3.3.2. Controlo de corrente por frequência fixa	41
3.4. Estratégias de controlo para motores elétricos CA	41
3.4.1. <i>Field Oriented Control</i> - FOC	43
3.4.2. <i>Direct Torque Control</i> - DTC.....	44
3.5. Característica do projeto	44
3.6. Implementação de controlo em FPGAs - Fluxo de Projeto.....	45
3.7. Conclusão.....	50
CAPÍTULO 4 Simulação do Sistema de Controlo	53
4.1. Introdução	53
4.2. Modelo de simulação do Circuito de Potência.....	53
4.3. Modelo de Simulação do Circuito de Controlo.....	55
4.4. Resultados de Simulação	56
4.4.1. Resultados da simulação dos valores de referência.	57

4.4.2.	Resultado da simulação das comutações e do <i>dead-time</i>	58
4.4.3.	Resultados da simulação do controlo por banda de histerese	59
4.4.4.	Resultados da simulação do controlo com frequência fixa	62
4.5.	Ferramenta de descrição de <i>hardware</i>	63
4.6.	Conclusão.....	67
CAPÍTULO 5 Implementação do Sistema de Controlo.....		69
5.1.	Introdução	69
5.2.	VSI – Inversor Fonte de Tensão.....	69
5.3.	Motor síncrono de ímanes Permanentes.....	71
5.4.	Sistema de monitorização e comando.	72
5.5.	Placa FPGA e periféricos	75
5.6.	Implementação do protótipo.....	77
5.6.1.	Implementação da placa de acondicionamento e comando	77
5.7.	Módulos implementados em <i>Verilog</i>	83
5.8.	Conclusão.....	89
CAPÍTULO 6 Resultados Experimentais		91
6.1.	Introdução	91
6.2.	Resultados obtidos	91
6.2.1.	Controlo de corrente por histerese	93
6.2.2.	Controlo de corrente frequência fixa.....	94
6.3.	Conclusão.....	97
CAPÍTULO 7 Conclusões.....		99
7.1.	Conclusões	99
7.2.	Sugestões para Trabalho Futuro	101
Referências.....		103

Lista de Figuras

Figura 1.1 - Esquemático genérico de um variador de frequência	2
Figura 2.1 - Dispositivos programáveis.	8
Figura 2.2 - Esquema genérico da arquitetura de uma FPGA [13].	11
Figura 2.3 - Esquema dos fios e das ligações programáveis [14].	12
Figura 2.4 - Esquema genérico de um CLB (<i>Configurable Logic Block</i>).	13
Figura 2.5 - Esquema genérico de um inversor fonte de tensão.	17
Figura 2.6 - Esquema genérico de um inversor fonte de corrente.	18
Figura 2.7 - Classificação dos motores elétricos [24].	19
Figura 2.8 - Estrutura genérica de motor de fluxo radial (a) e um motor de fluxo axial (b).	23
Figura 2.9 - Motores síncronos de ímãs permanentes de fluxo radial (a) e de fluxo axial (b) (com indicações de direção do fluxo e da corrente) [29].	24
Figura 2.10 - Variação da relação V/f	25
Figura 2.11 - Variação da relação T/f	26
Figura 2.12 - Princípio de funcionamento de rotação de um motor elétrico.	27
Figura 2.13 - Circuito equivalente de uma máquina síncrona.	27
Figura 2.14 – Representação das várias grandezas associadas funcionamento ao motor síncrono.	28
Figura 2.15 - Representação do binário em um motor síncrono.	29
Figura 2.16 - Variação de cargas num motor síncrono [32].	29
Figura 3.1 - Operação de conversor VSI em malha aberta, síntese adequada da tensão de saída [35].	33
Figura 3.2 - Modulação por ondas quadradas.	34
Figura 3.3 - Forma de onda de modulação por largura de pulso.	35
Figura 3.4 - Modulação por eliminação de harmónicas programadas.	37
Figura 3.5 – Algoritmo de comando da modulação SVM	38
Figura 3.6 - Operação de conversor VSI em malha fechada para síntese de corrente de saída [35].	39
Figura 3.7 - Controlo de corrente por banda de histerese.	40
Figura 3.8 - Diagrama genérico de um controlo de corrente por banda de histerese.	40
Figura 3.9 - Diagrama genérico de um controlo de corrente com frequência fixa.	41
Figura 3.10 - Níveis de abstracção em linguagem HDL.	47
Figura 3.11 - Fluxo do projeto numa FPGA [15].	49
Figura 4.1 - Modelo de simulação do circuito de potência.	54
Figura 4.2 - Modelo de simulação do sistema de controlo.	55
Figura 4.3 - Algoritmo do controlo do acionamento do motor através do controlo de corrente.	56
Figura 4.4 - Resultados de simulação do sistema de referências.	57
Figura 4.5 - Simulação do <i>dead-time</i> presente na comutação do inversor.	58
Figura 4.6 - Sistema de referências da <i>fase a</i> e trifásico.	59
Figura 4.7 - Simulação do controlo de corrente por banda de histerese na fase a.	60
Figura 4.8 - Simulação do sistema de controlo por banda de histerese trifásico.	61
Figura 4.9 - Simulação das tensões compostas de alimentação do motor.	61

Figura 4.10 - Simulação do comando, técnica de modulação.	62
Figura 4.11 - Simulação do sinal de comando e da corrente lida.	63
Figura 4.12 - Simulação das tensões compostas de alimentação do motor.	63
Figura 4.13 - Sistema de amostragem e protocolo de comunicação SPI.	64
Figura 4.14 - Sistema de divisor de <i>clock</i> e variação da frequência do sinal de referência.	65
Figura 4.15 - Sistema de referência e variação da frequência do sinal.	66
Figura 4.16 - Simulação dos sinais de referência.	66
Figura 5.1 - Montagem do inversor e respetivo barramento CC.	70
Figura 5.2 – <i>Driver SKIPER 32Pro R</i> [46] e respetiva placas de configuração <i>Board 1 SKIPER 32Pro R</i> [47].	70
Figura 5.3 – Módulo de IGBT <i>SKM 100GB176D</i> e respetivo circuito interno [45].	71
Figura 5.4 - Motor síncrono de ímanes permanentes Pra 230.	72
Figura 5.5 - Rotação do sensor de posição AM256 da RLS (esquerda), saídas analógicas geradas pelo sensor (direita) [49].	72
Figura 5.6 - Placa de acondicionamento do sinal [50].	73
Figura 5.7 - Placa de acondicionamento dos sinais de posição do motor e referência (esquerda), e placa de comunicação e comandos para o inversor (direita).	74
Figura 5.8 - Sensor de corrente de efeito <i>Hall LEM LA 55-p</i> (esquerda), esquemático de ligações e circuito interno (direita).	74
Figura 5.9 - Sensor de tensão de efeito <i>Hall LEM LV 25-p</i> (esquerda), esquemático de ligações e circuito interno (direita).	75
Figura 5.10 - <i>Spartan 3-E Started kit board</i> e <i>FX2 Module Interface board</i>	76
Figura 5.11 – Projeto em bancada e ligações entre os diferentes módulos.	76
Figura 5.12 - <i>PmodAD1</i> da <i>Digilent</i> (esquerda) e <i>PmodDA2</i> da <i>Digilent</i> (direita).	77
Figura 5.13 - PCB desenvolvido para o acondicionamento dos sinais (esquerda) e versão da PCB referindo as ligações com a FPGA.	78
Figura 5.14 - Circuito equivalente da aquisição dos sinais e filtragem.	79
Figura 5.15 - Circuito equivalente de deteção de erros.	79
Figura 5.16 - Placa de acondicionamento e comando.	80
Figura 5.17 - FPGA <i>Spartan 3-E started kit board</i> e placa de acondicionamento de sinal criada.	80
Figura 5.18 - Protótipo de controlador implementado.	81
Figura 5.19 - Implementação do protótipo: a) montagem final, b) esquemático dos componentes que compõem no protótipo e c) conectores disponíveis no painel.	82
Figura 5.20 - Hierarquia dos módulos implementados.	84
Figura 5.21 - Referências criadas por descrição de <i>hardware</i>	85
Figura 5.22 - Encapsulamento FG320 do FPGA e disposição dos pinos I/O utilizados.	86
Figura 5.23 - Esquemático obtido da descrição de <i>hardware</i>	87
Figura 5.24 - Mapa temporal de execução da técnica de controlo por histerese.	88
Figura 5.25 - Mapa temporal de execução da técnica de controlo por frequência fixa.	88
Figura 5.26 - Sumario dos elementos utilizados na implementação: a) Técnica de controlo de corrente por histerese, b) Técnica de controlo de corrente com frequência fixa.	89
Figura 6.1 - Referência do sistema.	92
Figura 6.2 - Sinais de comando da fase a.	93
Figura 6.3 - Referências trifásicas e banda de histerese por fase.	93

Figura 6.4 - Banda de histerese e corrente lida da fase a.	94
Figura 6.5 - Sinal de referência e sinal de comando por PWM.	95
Figura 6.6 - Valores das correntes de fase do motor.	95
Figura 6.7 - Frequência do motor e velocidade mecânica.....	96
Figura 6.8 - Sinais de referência: ângulo da fase a e ângulo de referência mecânica; e ângulo relativo à posição do motor.....	97
Figura 6.9 – Formas de onda das correntes de fase do motor.	97
Figura 7.1 - Placa de acondicionamento melhorada.	101

Lista de Tabelas

Tabela 1 - Características do motor síncrono de ímanes permanentes PRA 230.	54
Tabela 2 - Componentes da Figura 5.19 b) utilizados na implementação.....	82
Tabela 3 - Conectores da Figura 5.19 c) utilizados no painel de ligações.	83

Lista de Siglas e Acrónimos

ADC	<i>Analog to Digital Converter</i>
ASD	<i>Adjustable Speed Drive</i>
ASIC	<i>Application-Specific Integrated Circuit</i>
CA	Corrente Alternada
CC	Corrente Contínua
CLB	<i>Configurable Logic Blocks</i>
CPLD	<i>Complex Programmable Logic Device</i>
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital to Analog Converter</i>
DC	<i>Direct Current</i>
DSP	<i>Digital Signal Processor</i>
FFT	<i>Fast Furrier Transform</i>
FOC	<i>Field Oriented Control</i>
FPGA	<i>Field Programmable Gate Array</i>
GEPE	Grupo de Eletrónica de Potência e Energia
GLOC	<i>Glue Logic Controller</i>
HDL	<i>Hardware Description Language</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IM	<i>Induction Motor</i>
IOB	<i>Input Output Block</i>
JTAG	<i>Joint Test Action Group</i>
LCD	<i>Liquid Crystal Display</i>
LUT	<i>Lookup Table</i>
MCU	<i>Microcontroller Unit</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
PCB	<i>Printed Circuit Board</i>
PLA	<i>Programmable Logic Array</i>
PLD	<i>Programmable Logic Device</i>
PLL	<i>Phase-Locked Loop</i>
PMSM	<i>Permanent Magnet Synchronous Motors</i>
PWM	<i>Pulse Width Modulation</i>
RAM	<i>Random Access Memory</i>

RMS	<i>Root Mean Square</i>
ROM	<i>Read Only Memory</i>
RTL	<i>Register Transfer Level</i>
SPI	<i>Serial Peripheral Interface</i>
SPLD	<i>Simple Programmable Logic Device</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
SRL	<i>Shift Register LUT</i>
SVPWM	<i>Space Vector Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UPS	<i>Uninterrupted Power Supply</i>
USB	<i>Universal Serial Bus</i>
VFD	<i>Variable Frequency Drive</i>
VHDL	<i>VHSIC Hardware Description Language</i>
VHSIC	<i>Very High Speed Integrated Circuits</i>
VSD	<i>Variable Speed Drive</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

Símbolo	Significado	Unidade
V_{CC}	Tensão no barramento de corrente contínua dos inversores de potência.	V
f	Frequência	Hz
f_n	Frequência nominal do motor	Hz
f_s	Frequência de amostragem	Hz
f_c	Frequência de comutação	Hz
T	Período	s
T_s	Período de amostragem	s
V_n	Tensão nominal do motor	V
T_n	Binário nominal do motor	Nm
p	Numero de polos do motor	
I_f	Corrente de campo do motor	A
B_r	Campo magnético no rotor	Wb
B_s	Campo magnético nos enrolamentos do induzido	Wb
δ	Ângulo de binario	°
ω	Velocidade angular	rad/s
R_a, R_b, R_c	Resistencias dos enrolamentos do estator	Ω
L_a, L_b, L_c	Indutâncias dos enrolamentos do estator	H
e_a, e_b, e_c	Forças contraelectromotrizes	V

CAPÍTULO 1

Introdução

1.1. Conversores de Eletrónica de Potência

O sistema de fornecimento de energia elétrica permite a sua distribuição nos locais onde é necessária a sua utilização. Os principais parâmetros associados ao fornecimento são a tensão e a frequência. É conveniente em muitos casos os valores de tensão e frequência possuírem valores padrão, já que a maioria dos recetores estão preparados para consumir energia elétrica com parâmetros específicos. Existem no entanto alguns recetores que necessitam de ser alimentados de forma que a amplitude e/ou a frequência da tensão possam ser ajustados, recorrendo-se para o efeito a conversores de eletrónica de potência. É o caso dos sistemas de acionamento para motores elétricos a velocidade variável e o equipamento utilizado neste caso designa-se genericamente por “variador de velocidade” (VSD - *Variable Speed Drive*).

A função básica do VSD é controlar o fluxo da energia da rede elétrica (na maioria das vezes) para um motor elétrico. As variáveis controladas são normalmente o binário e velocidade angular e o desempenho do motor depende da qualidade do controlo. No caso das máquinas de corrente alternada (CA), a velocidade angular está relacionada com a frequência de alimentação do motor, enquanto a amplitude da corrente no induzido está relacionada com o binário [1].

O motor de corrente contínua (CC) sempre foi muito fácil de controlar, uma vez que as duas variáveis necessárias para esse efeito estão imediatamente disponíveis: a velocidade é diretamente proporcional à tensão de alimentação do induzido e a corrente neste enrolamento constitui uma imagem do binário. Por essa razão, desde uma fase muito inicial de desenvolvimento da eletrónica de potência e da eletrónica de processamento, existem sistemas de acionamento para esta máquina com excelentes características de desempenho.

Os motores de corrente alternada possuem muitas vantagens, como a sua simplicidade e baixo custo (p. ex. o motor de indução), robustez e quase ausência de manutenção, mas são mais difíceis de controlar do que o motor CC. Ainda assim existem desde há bastante tempo variadores de velocidade para este tipo de máquinas que permitem características de desempenho idênticas às do motor CC.

Os conversores para motores de corrente contínua permitem controlar eletricamente a velocidade de motores do tipo série, paralelo, compostos e de ímanes permanentes. Os variadores para motores de corrente alternada, também denominados variadores de frequência (VFD - *Variable Frequency Drive*), permitem controlar a velocidade tanto de motores de indução (assíncronos de gaiola de esquilo ou de rotor bobinado), como a dos motores síncronos (de excitação separada ou ímanes permanentes), através do ajuste da frequência e da amplitude da tensão de alimentação do motor.

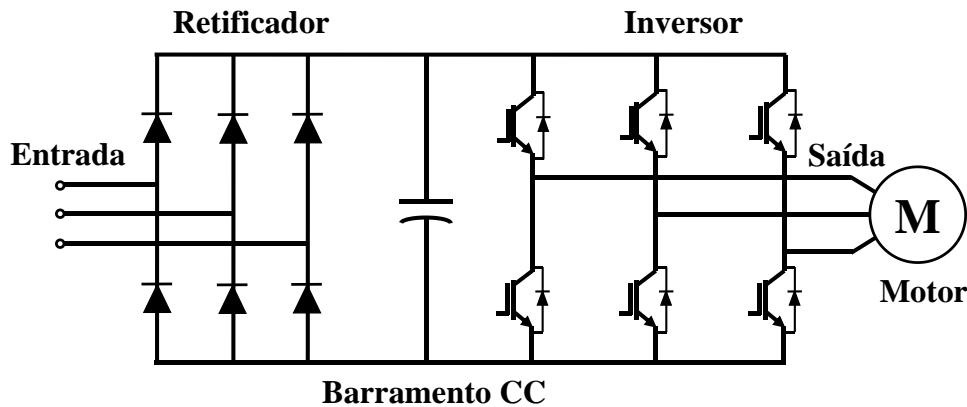


Figura 1.1 - Esquema genérico de um variador de frequência

Tanto a tensão como a frequência de referência são introduzidas num modulador que sintetiza uma onda sinusoidal e alimenta os enrolamentos do induzido do motor, a partir da tensão de um barramento CC que anteriormente foi retificada para uma tensão constante, a partir de um circuito intermédio alimentado pela energia da rede elétrica (comummente através da utilização de díodos).

O processo de variação da tensão e da frequência de saída no inversor está associado ao controlo dos semicondutores controláveis, onde dependendo da aplicação, comumente são utilizados MOSFET de potência, tiristor SCR, IGCT e IGBT. Este controlo é feito a partir de *drivers*, que dependendo da técnica de controlo aplicada faz com que a comutação destes dispositivos seja variável.

Para além da seleção da topologia do conversor de potência e da técnica de controlo a utilizar, a escolha do dispositivo onde será implementado o processamento é também importante. Dependendo dos requisitos do sistema estes terão que permitir velocidades de processamento elevadas, recursos de memória adequados, bem como a inclusão de periféricos internos dependentes dos requisitos do sistema.

A utilização de plataformas como a dos microcontroladores (MCU – *Microcontroller Unit*) genéricos para realizar o controlo de máquinas elétricas, pode

apresentar limitações, sobretudo para sistemas de elevado desempenho, devido aos tempos de atuação destes dispositivos poderem não ser suficientemente rápidos. Outros dispositivos programáveis, tal como as DSPs (*Digital Signal Processor*), apresentam uma maior velocidade de processamento em relação aos microcontroladores, sendo muito utilizados em desenvolvimentos de projetos de áudio e vídeo, devido à sua estrutura interna já estar orientada para aplicações típicas de processamento digital [2]. Estas características são também interessantes para o processamento associado a aplicações de eletrónica de potência, existindo desde algum tempo DSPs específicos para este tipo de aplicações.

A proposta apresentada tem a ver com a utilização de FPGAs para implementar técnicas de controlo capazes de ser utilizadas na área da eletrónica de potência. A programação de *hardware* das FPGAs permite uma fácil implementação de circuitos lógicos dedicados de alto desempenho. Outro benefício que surge da utilização de FPGAs, em relação ao aumento do desempenho em aplicações de controlo é que elas fornecem uma grande flexibilidade na disposição dos componentes. Estas plataformas permitem a integração de funções computacionais intensivas e a obtenção de sinais provenientes de sensores para correr em paralelo do esquema de controlo principal.

Mas a principal vantagem das FPGAs terá a ver com a possibilidade de otimização do *hardware*, que anteriormente era genérico, tanto em DSPs como em microcontroladores, sendo possível incluir todos (e apenas) os blocos funcionais que são necessários para uma aplicação específica, como p.ex., um gerador de PWM como os que é possível encontrar em alguns microcontroladores ou nas DSPs [3]. A implementação de tais funções em MCUs ou DSPs obriga ao programador a comprometer tanto o desempenho de controlo de motor ou desempenho do sistema. Em comparação, estas funções são completamente independentes numa FPGA. Assim, um controlador do motor baseado em FPGA, completamente determinística, oferece um melhor desempenho e fiabilidade, em comparação com os métodos de execução de instruções em série de MCUs ou DSPs.

As empresas que desenvolvem estas tecnologias e mantêm a vanguarda do mercado defendem que as FPGAs estarão em breve presentes na maioria dos dispositivos que são utilizados no dia-a-dia e que atualmente são controlados por microcontroladores genéricos.

Existem ferramentas muito versáteis que permitem a modelação com linguagens de descrição de *hardware* desenvolvidos pelas próprias empresas que criam e acompanham a evolução desta tecnologia. O estudo e o teste das FPGAs e das ferramentas

computacionais mencionadas anteriormente são passos fundamentais a seguir para a implementação do sistema pretendido.

1.2. Motivações

A implementação dos sistemas de controlo em aplicações de eletrónica de potência baseia-se, tradicionalmente, na utilização de microcontroladores ou DSPs. A evolução destas plataformas de desenvolvimento têm acompanhado as necessidades que surgem em inúmeras aplicações, independente da vertente da eletrónica. Uma melhor velocidade de processamento, capacidade de processamento, incremento da memória são as evoluções que normalmente se podem encontrar nos novos dispositivos que vão surgindo no mercado.

Outro dispositivo que tem evoluído rapidamente desde a sua criação é a FPGA, a qual foi inicialmente utilizado em aplicações de aceleração de cálculos e processamento digital de sinais. Mesmo assim a gama de aplicações das FPGAs é muito ampla devido à versatilidade e flexibilidade destes dispositivos. Atualmente é possível encontrar FPGAs em aplicações como tratamento de sinais, comunicações, tratamento de imagens, aplicações aeronáuticas, na indústria automóvel, entre outras. Isto tudo deve-se à elevada frequência que conseguem trabalhar, e à capacidade de integrar diversos controladores independentemente no mesmo *chip* [4].

Nas diferentes áreas de aplicação resulta fácil integrar as FPGAs na maioria dos sistemas aportando benefícios como a redução do número de componentes, redução da complexidade e aumento da confiabilidade dos sistemas. O trabalho desenvolvido no âmbito desta dissertação teve sobretudo a ver com a avaliação do interesse da utilização de FPGAs e das suas capacidades em termos de *hardware* configurável no contexto das aplicações de eletrónica de potência, mais concretamente, no controlo de motores elétricos.

1.3. Objetivos e Contribuições

Apesar dos sistemas de acionamento para máquinas de corrente alternada existirem desde há muitos anos e estarem amplamente divulgados na indústria, continuam a ser estudados métodos de controlo que possam melhorar o desempenho do conjunto motor-conversor [5] e/ou que permitam soluções de engenharia simples e de baixo custo. O

estudo de métodos de controlo para o acionamento de motores elétricos é um dos objetivos desta dissertação.

Ao longo deste documento reporta-se o estudo dos benefícios que a tecnologia das FPGAs pode aportar em aplicações de eletrónica de potência. Na sequência desse estudo foi desenvolvido um sistema de controlo para um motor síncrono de ímanes permanentes de fluxo axial baseado na utilização de uma FPGA. O motor apresenta características adequadas para aplicações de mobilidade elétrica, pelo que foi possível avaliar esta solução numa área da eletrónica de potência do maior interesse nos dias de hoje.

Para o comando do motor foi desenvolvido um inversor fonte de tensão com controlo de corrente, solução relativamente simples mas que permitiu obter características de desempenho interessantes para o fim em vista, como demonstram as simulações e os resultados experimentais obtidos.

1.4. Organização e Estrutura da Dissertação

A dissertação está organizada do seguinte modo:

Capítulo 1 - Introdução - Introdução ao tema do controlo de componentes de eletrónica de potência. Neste capítulo é apresentada a proposta e dado a conhecer os objetivos que serão desenvolvidos ao longo dos restantes capítulos.

Capítulo 2 – Dispositivos Programáveis e Aplicações - Neste capítulo são apresentados dispositivos programáveis utilizados para controlo de sistemas, fazendo ênfase no controlo de sistemas de eletrónica de potência. São apresentados alguns sistemas de potência e as suas aplicações, e feita uma validação da utilização dos dispositivos programáveis.

Capítulo 3 – Controlo de Corrente de um Motor Síncrono – Este capítulo apresenta os tipos de controlo existente para motores elétricos destacando quais as técnicas de controlo a serem implementadas.

Capítulo 4 – Simulação do Sistema de Controlo – Este capítulo apresenta os modelos do sistema desenvolvido implementado no *PSIM*, um *software* de modelação de circuitos elétricos, incluindo modelos de componentes de eletrónica de potência, e módulos para incluir teorias de controlo. São discutidos os resultados obtidos a medida que estes resultados são apresentados. Ainda é apresentado resultados das simulações efetuadas no *software* de descrição de *hardware*.

Capítulo 5 – Implementação do Sistema de Controlo – Neste capítulo é apresentado o controlo implementado na FPGA, os componentes que fazem com que o controlo seja possível e todos os componentes de *hardware* que compõem o sistema.

Capítulo 6 – Resultados Obtidos - Neste capítulo é feita a apresentação e a discussão dos resultados práticos obtidos do sistema após a implementação.

Capítulo 7- Conclusões, Contribuições e Trabalho Futuro – Durante este capítulo irão ser apresentadas algumas conclusões e propostas para o trabalho futuro.

CAPÍTULO 2

Dispositivos Programáveis e suas Aplicações na Eletrónica de Potência.

2.1. Introdução

O trabalho desenvolvido no âmbito deste projeto inclui a introdução da FPGA como proposta de dispositivo para implementação da eletrónica de processamento em sistemas de eletrónica de potência. Este capítulo inicia-se com uma descrição dos dispositivos programáveis utilizados no controlo de sistemas, com realce para as FPGA e às suas principais características.

Inclui-se também neste capítulo alguns fundamentos teóricos relativos a máquinas elétricas e respetivos conversores de potência, que fazem sentido no contexto desta dissertação e das aplicações de mobilidade elétrica.

Na linha do melhoramento da eficiência energética e preservação do meio ambiente, os motores elétricos apresentam vantagens evidentes relativamente aos motores de combustão. Motores elétricos inseridos nas jantes do carro é um conceito que aparece como proposta na utilização de motores elétricos, apresentando no seu *design* a exclusão da transmissão mecânica de um típico carro de combustão, sendo mencionada neste capítulo características e propriedades deste tipo de motores.

2.2. Dispositivos Programáveis

Os utilizadores de dispositivos programáveis recebem todos os dias propostas de produtos sofisticados, mais rápidos, mais pequenos, etc. [6], o que faz com que tenham que estar sempre atualizados para, dependendo da aplicação, saber qual dispositivo permitirá a melhor solução.

Para avaliar qual a melhor proposta os investigadores consideram aspetos como o *time to market*, rendimento, preço, facilidade de utilização, flexibilidade, entre outras.

O controlo de inversores, ou de qualquer outro sistema de eletrónica de potência que envolva processamento de dados e controlo, baseia-se normalmente na utilização de dispositivos programáveis como os microcontroladores, DSPs e, mais recentemente, as

FPGAs. Na Figura 2.1 pode-se observar quais são os principais dispositivos programáveis existentes.

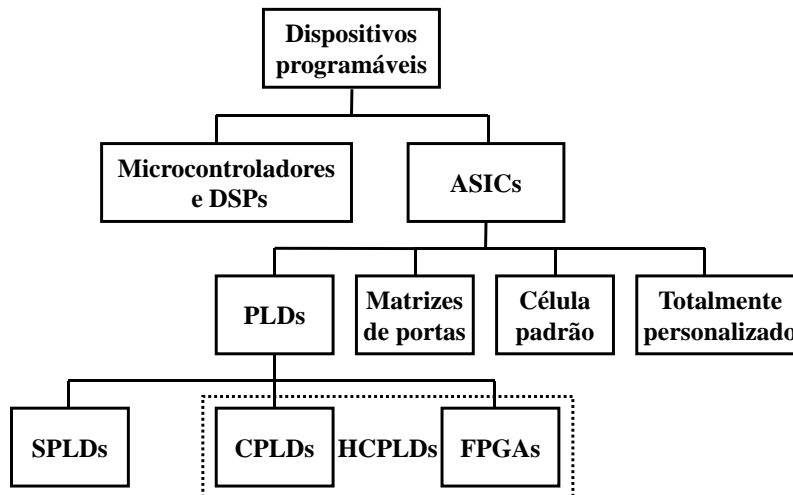


Figura 2.1 - Dispositivos programáveis.

2.2.1. ASIC - *Application-Specific Integrated Circuit*

Estes dispositivos consistem em um circuito integrado configurável desenhado para uma aplicação específica, para ser implementado num produto eletrónico específico [7].

Em termos gerais, uma implementação em ASIC envolve um conjunto de passos que são típicos do projeto e implementação física de um circuito integrado. Isto faz com que o ciclo de criação de um projeto obrigue a longos períodos de tempo. Mesmo assim, é aqui que estes dispositivos apresentam vantagens, permitindo obter um circuito completamente otimizado em termos de menores consumos de energia e garantir maiores velocidades, apesar de ser desenvolvidos especificamente para determinada aplicação [8]. A criação de um circuito específico também faz com que o encapsulamento que apresenta seja direcionado para um determinado aparelho, acrescentando mais uma vantagem: a diminuição do custo por unidade.

2.2.2. MCU – Microcontroladores

Os microcontroladores foram desenvolvidos e ficaram disponíveis para comercialização no início da década de 1970 [9]. São constituídos essencialmente por uma unidade de processamento central (CPU – *Central Processing Unit*), módulos de memória, unidades de entradas e saídas, módulos de periféricos e barramentos internos

para conectar todos os módulos. Estes dispositivos permitem obter um elevado nível de autonomia no controlo digital, uma vez que num único circuito integrado com capacidade de processamento e memória, reduzidas dimensões e baixo custo, é possível ainda incluir um conjunto de periféricos dedicados ao sistema onde o microcontrolador será integrado [10].

A principal característica é o seu carácter genérico de aplicação, refletido pelo seu vasto conjunto de instruções e modos de endereçamento. Estes dispositivos além de possuírem uma capacidade de rápido atendimento às interrupções, são comercializados com um baixo custo e apresentam um conjunto de instruções otimizadas para uma fácil implementação de ações de controlo de baixa complexidade [11].

2.2.3. DSP - *Digital Signal Processor*

O DSP é um microprocessador especializado, adequado especialmente para tarefas intensivas de matemáticas extremamente complexas. O DSP apresenta elevada velocidade de processamento, sendo muito utilizados em desenvolvimentos de projetos de áudio e vídeo, devido à sua estrutura interna já estar orientada para aplicações habituais de processamento digital [2].

Outras vantagens que estes dispositivos apresentam está associada à capacidade de acesso a múltiplas posições de memória em simultâneo, permitindo o acesso a dados e a instruções no mesmo instante de tempo. Os modos de endereçamento também são otimizados para aceder repetidamente a posições de memória sequenciais onde os dados são guardados, o que pode ser muito útil em aplicações como filtros digitais, processamento intensivo de dados, entre outras.

Mesmo assim, o processamento é condicionado pela frequência do relógio, o que limita o desempenho do dispositivo, já que este define o número de operações úteis que podem ser executadas num determinado período de tempo. Devido ao seu processamento sequencial, quando as taxas de amostragem crescem acima de alguns MHz, torna-se difícil transferir os dados sem qualquer perda. Isso ocorre porque o processador utiliza recursos compartilhados como a memória ou até com o núcleo do processador, que podem impedir a execução de interrupções por algum tempo.

Os fabricantes disponibilizam normalmente ferramentas de programação baseadas na linguagem C, o que faz com que seja um dispositivo de elevada eleição por equipas de criação de projetos, já que ao ser uma linguagem muito utilizada, acrescenta a vantagem de um mesmo projeto poder ser implementados em diferentes plataformas, uma vez que

só na fase de compilação é gerado o código que definirá os parâmetros que ditarão as funcionalidades do dispositivo.

Como vantagem adicional, refira-se que as ferramentas de desenvolvimento são normalmente fáceis de aprender e utilizar e são muitas vezes comuns a vários dispositivos, o que contribui para diminuir o tempo de desenvolvimento de projetos em novas plataformas.

2.2.4. PLA - *Programmable Logic Array*

Este dispositivo é um antecessor da FPGA que se conhece atualmente. Foram outrora utilizadas apenas como dispositivos auxiliares na implementação de circuitos lógicos, surgindo a partir deste conceito a implementação de *glue logic*. Os *glue logic controller* (GLOC) contém circuitos digitais através de lógica programável que permite a ligação de diferentes dispositivos através de lógica, atuando como uma interface para poderem trabalhar em conjunto. Outras funcionalidades atribuídas a estes controladores está associada à interface com periféricos, e ofuscação de informação para evitar atos de engenharia inversa [12].

Devido às PLAs só estarem disponíveis em tamanhos pequenos, equivalentes a algumas centenas de portas lógicas, para permitir a implementação de circuitos lógicos mais complexos, surgiram posteriormente os PLDs.

2.2.5. PLD - *Programmable Logic Device*

Um dispositivo lógico programável é um componente eletrónico utilizado para construir circuitos digitais. Ao contrário de uma porta lógica, que tem uma função fixa, um PLD tem uma função indefinida desde o momento do seu fabrico, devendo ser programado para cada aplicação. Cada fabricante disponibiliza um sistema de programação para os seus respetivos dispositivos, já que o PLD contém um circuito que descodifica os dados e configura o dispositivo para realizar uma função lógica específica.

À medida que esta tecnologia foi avançando foram consideradas duas categorias para diferenciar a sua evolução: o SPLD (*Simple Programmable Logic Device*) e o CPLD (*Complex Programmable Logic Device*).

SPLD – Simple PLD

Este é o dispositivo menos complexo desta tecnologia. Como principais características, possuem dimensões reduzidas e uma capacidade lógica interna muito baixa, o que faz com que a maioria deles implemente uma única função lógica pouco complexa. Em termos gerais esta tecnologia refere-se a dispositivos cujas aplicações são semelhantes às PLAs e devido à evolução da arquitetura interna já possuem registos programáveis, o qual fez com que outra aplicação comum estivesse associada a pequenas ROMs.

CPLD – Complex PLD

Este contém o equivalente a muitas PLAs ligadas por interconexões programáveis, tudo num circuito integrado. Os CPLDs podem conter milhares ou até centenas de milhares de portas lógicas, apresentando um *layout* que pode incluir centenas de pinos. A arquitetura dos CPLDs consiste em uma ou mais somas de produtos programáveis cujos resultados são ligados a *flip-flops* para manter armazenados os resultados obtidos. A partir da evolução desta tecnologia é que surgem as FPGAs.

2.2.6. FPGA- Field Programmable Gate Array

A FPGA é um circuito integrado que contém um grande número de unidades lógicas idênticas, que são programadas dependendo da função a implementar. Neste aspeto, estas unidades lógicas podem ser vistas como componentes padrões que podem ser configurados independentemente e interligados a partir de uma matriz de caminhos e ligações programáveis. Na Figura 2.2 pode-se ver a arquitetura interna das FPGAs.

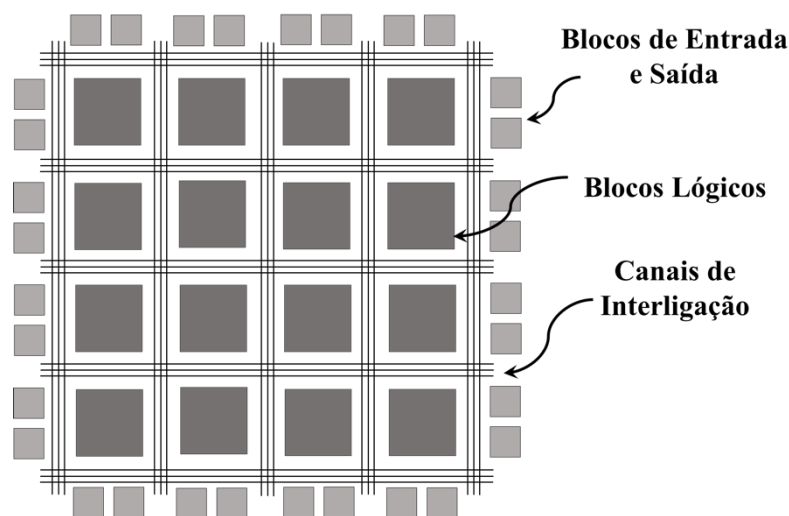


Figura 2.2 - Esquema genérico da arquitetura de uma FPGA [13].

“*Field Programmable*”, por sua vez, significa que as funções da FPGA são definidas por um programa do utilizador, em vez de serem definidas pelo fabricante do dispositivo, como é no caso dos circuitos integrados típicos. No caso das FPGAs a tarefa é atribuída ao programador, já que ao ser feita a descrição do *hardware* é definida a função lógica que realizará cada um dos CLBs (*Configurable Logic Block*), o modo de trabalho de cada IOB (*Input/Output Block*) e como será a interligação entre eles.

As ligações internas são utilizadas para conectar os CLBs e IOBs. Geralmente a configuração é estabelecida por programação interna, que determinam funções lógicas e conexões internas implementadas na FPGA [14]. O processo que determina quais as ligações a realizar designa-se por roteamento, implementado da forma sugerida na Figura 2.3.

Nas FPGA, dependendo do dispositivo, o programa pode ser “queimado” de forma permanente, semipermanente como parte do processo de montagem da placa, ou carregado a partir de uma memória *flash* cada vez que o dispositivo é ligado. No último caso, a tecnologia utilizada para a implementação da FPGA é a de memória estática (SRAM). Por este motivo, toda vez que o dispositivo é desligado perde-se a programação [15].

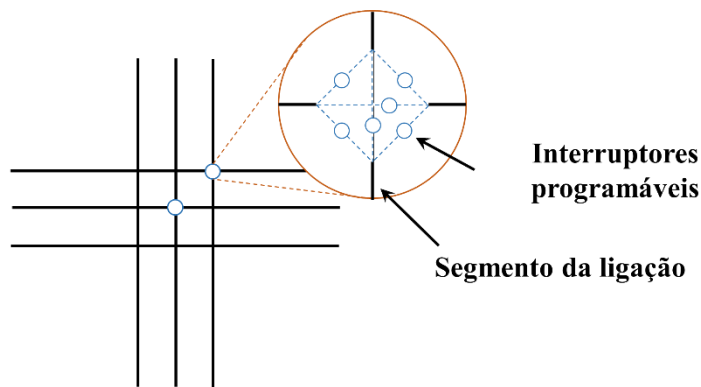


Figura 2.3 - Esquema dos fios e das ligações programáveis [14].

Desde o aparecimento do primeiro bloco programável em 1985, inventado por Ross Freeman e Bernard Vonderschmitt, até os dias de hoje, as FPGAs têm sofrido um avanço tecnológico notável. A primeira FPGA comercial disponível nesse mesmo ano possuía apenas 64 blocos de lógica configurável. No decorrer dos primeiros anos da sua aparição, a sua utilização no desenvolvimento de projetos de elevada importância, ajudaram na sua evolução e fez com que passassem a ser reconhecidas como possíveis soluções no momento de eleição de uma plataforma de desenvolvimento desencadeando o aparecimento das primeiras famílias de FPGAs.

Passados 20 anos já se encontravam no mercado FPGAs com tecnologia de 90 nm e incluindo mais de um milhão de portas em FPGAs com fins académicos. Não ficando por aí, a indústria dedicada ao desenvolvimento desta tecnologia continuou a produzir famílias de FPGAs, que com novos *designs* lógicos e procurando melhorias no desempenho, conseguiu criar *wafers* com tecnologia de até 40 nm. Atualmente está disponível a tecnologia de 28 nm, 20 nm e 16 nm, fazendo com que o número de blocos lógicos configuráveis seja cada vez maior.

A arquitetura dos atuais modelos de FPGAs consiste numa matriz de blocos lógicos configuráveis. Diferentes modelos e arquiteturas incorporam diferentes tipos de CLBs, com diferentes funcionalidades e componentes, mas de um modo geral, estes blocos são compostos por um conjunto de *slices*. Por sua vez estes *slices* são constituídos por *lookup tables* (LUTs), registos, portas lógicas aritméticas, circuitos de *carry* para suportar operações aritméticas e multiplexadores [16]. Cada CLB possui ligações internas rápidas para ligação entre os *slices* e ligações que dão acesso à matriz de interligação global.

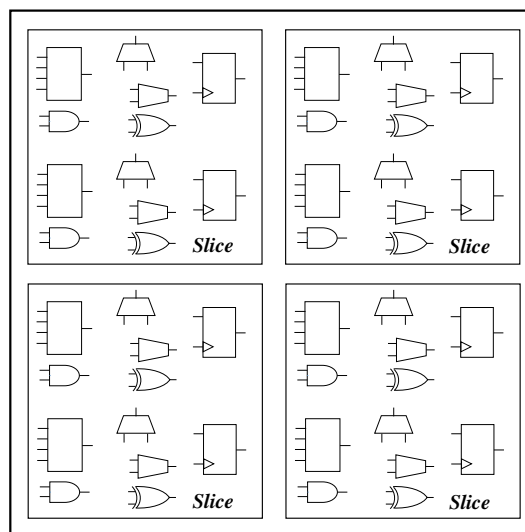


Figura 2.4 - Esquema genérico de um CLB (*Configurable Logic Block*).

Os blocos de entrada/saída que se encontram nestes dispositivos fazem a interface entre a lógica interna e os pinos do encapsulamento, existindo um IOB por cada pino. Estes podem ser configurados para funcionarem como entrada, saída ou bidirecionais, com a capacidade de ficar *tri-state*.

Para além destes componentes também se pode encontrar nas FPGAs multiplicadores dedicados, MACs programáveis (multiplicador e acumulador), blocos de memória, DCM (*Digital Clock Manager*, utilizados para multiplicar ou dividir a

frequência de um sinal de *clock*), entre outros. Estes recursos adicionais fazem com que não sejam utilizadas as unidades genéricas, otimizando a utilização da FPGA e tornando os projetos mais eficientes.

As potencialidades que dizem respeito às FPGAs em geral estão principalmente relacionadas com a rapidez de cálculo, conjugada com possibilidade de processamento em paralelo, isto é, não existe a concorrência entre processos pelo mesmo recurso. Através das ferramentas disponibilizadas pelos fabricantes destes dispositivos, existe também a possibilidade de otimização da área ocupada pelo projeto a implementar na FPGA ou dos tempos de propagação dos sinais.

Para além destas últimas potencialidades, as FPGAs permitem ainda vantagens, no desenvolvimento de protótipos, já que os projetos são suficientemente flexíveis para que possam ser reutilizados em outras plataformas e/ou serem acrescidos de novas funcionalidades.

2.3. Descrição de *Hardware*

A especificação de projeto desenvolvidos em FPGA é feita de uma forma semelhante a uma linguagem de programação que permite a descrição de *hardware*, denominada HDL (*Hardware Description Language*). Por este motivo, dizer que se programa uma FPGA não será exatamente correto: o que se faz é sintetizar a função lógica que depois é implementada pelo dispositivo. Existem vantagens ao conseguir criar um projeto a partir de descrição de *hardware* que não são possíveis encontrar no momento de criar um circuito específico com portas lógicas. No essencial as vantagens são três: a descrição em si própria, a possibilidade de simulação do *hardware* e a possibilidade de sintetizar *hardware* a partir da descrição [17].

A necessidade de descrever sistemas de uma forma que não permita ambiguidade e que seja independente da tecnologia foi um dos motivos para a criação das HDLs. Uma descrição baseada na tecnologia, por exemplo ao nível do transístor, perde-se com a evolução tecnológica. Uma descrição ao nível do componente permite riscos de dependência relativamente ao fornecedor. Era necessária uma boa descrição dos sistemas que permitisse a sua substituição independentemente do fornecedor ou da tecnologia.

Outra vantagem tem a ver com a possibilidade de simulação, já que um sistema no decorrer da fase de implementação necessita ser testado. Quando este sistema inclui *hardware*, a possibilidade de teste reduz-se à criação de protótipos que normalmente

encarecem e atrasam o processo. No entanto, se o sistema estiver corretamente descrito por uma HDL, é possível fazer a sua simulação de forma simples.

A síntese significa a criação automática de *hardware* a partir da descrição existente. Naturalmente, em relação a uma descrição semelhante a uma linguagem de programação de alto nível, existem muitas restrições para a aplicação de um processo de síntese, mas as HDLs permitem determinados níveis na síntese de *hardware* a partir das descrições. O processo de síntese a partir das HDLs é aquele que tem registado um maior desenvolvimento nos últimos anos.

Existem muitos exemplos de linguagens, desde as mais simples, que apresentam uma ou outra das vantagens das HDLs, às mais completas que estão uniformizadas e permitem todas as vantagens referidas.

A forma mais simples do que poderá ser considerada para uma HDL são as descrições usadas pelos fabricantes de lógica programável que permitem especificar o circuito a ser implementado pelo PLD. Exemplos destas linguagens são o *PALASM* e o *ABEL*.

As duas linguagens mais utilizadas atualmente e que aplicam as vantagens referidas anteriormente para as HDLs, são o *VHDL* (*VHSIC HDL, Very High Speed Integrated Circuits HDL*) e o *Verilog*. A primeira é maioritariamente associada a ambientes industriais e a segunda a ambientes académicos.

Numa proposta inicial, a *VHDL* não foi feita com o intuito de implementar lógica em *hardware*. Esta linguagem desenvolvida pela *DARPA* (agência de pesquisa em projetos de defesa norte-americana) surgiu especificamente para a descrição de circuitos digitais, originalmente focado aos circuitos *VHSIC (Very High Speed Integrated Circuits)*. Em seguida a ideia de simular os circuitos descritos nessa linguagem tornou-se bastante óbvia, o que fez surgir os primeiros simuladores do mercado, seguidos por ferramentas capazes de sintetizar um circuito digital a partir da descrição fornecida pela linguagem. A linguagem *VHDL* é mais adequada para especificação de sistemas hierarquicamente mais complexos, que requerem lógica direcionada para os objetos. Para isso o *VHDL* disponibiliza um conjunto de conceitos, tais como construtores e tipos de dados abstratos.

Pelo outro lado, com *Verilog* os conceitos atrás mencionados não estão previstos, o que pode ser encarado como uma desvantagem no caso de sistemas mais complexos. No entanto, o *Verilog* apresenta vantagens que o tornam interessante, como por exemplo o facto de a sua sintaxe estar mais próxima da linguagem *C*. Outra vantagem desta

linguagem deve-se aos tipos de dados existentes serem muito simples e muito próximos do *hardware*, não sendo necessário lidar com conversões entre esses tipos de dados.

O *Verilog* foi uma das primeiras linguagens para descrição de *hardware* a ser inventada. Criada por Prabhu Goel e Phil Moorby, no ano 1984, para a *Automated Integrated Design Systems*. Originalmente, a linguagem tinha por objetivo descrever e permitir simulações; mais tarde, também lhe foi acrescentada a possibilidade de síntese de circuitos.

2.4. Inversores de Potência

A eletrônica de potência é a área tecnológica associada à utilização de componentes elétricos e eletrônicos para a conversão, o controlo e o acondicionamento de energia elétrica. Com o uso da eletrônica de potência é possível processar o fluxo de energia elétrica da fonte para as cargas, de forma a fornecer tensões e correntes otimizadas para o funcionamento ou para o controlo das mesmas, de uma forma altamente eficiente e fiável, com soluções de tamanho reduzido, leves e de baixo custo [18].

Os inversores de potência são essencialmente construídos por um conjunto de semicondutores de potência que operam como interruptores eletrónicos e que permitem sintetizar a partir de uma fonte CC saídas CA cuja amplitude e frequência podem ser ajustadas.

Os inversores são amplamente utilizados, estando presente em sistemas de alimentação ininterruptas (UPS - *Uninterrupted Power Supply*), variadores de velocidade para motores, entre outros tipo de recetores de corrente alternada. A seguir são descritas algumas topologias de inversores, sendo todas estas trifásicas. Estas topologias também existem em monofásico, mas como o conceito que define a topologia trifásica também se aplica aos inversores monofásicos, escolheu-se apresentar os inversores trifásicos ao longo da dissertação.

É possível alimentar uma carga trifásica a partir de três inversores monofásicos separados, onde cada inversor produz uma saída desfasada de 120° entre eles. Este tipo de solução não é a mais utilizada já que é preciso ter em consideração o tipo de carga que é ligada e porque precisa de 12 interruptores para a sua implementação.

Os inversores sofreram uma evolução drástica e tiveram um grande impulso com a aparição de um novo dispositivo semicondutor de potência, o IGBT. Ao começarem a ser comercializados a partir de 1985, se tornaram rapidamente populares devido à sua fácil operação e confiabilidade, conseguindo que o acionamento com velocidade

controlada para as máquinas CA assíncronas fosse incluído na gama de aplicações que estes dispositivos conseguiam controlar [19].

O circuito mais comum de um inversor trifásico consiste em três braços ou terminais, uma para cada fase. Cada braço do inversor consiste em dois interruptores, portanto a saída de cada braço depende unicamente da tensão contínua do barramento e do estado dos interruptores do próprio braço. A tensão de saída é independente da corrente da carga, já que um dos dois interruptores de cada braço sempre se encontra ligado

Dependendo da sua fonte de alimentação os inversores classificam-se em inversores fonte de corrente (CSI – *Current Source Inverter*) e inversores fonte de tensão (VSI - *Voltage Source Inverter*), podendo existir dentro de cada grupo diferentes configurações. Para o caso de acionamento de motores elétricos de baixa e média potência a topologia mais comum é o inversor fonte de tensão [20].

2.4.1. Inversor Fonte de Tensão

A configuração mais comum de um inversor trifásico do tipo fonte de tensão utiliza 3 braços (um por cada fase) com 2 interruptores ligados em série em cada braço, como se mostra na Figura 2.5. A partir de uma fonte de tensão CC ligada à sua entrada (V_{cc}), permitem gerar à saída três tensões de amplitude e frequência controladas e desfasadas entre elas de 120° elétricos [21]. Uma saída monofásica pode ser obtida utilizando-se, p.ex., apenas dois braços do inversor, ao invés de três.

Quando um interruptor superior de um braço do inversor e um semiconductor inferior de outro braço (nunca os dois de um mesmo braço) estiverem em condução, a tensão CC aparecerá num par de condutores da saída alternada [22].

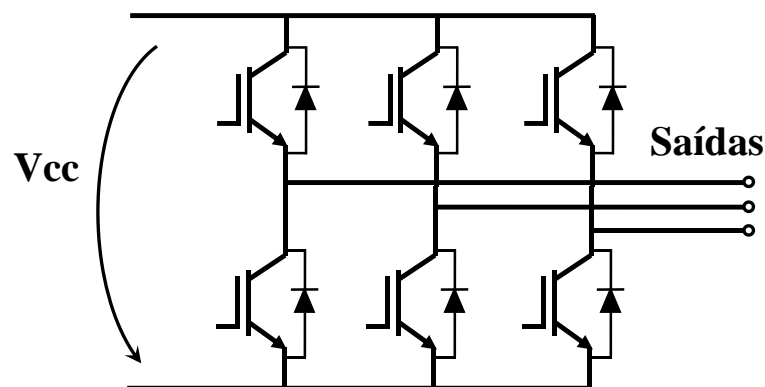


Figura 2.5 - Esquema genérico de um inversor fonte de tensão.

Na Figura 2.5 não são apresentados os circuitos para comando dos semicondutores e pressupõe-se que estes são IGBT, como foi no caso do inversor utilizado na prática.

Os díodos presentes no circuito e ligados em antiparalelo com os IGBTs garantem a bidirecionalidade do sentido da corrente, indispensável para que o inversor possa ser utilizado com todo o tipo de cargas.

2.4.2. Inversores Fonte de Corrente

A denominação destes inversores é devido a possuírem uma fonte de corrente no barramento CC, e a semelhança do que ocorre no inversor fonte de tensão, a modulação e controlo dos interruptores permite a conversão para CA e alimentação das cargas.

Os interruptores a serem usados no circuito devem permitir passagem de corrente num único sentido e serem capazes de bloquear tensões com ambas polaridades. Deve-se garantir que haja sempre um interruptor em condução em cada braço do inversor. Como mostra a Figura 2.6, a utilização de díodos em série com os IGBTs deve-se ao facto do inversor CSI necessitar de interruptores de potência com capacidade de bloqueio reverso.

Caso a impedância da carga seja indutiva, como é na maioria dos casos, é necessária a colocação de condensadores na saída do inversor de modo a conseguir suportar as diferenças instantâneas nos valores das correntes de entrada na carga. Isto resulta numa desvantagem para esta topologia de inversores, já que estas capacitâncias podem provocar ressonâncias com os componentes indutivos do circuito, devendo-se controlar a tensão sobre os condensadores [22].

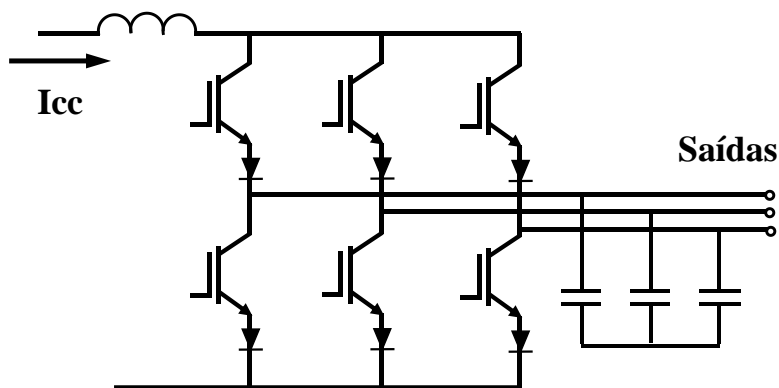


Figura 2.6 - Esquema genérico de um inversor fonte de corrente.

2.5. Motores Eléctricos

Os motores eléctricos subdividem-se em duas principais categorias, motores CC e motores CA. Dentro de cada categoria existem diversas topologias dependendo, entre outros aspetos, da sua construção, aplicação e tipo de movimento (Figura 2.7).

Existem motores eléctricos para uma enorme gama de potências e aplicações tão diversas como ventoinhas/ventiladores, bombas de água, acionamento eléctrico, eletrodomésticos, ferramentas eléctricas, vibradores para telemóveis, etc. [23]. A seguir descreve-se de forma breve alguns dos principais tipos de motores, excluindo-se aqueles que não faria sentido mencionar no contexto da dissertação.

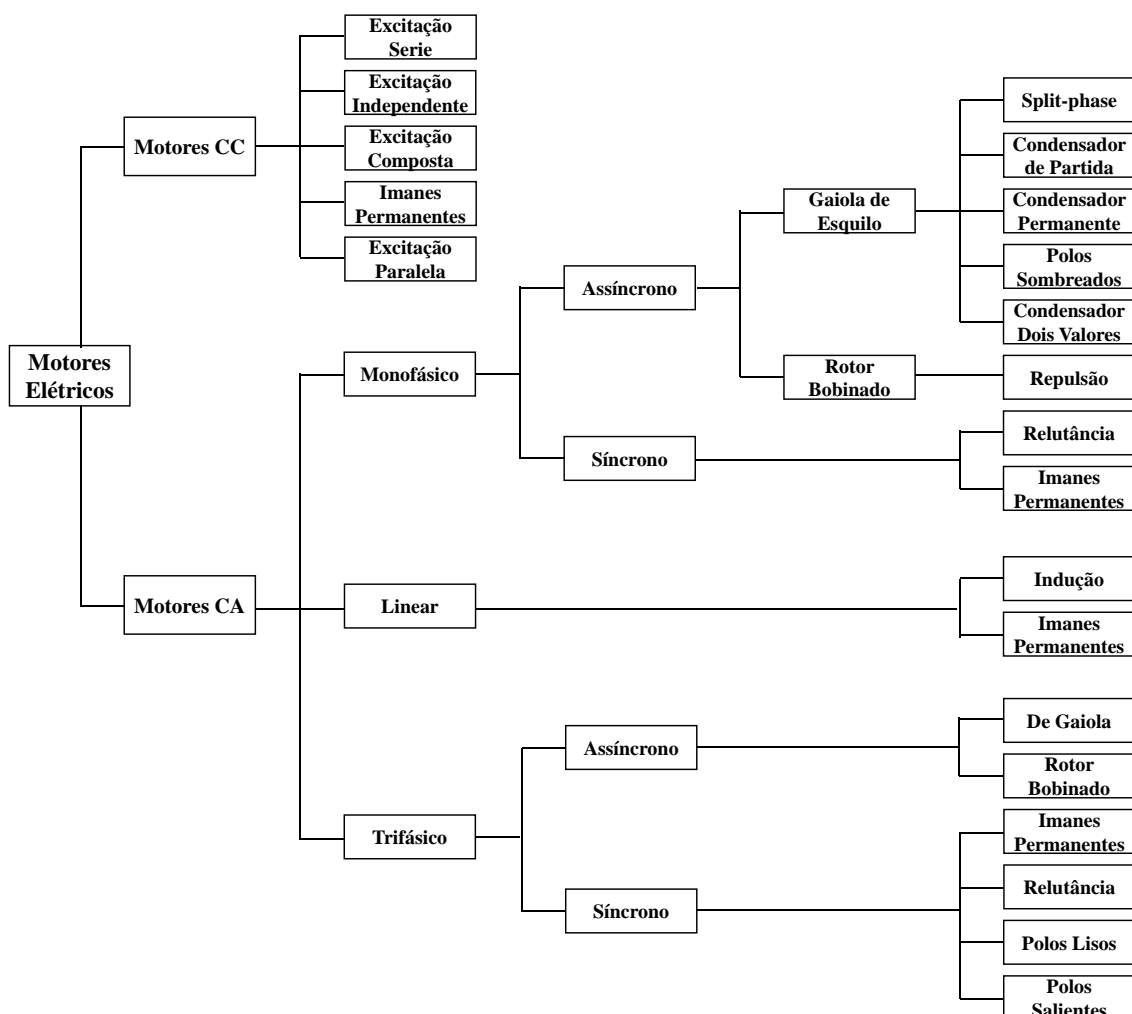


Figura 2.7 - Classificação dos motores eléctricos [24].

2.5.1. Motores CC

São motores que precisam de uma fonte de corrente contínua, ou de um conversor de corrente alternada em contínua para a sua alimentação. Podem funcionar com

velocidade ajustável entre amplos limites, permitindo implementar sistemas de controlo com muito boas características dinâmicas e elevada precisão, sendo estes os casos em que compensa a sua utilização, devido ao custos destes motores serem mais elevado em relação aos motores CA.

Os motores CC são conhecidos por apresentar binário constante em toda a faixa de velocidade - salvo se em região de enfraquecimento de campo. Estes motores são frequentemente alimentados por conversores estáticos a ponte de tirístores, sendo este o método mais usado e difundido atualmente [23].

2.5.2. Motores AC

São os mais utilizados, porque a distribuição de energia eléctrica é feita normalmente em corrente alternada. Apesar de poderem ser alimentados diretamente pela rede eléctrica, o acionamento pode ser realizado através conversores eletrónicos, sendo assim possível ajustar os parâmetros da sua alimentação.

Motor de indução

O motor de indução é o mais usado de todos os tipos de motores, pois combina as vantagens da utilização de energia eléctrica - baixo custo, facilidade de transporte, limpeza, simplicidade de comando - com sua construção simples e grande versatilidade de adaptação às cargas dos mais diversos tipos [24].

Funcionam normalmente com uma velocidade constante, que varia ligeiramente com a carga mecânica aplicada ao eixo. Atualmente é possível o controlo da velocidade dos motores de indução com o auxílio de inversores de frequência.

Motor de indução de rotor em gaiola de esquilo

O nome deste tipo de motor faz menção a uma característica física que apresenta o rotor desta máquina, que é constituído por um conjunto de barras não isoladas e interligadas por anéis de curto-circuito.

Uma das características deste motor é que só o estator é ligado à rede eléctrica. O rotor não é alimentado externamente e as correntes que circulam nele são induzidas electromagneticamente pelo estator, de onde provém o seu nome: motor de indução.

O motor assíncrono de rotor em gaiola de esquilo é de longe o mais utilizado na indústria, devido à sua construção robusta e simples, além de ser a solução mais económica, tanto em termos de motores como de comando e proteção [24].

Motor de indução de rotor bobinado

Este motor possui no rotor um enrolamento bobinado montado em ranhuras na sua superfície. Este rotor é mais complicado de fabricar que o rotor em gaiola de esquilo, mas permite ter acesso desde o exterior através de um conjunto de anéis e escovas que ligam ao enrolamento. Estas características apresentam vantagens devido à possibilidade de utilizar um reóstato (ou em alternativa um conversor eletrónico) que permite controlar a sua velocidade de rotação e melhorar ao arranque da máquina (aumentando o binário e reduzindo a corrente no arranque) [25].

Estes motores são especialmente recomendados nos casos em que a carga possui um binário elevado ou alta inércia na partida.

Motor síncrono

Os motores síncronos são motores que rodam à mesma velocidade do campo magnético girante produzido pelo enrolamento estatórico. Assim, e ao contrário do que sucede nos motores de indução, nestes motores não existe deslizamento, ou seja, rodam a velocidade fixa [10].

Possuem normalmente muito bons rendimentos e têm como principal desvantagem o facto de não possuírem binário de arranque (quando ligados diretamente à rede elétrica). É sobretudo utilizado para grandes potências (devido ao seu alto custo em tamanhos menores).

Motor síncrono de ímanes permanentes

O motor síncrono de ímanes permanentes (PMSM – *Permanent Magnet Synchronous Motor*) tem despertado interesse nos últimos anos, sendo reconhecido como um forte candidato para a propulsão de veículos elétricos e veículos híbridos. Este facto deve-se às suas principais características tais como, a sua robustez, elevada eficiência, elevada densidade de potência, elevada controlabilidade e dispensa manutenção [27] [28].

O rotor é constituído por ímanes permanentes e o número de pares de polos pode variar, normalmente entre dois e oito pares, parâmetro que define a velocidade nominal destas máquinas elétricas.

Em relação ao motor de indução, os motores síncronos de ímanes permanentes apresentam várias vantagens tais como [10]:

- Operação numa grande gama de velocidades com carga nominal;
- Elevada relação entre a potência e as dimensões do motor, devido aos ímanes permanentes que constituem o rotor;
- Baixa inércia do rotor, proporcionando melhores características dinâmicas;
- Mais fáceis de controlar, nomeadamente em aplicações que requerem elevado desempenho.

2.6. Aplicações de motores PMSM

As propostas feitas pelo recente mercado associado à mobilidade elétrica, incluindo também investigações feitas nesta área, apresenta o motor síncrono de ímanes permanentes como a melhor alternativa a utilizar devido às características que este possui [29].

Já que estes motores são excitados a partir de ímanes permanentes, em vez dos enrolamentos de excitação, consegue-se eliminar as perdas por efeito Joule no rotor obtendo assim níveis de rendimento mais elevados. Com a eliminação dessas perdas, este tipo de motores trabalha com temperaturas reduzidas proporcionando assim a redução do tamanho da carcaça e aumento da vida útil do motor.

Os PMSM também conseguem ter dimensões mais pequenas (ou maior binário com as mesmas dimensões que um motor com enrolamentos), útil em sistemas onde o espaço a ser ocupado pelo motor é significativo, destacando-se por cima do motor síncrono com escovas. Esta característica de maior binário em relação ao volume, faz com que estes motores sejam ideais para aplicações de baixa velocidade e elevado binário, como arranques e acelerações a baixas velocidades [29].

Propostas como [31], propõem motores elétricos inseridos nas jantes dos veículos, sendo denominados de *motor in wheel*. Mais uma característica que o PMSM consegue abranger, devido a existir uma topologia relativa à sua estrutura construtiva denominada de fluxo axial, onde o fluxo do campo é direcionado paralelamente ao eixo do motor, o que faz com que a sua carcaça tenha um diâmetro maior ao comprimento, diferente do que acontece na topologia dos motores de fluxo radial, onde o fluxo do campo é direcionado ao longo do raio do motor como acontece na maioria dos motores elétricos. Atualmente os motores de campo radial são bastante comuns, em relação às aplicações

com motores de fluxo axial. Este número de aplicações para motores de fluxo axial tem vindo a crescer nos últimos anos devido à sua elevada densidade de potência e capacidade de aceleração [10].

Na Figura 2.8 encontra-se representado os dois tipos de PMSM associado à direção do fluxo. Primeiramente (lado esquerdo) um exemplo de um PMSM de fluxo radial, sendo acompanhado por um PMSM de fluxo axial do lado direito.

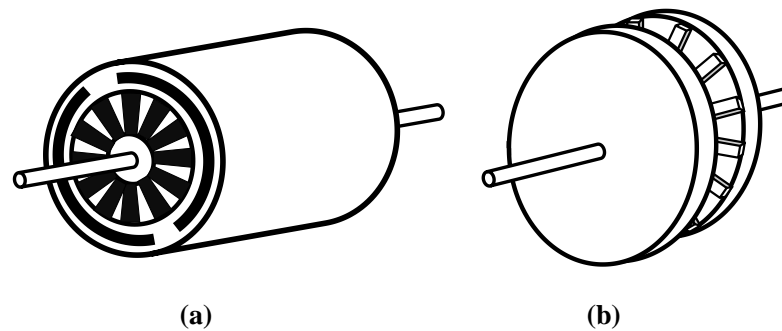
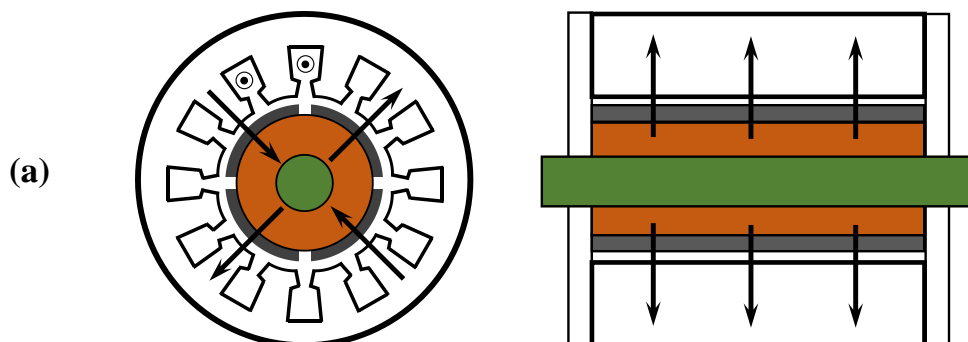


Figura 2.8 - Estrutura genérica de motor de fluxo radial (a) e um motor de fluxo axial (b).

Já o estator da máquina síncrona contém enrolamentos que são alojados na circunferência do estator, que criam um campo magnético girante, o qual gira em sincronia com a frequência da corrente de alimentação. Por sua vez, o rotor girará no passo com este campo, com exatamente a mesma taxa como já foi mencionado.

A construção do estator é feita a partir de um grupo de lâminas de aço ranhuradas (0,1 a 0,6 mm de espessura) que são unidas para formar um bloco sólido, o qual cria uma série de dentes. Os enrolamentos são inseridos em cada uma das ranhuras. Em conjunto, o núcleo laminado e os enrolamentos formam o conjunto do estator [19].

O estator é constituído por um número de enrolamentos igual ao número de fases, os quais são colocados nas ranhuras do estator tal como é possível observar na Figura 2.9. Onde a Figura 2.9 a) mostra um PMSM de fluxo radial e a Figura 2.9 b) mostra um PMSM de fluxo axial.



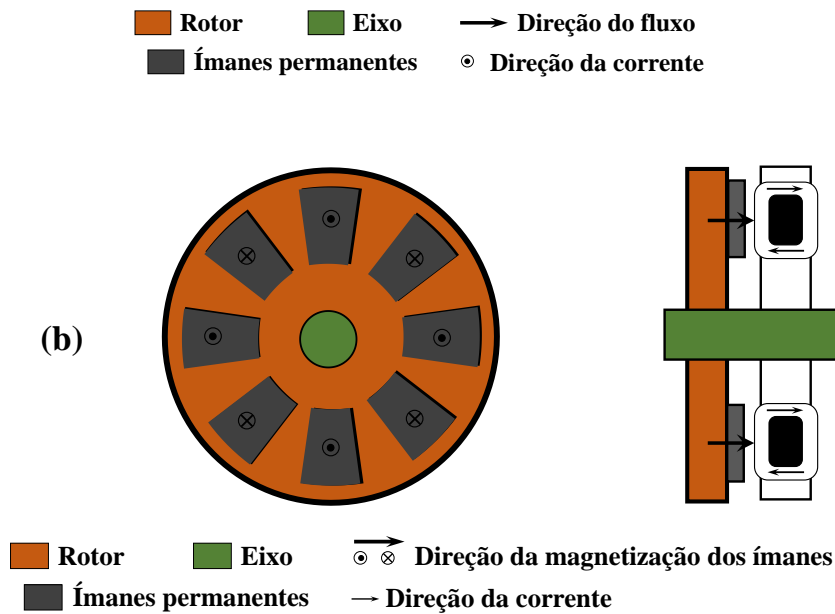


Figura 2.9 - Motores síncronos de ímanes permanentes de fluxo radial (a) e de fluxo axial (b) (com indicações de direção do fluxo e da corrente) [29].

Outro aspeto a ter em consideração com este tipo de motores está relacionado com a velocidade de rotação. Para obter uma velocidade de rotação superior à velocidade nominal é necessário trabalhar na zona de enfraquecimento de campo ou de potência constante, o que faz ter especial atenção no caso dos motores síncronos de ímanes permanentes, devido ao fluxo rotórico ser produzido pelos ímanes permanentes do rotor. Para controlar o motor na zona de enfraquecimento de campo é necessário aplicar um fluxo contrário ao fluxo de excitação produzido pelos ímanes no sentido de reduzir o fluxo rotórico. Um dos aspetos negativos deste tipo de motores é que o funcionamento nesta zona pode originar a desmagnetização dos ímanes permanentes. Este fenómeno é dependente do tipo de materiais dos ímanes e das condições de operação.

2.7. Princípio de operação dos motores elétricos

O campo magnético do fluxo resultante é denominado de campo girante, produzido pelos enrolamentos do motor. Os enrolamentos podem ser construídos com um ou mais pares de polos, que se distribuem alternadamente ao longo da periferia do núcleo magnético. O campo girante percorre um par de polos a cada ciclo. Assim sendo, a relação

entre a velocidade de rotação do campo girante, a frequência de alimentação, o número de polos e o deslizamento obedece à seguinte equação:

$$n = \frac{120 \cdot f(1-s)}{p} \quad (2.1)$$

Onde n representa a velocidade de rotação do motor em rpm, f a frequência elétrica aplicada ao motor em Hz, o número de polos do motor é representada pela variável p , e o deslizamento é representado por s .

A análise da equação (2.1) mostra que se pode variar a velocidade de um motor através da variação da frequência de alimentação. Variando-se a frequência da tensão de alimentação varia-se também a velocidade mecânica do motor.

No entanto, para que o motor possa trabalhar numa faixa de velocidades não basta variar a frequência de alimentação, deve-se variar também a amplitude da tensão de alimentação, de maneira proporcional à variação de frequência. Assim, o fluxo e por conseguinte o binário eletromagnético do motor permanecem constantes, enquanto o deslizamento é mantido. Dessa forma, esta característica do motor (V/f) é linear até a frequência nominal (f_n) de operação do motor. Assim sendo, a tensão que é igual à nominal do motor (V_n), permanece constante e há apenas a variação da frequência do induzido assim como mostra a Figura 2.10.

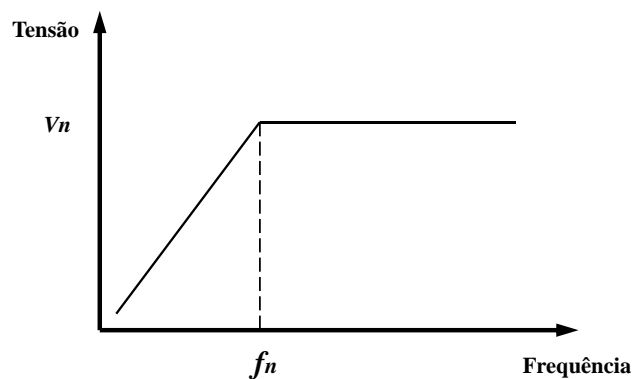


Figura 2.10 - Variação da relação V/f

Assim, como já referido, acima da frequência nominal de operação caracteriza-se a região de enfraquecimento de campo, sendo que em frequências abaixo da frequência nominal o binário fornecido pelo motor é constante, decrescendo gradativamente nas frequências de operação acima desta como mostra a Figura 2.11.

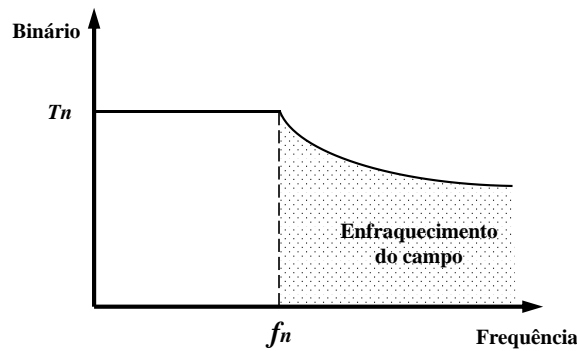


Figura 2.11 - Variação da relação T/f

Em relação aos motores síncronos, a velocidade síncrona do motor também é definida pela velocidade de rotação do campo girante, a qual depende do número de pares de polos do motor e da frequência de alimentação. Neste caso o deslizamento não se encontra presente na equação que define a relação do motor, já que como foi referido os motores síncronos não apresentam deslizamento, sendo expressa esta relação pela seguinte equação:

$$n = \frac{120 \cdot f}{p} \quad (2.2)$$

Independentemente das variações de carga e desde que a carga se mantenha dentro dos limites do binário máximo do motor, a rotação média do motor síncrono se mantém constante. Isto se verifica pelo facto dos polos do rotor permanecerem parados em relação ao campo magnético girante produzido pelo enrolamento do estator [31]. Desta forma o motor síncrono mantém a velocidade constante tanto nas situações de sobrecarga como também durante momentos de queda de tensão, respeitando-se os limites de binário máximo.

Assim como mostra a Figura 2.12, o princípio de funcionamento da rotação de um motor está associada a uma corrente (contínua) de campo I_f que produz um campo magnético B_r no rotor, No caso do motor síncrono de ímanes permanentes, este campo magnético é constante já que depende dos ímanes no rotor, não sendo precisa nenhuma corrente. Um sistema trifásico de tensões é aplicado aos enrolamentos estáticos produzindo um campo magnético girante B_s , fazendo com que o campo B_r tenda a alinhar-se com o campo B_s . A partir destas grandezas é expresso o binário induzido, o qual é representado pela seguinte equação [32].

$$T_i = k \cdot B_r \times B_s \quad (2.3)$$

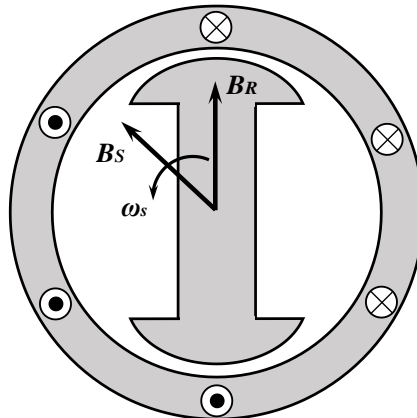


Figura 2.12 - Princípio de funcionamento de rotação de um motor eléctrico.

No entanto, estes dois campos magnéticos nunca ficarão perfeitamente alinhados, devido ao rotor possuir uma determinada inércia mesmo no caso de não se encontrar nenhuma carga ligada ao motor. Embora exista este desfasamento entre os dois campos magnéticos, ambos estarão a rodar à mesma velocidade. Este desfasamento é denominado de ângulo de binário e representado por δ , este ângulo de binário é diretamente proporcional ao binário resistente ocasionado pela carga.

O circuito equivalente para uma máquina síncrona é o que mostra Figura 2.13, onde a Figura 2.13.a) representa o rotor da máquina síncrona e a Figura 2.13.b) o estator de uma das fases da máquina. Onde R_a , R_b e R_c , são as resistências dos enrolamentos do estator das fases a , b e c respetivamente, L_a , L_b e L_c são as indutâncias dos enrolamentos do estator das fases a , b e c , respetivamente, e e_a , e_b e e_c são as tensões induzidas das mesmas fases. Caso a máquina seja um sistema trifásico equilibrado, $R_a = R_b = R_c$ e $L_a = L_b = L_c$.

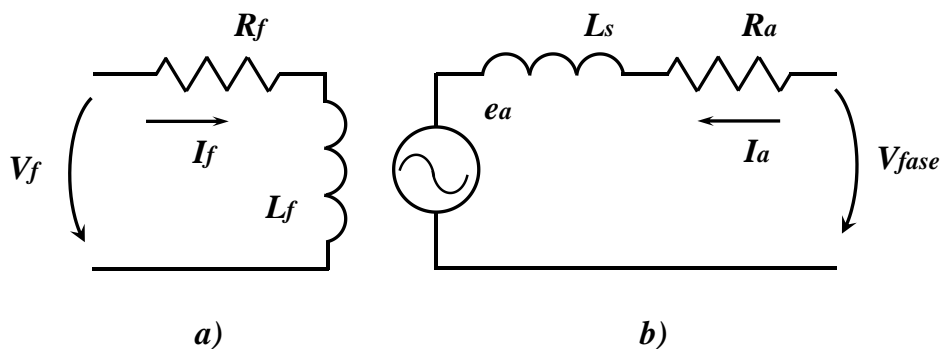


Figura 2.13 - Circuito equivalente de uma máquina síncrona.

No caso da Figura 2.13, a alimentação dos enrolamentos no rotor é feita através de uma tensão V_{fase} , a qual cria o campo magnético do rotor. No caso do estator, a tensão de cada fase é dada por:

$$V_{fase} = ea + jX_s I_a + Ra I_a \quad (2.4)$$

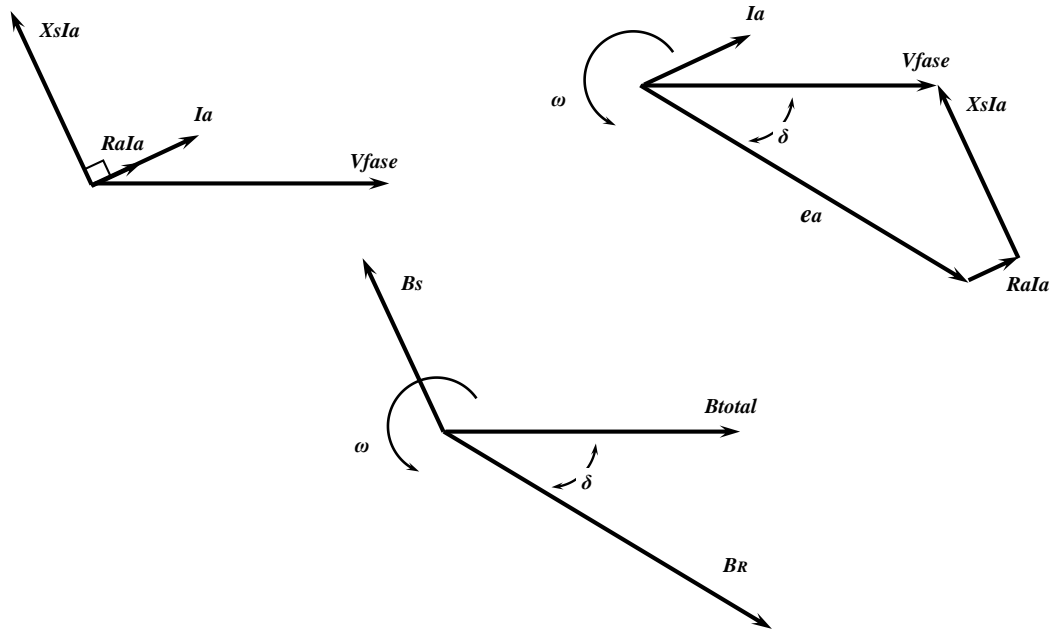


Figura 2.14 – Representação das várias grandezas associadas funcionamento ao motor síncrono.

Na Figura 2.14 pode-se observar como são expressas as grandezas da equação (2.4). O campo magnético rotórico corresponde a ea , o campo total B_{total} corresponde a V_{fase} e o campo magnético estático B_s corresponde à queda de tensão no enrolamento $jX_s I_a$. Isto é verdade sempre que não for considerada a resistência do estator do motor.

Os motores síncronos acionam cargas, onde independente da carga o motor mantém uma velocidade constante. Isto implica que o motor esteja ligado a um sistema de alimentação de potência muito superior à do motor, para os valores de tensão e a frequência se manterem constantes qualquer que seja a potência absorvida pelo motor. Assim sendo, o binário do motor é expresso pelas equações (2.5) e (2.6).

$$T_i = k \cdot Br \cdot B_{total} \cdot \sin \delta \quad (2.5)$$

$$T_i = \frac{3V_{fase} \cdot V_a \cdot \sin \delta}{\omega \cdot X_s} \quad (2.6)$$

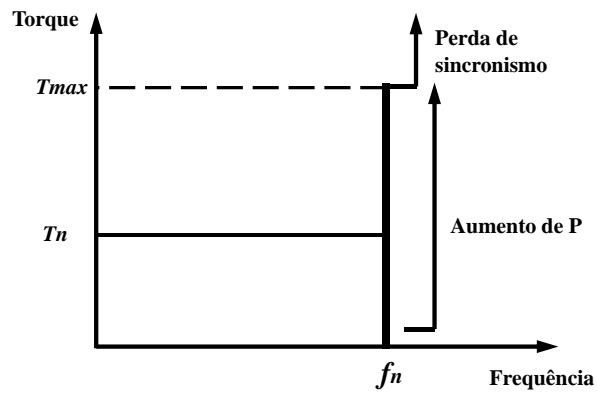


Figura 2.15 - Representação do binário em um motor síncrono.

Pelas equações é possível dizer o que o binário máximo acontece quando $\delta = 90^\circ$. Excedendo-se o valor do binário máximo, o rotor não consegue acompanhar o campo girante, fazendo com que o motor perca o sincronismo, passando a existir um binário oscilante que unicamente consegue fazer vibrar o motor.

Também se pode verificar que quanto maior o valor da corrente de campo (e consequentemente o valor de ea), tanto maior o binário máximo do motor síncrono.

Existindo uma carga ligada ao motor, este desenvolverá binário suficiente para manter a carga a rodar à velocidade síncrona. A Figura 2.16 mostra o que acontece quando existe uma variação da carga que se encontra ligada ao motor [32].

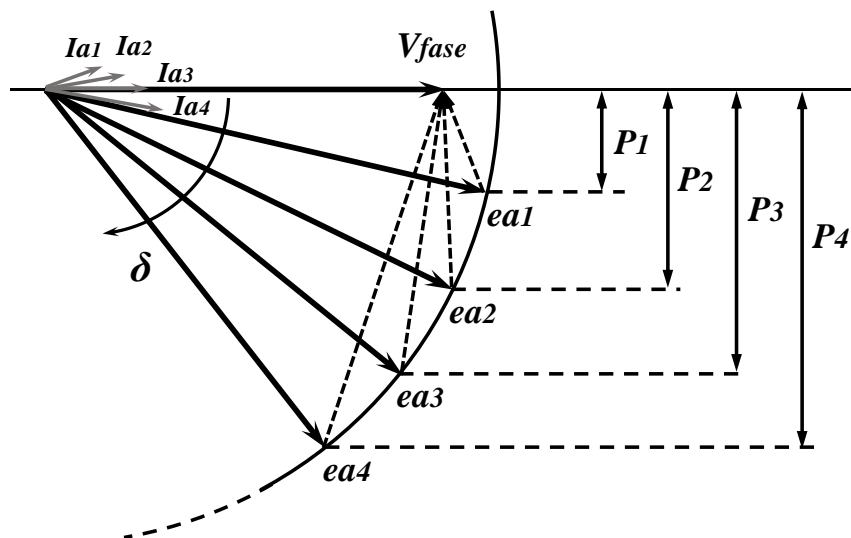


Figura 2.16 - Variação de cargas num motor síncrono [32].

A partir da situação $Ia1$ e $ea1$, é possível explicar o que acontece no motor. Se o binário resistente aumentar, o rotor começa por abrandar. Com esta diminuição de velocidade o ângulo de binário δ aumenta e o binário induzido pelo motor também

aumenta. Com este aumento do binário do motor, o rotor acelera até atingir novamente a velocidade de sincronismo, embora com um ângulo de binário maior.

Como ea depende unicamente da corrente de campo e da velocidade ($ea = k\phi\omega$), fazendo com que o motor trabalhe a uma velocidade contante e devido a não haver alterações na corrente de campo, então o módulo da tensão induzida $|ea|$ deverá permanecer constante, mesmo existindo alterações da carga. No entanto a projeção de ea , assim como o $\sin \delta$, aumentam. O valor de $Ia \cdot \cos\phi$ também aumenta, este ângulo representa o ângulo existente entre a corrente Ia e a tensão de fase V_{fase} , sendo $\cos\phi$ o fator de potência. O vetor ea desloca-se para baixo sobre uma circunferência, o que representa que a quantidade $jXsIa$ tem que aumentar para conseguir atingir V_{fase} , o que por sua vez implica que Ia aumente, ocasionando que a potência absorvida pelo motor seja maior.

2.8. Conclusão

Qualquer circuito de aplicação específica pode ser implementado numa FPGA, sempre que esta possua recursos necessários. As aplicações onde comumente são utilizadas incluem protótipos de ASICs, sistemas de processamento de imagem, sistema de visão por computador, entre outros. É de ressaltar que a sua utilização é cada vez maior incluindo cada vez mais vertentes, principalmente em aplicações que precisem de um elevado grau de paralelismo.

Pode-se então dizer que as FPGAs têm sofrido uma evolução considerável nos últimos anos, em relação a capacidade de lógica disponível, número de pinos de entrada/saída, ao aumento considerável da velocidade, paralelamente ao aumento do desempenho energético. Tudo isto converteu as FPGAs em dispositivos capazes de rivalizar com os dispositivos dedicados numa grande variedade de aplicações, sendo hoje capazes de albergar todo um sistema num só *chip*. Esta evolução vem, de uma forma gradual, transformando as FPGAs no dispositivo de eleição para desenvolvimento de projetos que exijam o desenvolvimento rápido de protótipos a baixo custo [34].

Por outro lado, os contínuos avanços feitos nas áreas de transporte e na mobilidade chegaram a um ponto muito interessante, onde a aposta pela inovação é feita no campo da mobilidade elétrica, tendo a eletrônica de potência um papel da maior importância a desempenhar nesta área.

Os motores síncronos de ímanes permanentes competem diretamente com os motores de indução para aplicações de tração e mobilidade elétrica. Na verdade, quase

toda a indústria de veículos híbridos ligeiros está a mudar para este tipo de motores de forma a poder dar resposta aos crescentes requisitos de densidade de potência e de eficiência.

Os motores usados nos veículos elétricos são, e continuarão sendo por um longo tempo, motores de corrente alternada. O motivo é muito simples, os motores CA são muito mais simples, robustos e baratos do que os motores de corrente contínua [35].

CAPÍTULO 3

Técnicas de Comando para Motores PMSM

3.1. Introdução

Neste capítulo são apresentadas algumas técnicas de modulação utilizadas no comando de inversores VSI e algumas estratégias de controlo de motores de corrente alternada, importantes no contexto da mobilidade elétrica.

Também é apresentado o processo de criação de projetos em FPGA, todos os passos considerados e as ferramentas utilizadas no processo.

3.2. Métodos de comutação de inversores

Os inversores comutados permitem sintetizar a partir de um barramento CC uma onda sinusoidal ajustável em amplitude e frequência, por meio de técnicas de modulação de largura de pulso, algumas das quais se apresentam em seguida.

A Figura 3.1 ilustra uma situação de operação em malha aberta. Nesse caso, um conversor VSI é capaz de sintetizar na sua saída uma tensão que segue a referência dada de forma linear. O filtro de saída atuará sobre esse sinal modulado e seu papel é minimizar as componentes de alta frequência. Tendo um filtro bem dimensionado, eliminando harmónicas da modulação, a tensão de saída será um sinal muito parecido ao sinal de referência.

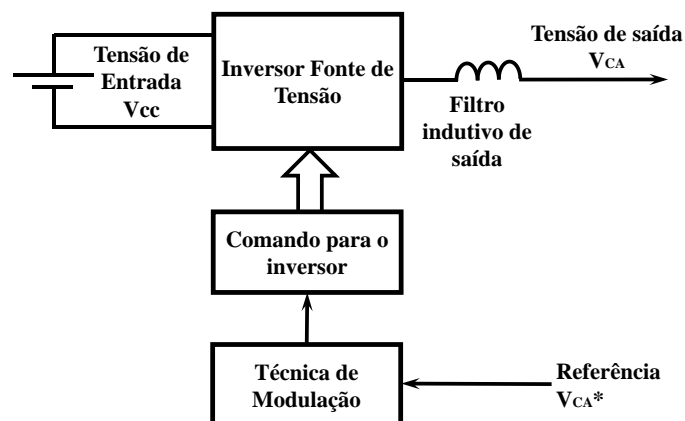


Figura 3.1 - Operação de conversor VSI em malha aberta, síntese adequada da tensão de saída [35].

3.2.1. Comutação por ondas quadradas

É a técnica mais simples de todas: em cada braço do inversor, os semicondutores conduzem durante um semiciclo da frequência desejada (50% em cada período) como se observa na Figura 3.2.

Para além da simplicidade, esta técnica tem como vantagem o facto de cada interruptor só mudar de estado duas vezes por ciclo, pelo que as perdas de comutação são baixas. Contudo, o inversor de onda quadrada não permite ajustar a amplitude da tensão de saída, pelo que se tal for necessário, a tensão CC à entrada terá que ser ajustada de alguma forma (o ajuste de frequência é feito ao nível do inversor). Para além disso a qualidade da forma de onda de saída é muito baixa, sendo aceitável apenas para um número restrito de aplicações.

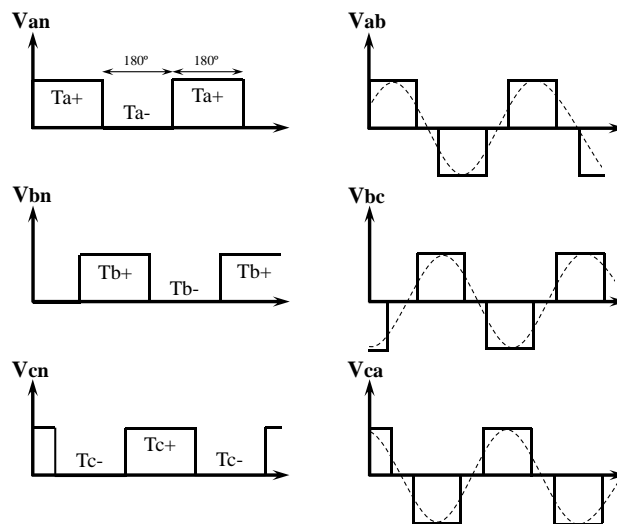


Figura 3.2 - Modulação por ondas quadradas.

Note-se que, devido ao tempo de espera que é necessário introduzir para que os dois condutores do mesmo braço não se encontrem ligados em simultâneo (*dead time*), os intervalos reais de condução são menores que os 180° previstos.

3.2.2. Método de comutação por modulação de largura de pulso

Em inversores comutados, utiliza-se normalmente PWM para sintetizar uma onda CA de amplitude e frequência variáveis a partir de um barramento CC.

Numa das técnicas que está disponível há mais tempo e que ainda hoje é das mais populares por ser simples de implementar, compara-se um sinal de controlo sinusoidal

($v_{control}$) com a frequência desejada, com um sinal triangular (v_{tri}) de frequência várias vezes superior assim como apresentado na Figura 3.3. À referência sinusoidal chama-se “moduladora”; a onda triangular designa-se por “portadora” e a sua frequência define a frequência de comutação do inversor (f_s). O ajuste de amplitude da tensão é feito ajustando a amplitude relativa das duas ondas. Esta técnica é conhecida por “Modulação Sinusoidal” (SPWM).

As interseções das duas ondas definem os instantes de comutação já que, tomando com referência os 2 transístores T+ e T- de um braço do inversor Figura 3.3, liga-se T+ quando $v_{control} > v_{tri}$ e T- no caso contrário; assim, a tensão de saída do inversor é constituída por pulsos cuja largura vai variando ao longo de um período de $v_{control}$ e cuja amplitude é definida pela tensão no barramento CC.

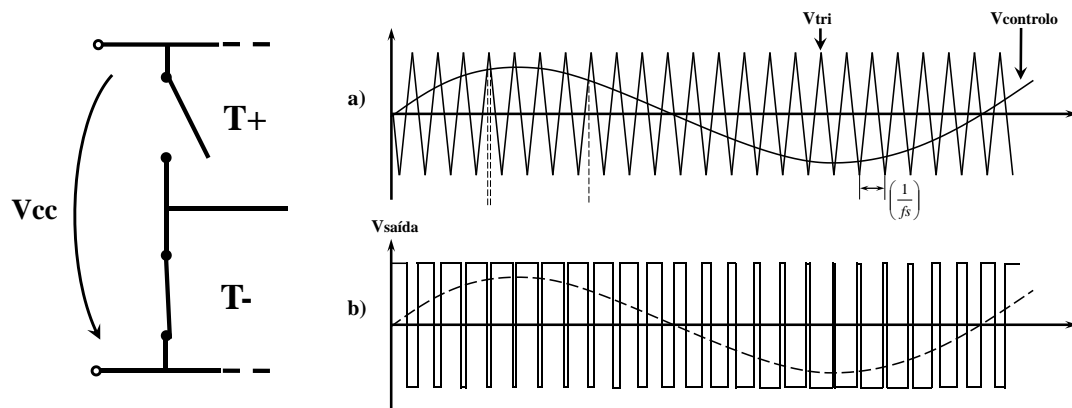


Figura 3.3 - Forma de onda de modulação por largura de pulso.

Existem dois parâmetros fundamentais associados à técnica SPWM: a “relação de modulação de amplitude”, ma (equação (3.1)) e a “relação de modulação de frequência”, mf (equação (3.2)).

$$ma = \frac{V_{control}}{V_{tri}} \quad (3.1)$$

$$mf = \frac{f_s}{f_1} \quad (3.2)$$

O valor de ma (também designado por “índice de modulação”) define a amplitude da tensão de saída do inversor; para valores ma entre 0 e 1 a relação deste parâmetro com a amplitude é linear; para valores superiores a 1 a amplitude continua a aumentar mas a relação deixa de ser linear e a qualidade da onda de saída deteriora-se rapidamente, já que

o número de pulsos por período da onda sintetizada diminui (algumas interceções entre a moduladora e portadora deixam de ocorrer).

O valor de mf estabelece a relação entre a frequência de comutação do inversor e a frequência da componente fundamental da onda sintetizada. Quanto maior for mf , ou seja, quanto maior for o número de pulsos por período, melhor será a qualidade da onda de saída, já que será mais fácil filtrar harmónicos de frequência mais elevada; contudo, as perdas associadas à comutação dos transístores aumentam com f_s (são diretamente proporcionais à frequência de comutação), pelo que na prática terá que ser encontrado um compromisso adequado. Sendo possível, e para algumas aplicações, é desejável que f_s seja superior a 20 kHz, para evitar que o inversor produza ruído audível.

Para inversores trifásicos, aplica-se o mesmo princípio da Figura 3.3, utilizando-se três moduladoras sinusoidais desfasadas 120° na comparação com a portadora triangular.

A largura (teórica) dos pulsos é afetada na prática, não só pelos tempos mortos necessários para evitar que dois transístores do mesmo braço conduzam simultaneamente (curto-circuitando o barramento CC), mas também porque há que limitar a duração mínima dos pulsos, devido às limitações em termos de velocidade de comutação dos semicondutores.

Existem inúmeras variantes das técnicas SPWM, nomeadamente aquelas em que é utilizada (em inversores trifásicos) uma moduladora com a adição de harmónicos de ordem múltipla de 3, o que permite maximizar a amplitude e reduzir a distorção harmónica da tensão de saída.

3.2.3. Comutação por eliminação de harmónicas programadas

Esta técnica é uma junção das técnicas de comutação por onda quadrada e PWM com a mesma finalidade de controlar a tensão e a frequência fundamentais de saída, conseguindo ao mesmo tempo eliminar certas harmónicas presentes na saída.

Nesta modulação o princípio fundamental está associado à modulação por ondas quadradas. A melhoria que esta técnica apresenta é que são inseridos pulsos adicionais para controlar melhor a tensão de saída e que está presente uma componente o mais sinusoidal possível.

Para conseguir eliminar mais harmónicas múltiplas basta fazer a análise do número de pulsos que tem que ser inseridos para esta finalidade, mesmo assim em muitos casos resulta melhor a implementação de modulação PWM com um mf baixo.

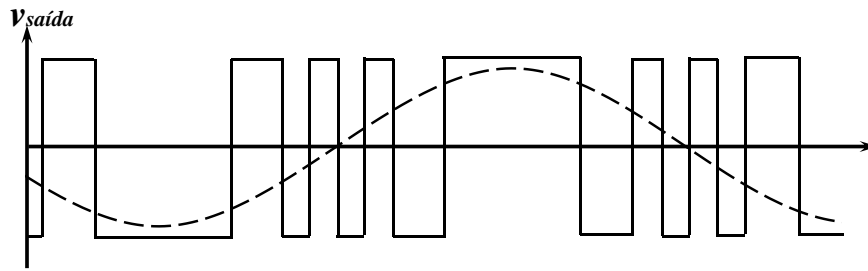


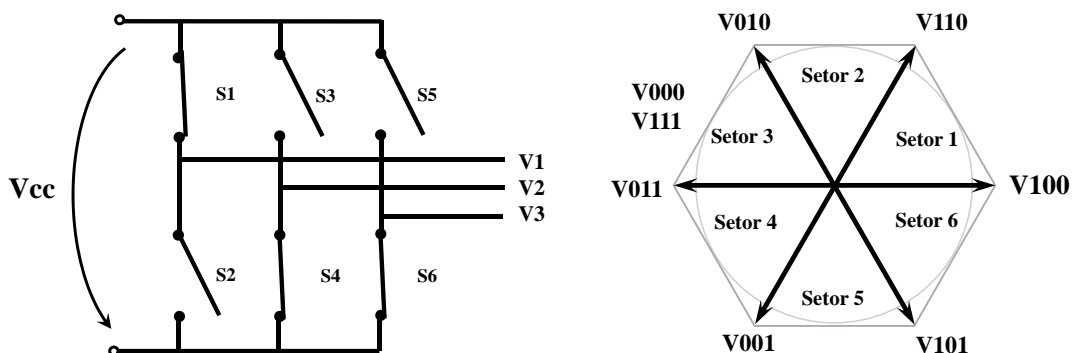
Figura 3.4 - Modulação por eliminação de harmónicas programadas.

Ao realizar o estudo das harmónicas a eliminar, existe a possibilidade de não eliminar as harmónicas múltiplas da terceira ordem, e assim tirar proveito desta topologia em sistemas trifásicos.

Uma das aplicações mais utilizadas é a inserção de seis pulsos separadamente da onda quadrada e com largura de pulsos diferentes, conseguindo assim eliminar os harmónicos de quarta e sétima ordem.

3.2.4. SVM - *Space Vector Modulation*

A técnica *Space Vector Modulation* é também um tipo de PWM, com a diferença dos tempos de comutação serem calculados com base na representação vetorial trifásica da referência e nos oito (8) estados de comutação do inversor, em vez de serem baseados na representação no tempo da amplitude de cada uma das fases [36]. Ou seja, o SVM não é baseado em cálculos separados para cada um dos braços do inversor de tensão trifásico mas sim na determinação de um vetor de tensão de referência a partir dos oito vetores disponíveis assim como mostra a Figura 3.5.



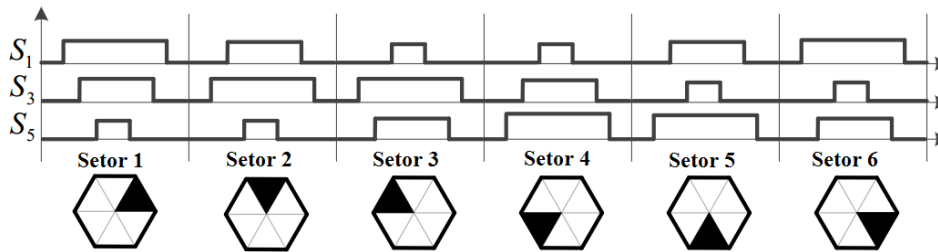


Figura 3.5 – Algoritmo de comando da modulação SVM

O SVM tornou-se a mais popular e importante técnica de PWM para comandar inversores trifásicos aplicados no controlo de motores AC. As principais vantagens inerentes a este método são: a tensão de saída do inversor é 15% maior do que na técnica de modulação SPWM, permitindo um melhor aproveitamento de tensão no barramento CC; maior eficiência, já que consegue menor distorção harmónica, e o número de comutações dos semicondutores é cerca de 30% menor do que utilizando o método mais convencional de PWM [37] [38].

3.3. Controlo modulado de corrente

Existe um elevado número de aplicações onde é preciso controlar a corrente que alimenta a carga; no caso dos motores eléctricos, alimentação em corrente traz algumas vantagens, permitindo nomeadamente simplificar os algoritmos de controlo em sistemas de elevado desempenho.

Em alternativa aos conversores CSI (que são sobretudo interessantes para potências elevadas), também é possível realizar o controlo da corrente através da modulação do sinal de comando de um conversor VSI, ou seja, utilizar um inversor fonte de tensão com controlo de corrente.

Para se comportar como fonte de corrente, um conversor VSI tem que funcionar em malha fechada, (Figura 3.6), medindo-se a corrente de saída, a qual é comparada com a referência pretendida; o erro é então processado por um compensador, cuja saída determina a forma como o modulador gera os sinais para o comando do inversor, para que a sua corrente de saída siga a referência [35] [39].

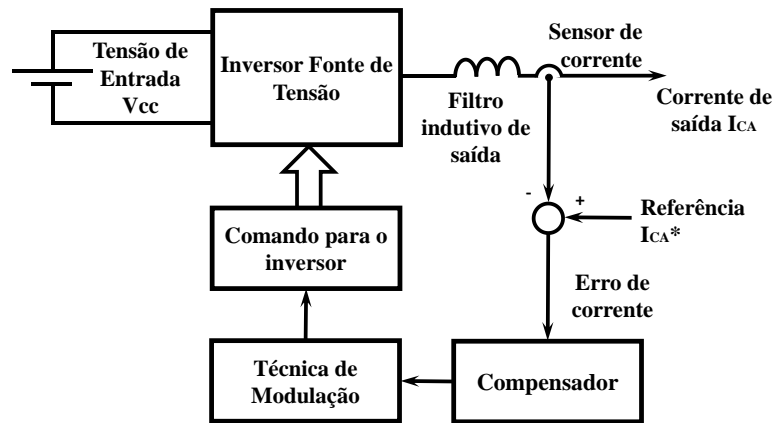


Figura 3.6 - Operação de conversor VSI em malha fechada para síntese de corrente de saída [35].

As técnicas usualmente utilizadas para comandar os conversores de energia são divididas em três grupos, sendo estas técnicas conhecidas como controladores lineares, histeréticos e preditivos.

Nos métodos lineares consegue-se obter uma frequência de comutação constante embora os parâmetros do controlador tenham que ser ajustados para otimizar a resposta transitória e minimizar o erro de amplitude e de fase nas correntes do motor.

No controlador de corrente histerético, as correntes de cada fase são comparadas com os sinais de referência utilizando comparadores histeréticos. Através deste método é possível obter uma boa performance dinâmica, contudo resulta em frequências de comutação muito variáveis.

Os controladores de corrente preditivos oferecem um desempenho otimizado em regime permanente através da determinação do vetor de tensão que mantém a corrente dentro da sua banda histerética durante um maior intervalo de tempo. Embora este método apresente um bom comportamento em termos de precisão e de resposta temporal, requer um bom conhecimento dos parâmetros da carga e exige um maior número de cálculos [40].

Contudo, os métodos de controlo de corrente encontrados mais comumente na bibliografia são o método de controlo de corrente com banda histerese e controlo de corrente por frequência fixa, os quais serão descritos a seguir.

3.3.1. Controlo por banda de histerese

Também conhecido por “modulação por limites de corrente” (MLC), a ideia é fazer com que o valor instantâneo da corrente seja mantido dentro de uma banda (banda de histerese) através da comutação dos interruptores do inversor, fazendo com que o VSI se comporte

como uma fonte de corrente [35]. Para cada fase do inversor, em torno referência de corrente pretendida, estabelece-se um limite superior e interior para a corrente, definindo assim a banda de tolerância (Figura 3.7).

Quando a corrente medida alcança o valor superior da banda de tolerância o interruptor T- é ligado enquanto T+ é desligado, o que faz com que a corrente diminua; logo que a corrente medida ultrapasse o limite inferior da banda de tolerância inferior o interruptor T+ é ligado e T- é desligado (e a corrente volta a crescer).

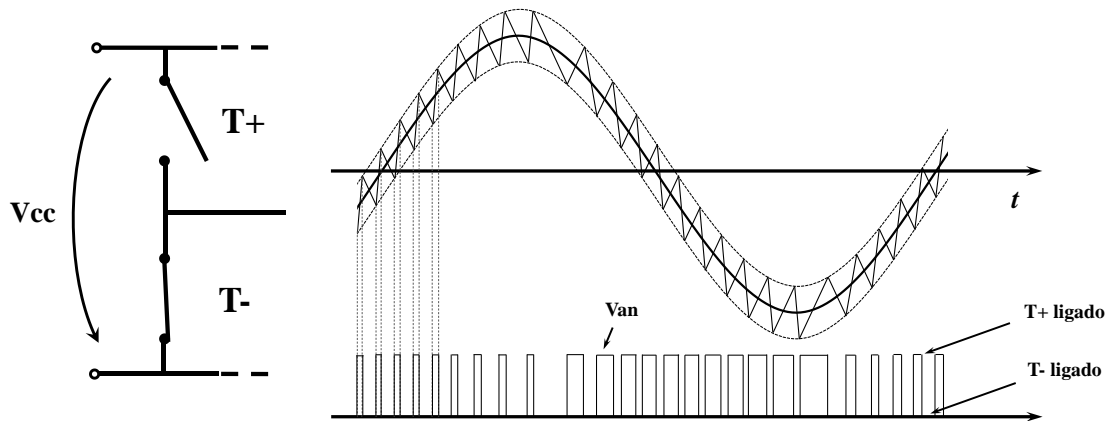


Figura 3.7 - Controlo de corrente por banda de histerese.

A frequência de comutação do inversor não é constante, dependendo da largura da banda de histerese, da tensão CC, da f.e.m. produzida pelo motor e da própria amplitude da referência. O facto da frequência de comutação não ser constante constitui uma das desvantagens desta solução.

Na Figura 3.8 apresenta-se o diagrama de blocos de inversor VSI trifásico com controlo de corrente. As três correntes de referência são normalmente geradas pelo algoritmo de controlo.

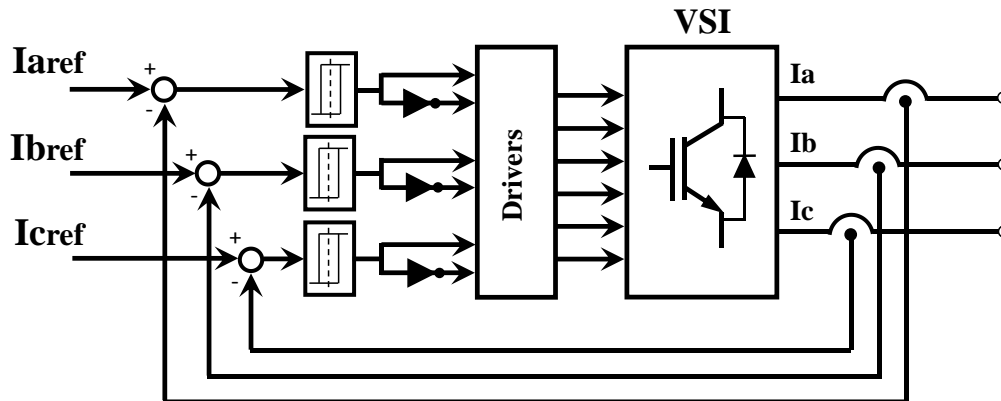


Figura 3.8 - Diagrama genérico de um controlo de corrente por banda de histerese.

3.3.2. Controlo de corrente por frequência fixa

Na Figura 3.9 apresenta-se o diagrama de blocos de um inversor VSI trifásico com controlo de corrente por frequência fixa. Neste caso a corrente medida é comparada com a referência pretendida e o sinal de erro é introduzido num controlador (supostamente do tipo PI). A saída do controlador constitui a referência de tensão para o inversor, sendo comparada com uma portadora triangular para que sejam gerados os sinais de PWM para comando dos semicondutores do inversor. Quando a corrente de saída é inferior ao pretendido (o erro é positivo) o sinal à saída do controlador aumenta o que faz com que na saída do inversor seja produzida uma tensão mais elevada; consequentemente a corrente de saída aumenta, acompanhando o sinal de referência.

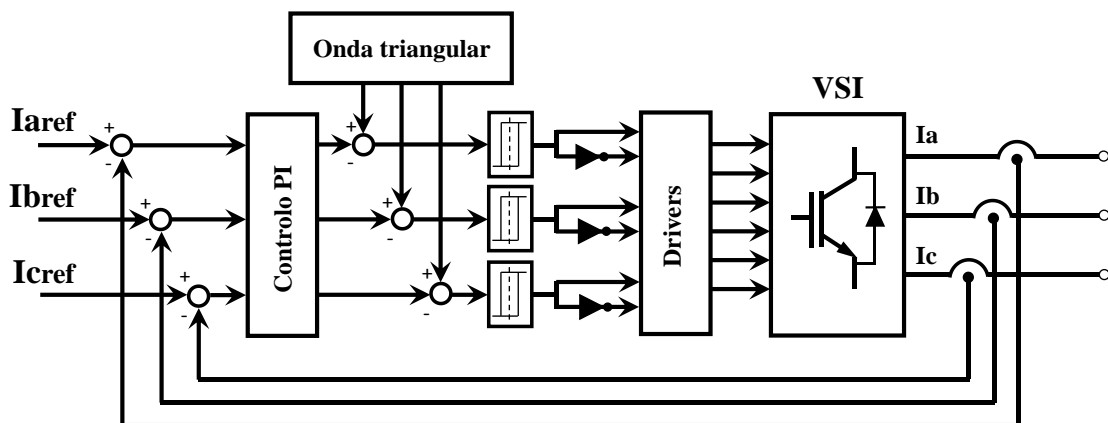


Figura 3.9 - Diagrama genérico de um controlo de corrente com frequência fixa.

3.4. Estratégias de controlo para motores elétricos CA

A seguir são apresentados tipos de controlo divididos por categorias, os quais aplicam estas técnicas mencionadas para comandar os conversores. Em muitas bibliografias são descritos dois tipos de controlo para inversores eletrónicos: o escalar e o vetorial.

O controlo escalar baseia-se numa estratégia básica de controlo de velocidade, a qual impõe na alimentação do motor uma determinada relação tensão/frequência (V/f) visando manter o fluxo magnético do motor aproximadamente constante. Aplicável quando não há necessidade de desempenho elevado, esse modo de controlo é particularmente interessante quando há conexão de múltiplos motores a um único

inversor [27]. Para melhorar o desempenho do motor nas baixas velocidades, alguns inversores possuem funções especiais como p.ex., no caso do motor de indução, fazem a compensação do deslizamento com a carga e o *boost* de tensão (aumento em relação determinado por V/f para compensar o efeito da queda de tensão na resistência estática e manter o fluxo e a capacidade de binário do motor) para baixas rotações. Este controlo é o mais utilizado devido à sua simplicidade e devido ao facto da grande maioria das aplicações não requerer alta precisão e/ou rapidez no controlo da velocidade [5].

O controlo vetorial possibilita atingir um elevado grau de precisão e rapidez no controlo do binário e da velocidade do motor. A partir das medidas (ou estimativa) da velocidade e das tensões de alimentação do motor, calcula-se o fluxo e o binário da máquina, o que permite ao controlador regular de forma independente estas duas grandezas, através de estratégias de controlo idênticas às utilizadas desde há muito no comando de motores CC, com excelentes resultados.

O controlo vetorial pode ser realizado em malha aberta ou em malha fechada. A realimentação pode ser feita recorrendo a um sensor de velocidade instalado no motor, permitindo assim maior precisão no controlo da velocidade.

O controlo em malha aberta tem a vantagem de ser mais simples do que o controlo com sensores, mas apresenta limitações, principalmente a baixas rotações. Para velocidades mais elevadas apresenta praticamente resultados tão bons quanto o controlo vetorial com realimentação.

Independentemente do tipo de controlo, o controlador gera os sinais de referência para inversor, podendo este ser comandado em tensão ou corrente. Para motores de pequenas potências (com no caso presente) utilizam-se com frequência inversores fonte de tensão com controlo de corrente como os descritos anteriormente, o que permite implementar sistemas com elevado desempenho com algoritmos de controlo relativamente simples [10].

Existem duas estratégias principais de controlo vetorial: controlo por orientação de campo (FOC - *Field Oriented Control*) e controlo direto do binário (DTC - *Direct Torque Control*). Ambos os métodos permitem o desacoplamento e o controlo independente do binário e do fluxo.

O controlo vetorial utilizando sensores de alta resolução como *encoders* e *resolvers* é uma solução bastante frequente, mas a utilização destes sensores implica problemas de acoplamento e um aumento do custo do controlador. No sentido de solucionar este tipo de problema existem propostas de algoritmos de estimação da posição instantânea do rotor, bem como do fluxo e do binário. Estes métodos, denominados *sensorless*, obrigam

a técnicas mais ou menos sofisticadas de processamento digital como: integração da tensão, utilização de observadores de estado, observadores não-lineares, filtros de Kalman estendidos, utilização de lógica difusa, redes neuronais, etc..

A maior parte destes métodos baseia-se na utilização da informação obtida através dos sensores de corrente e tensão para reconstituir as forças contra eletromotrizes do motor e assim determinar a posição do rotor. A partir da posição é possível obter a velocidade angular através do cálculo da variação do ângulo durante um determinado período de amostragem. É importante notar que todos estes métodos de estimação da posição são muito exigentes em termos computacionais e pouco fiáveis no arranque e a baixas velocidades, uma vez que nestes casos as grandezas medidas possuem níveis baixos e são potencialmente muito ruidosas. Por outro lado, a estimação de parâmetros é normalmente feita apenas em regime permanente. A estimação em regime dinâmico é ainda mais complexa obriga a utilização de técnicas de injeção de sinais que exploram os aspetos construtivos dos motores [10].

3.4.1. *Field Oriented Control - FOC*

O princípio de funcionamento do FOC baseia-se na analogia com as máquinas DC de excitação separada. Nestes motores, o controlo regula o fluxo de campo e o binário de forma independente, o que se traduz num controlo mais simples pois, mantendo o fluxo constante, o binário é controlado de forma independente. Os sinais de controlo são determinados a partir do sistema de coordenadas de campo e posteriormente traduzidos para os sinais trifásicos reais aplicados ao motor. Esta tradução é possível, desde que se conheça a posição angular do fluxo que se quer orientar.

Para obter conhecimento da posição é necessário adquirir uma informação absoluta da posição do rotor, a qual usualmente é obtida através de sensores de elevada resolução tais como *encoders* ou *resolvers*. O controlo através destes sensores obriga a construções especiais das máquinas elétricas para que exista um correto acoplamento dos mesmos, originando motores elétricos mais caros. Estes tipos de sensores para além de serem bastante dispendiosos, podem desalinhar-se durante o funcionamento do motor, conduzindo à aquisição de uma posição errada do rotor.

O FOC permite obter um controlo preciso do binário, conseguindo uma baixa oscilação deste parâmetro. Também apresenta um controlo preciso da velocidade/posição e obter sistemas com boas características dinâmicas. No entanto a sua implementação é

algo complexa, sobretudo para tornar o controlo pouco sensível a variações dos parâmetros do motor.

3.4.2. *Direct Torque Control - DTC*

Este método baseia-se na regulação instantânea do binário e do fluxo do estator. O DTC clássico utiliza comparadores de histerese para impor a corrente no motor a controlar, diretamente relacionada com o binário; eliminando assim os controladores PI (ou outros), para além do bloco de PWM.

Este método apresenta uma série de vantagens em relação ao FOC, tais como uma melhor resposta dinâmica, simplicidade de implementação e robustez (é menos sensível a variações os parâmetros do motor).

Apesar das vantagens enumeradas, o DTC origina valores elevados de *ripple* de binário e de fluxo e a alimentação do motor apresenta uma frequência de comutação variável. Para ultrapassar estas limitações têm sido utilizadas várias abordagens, sendo umas das mais abordadas, o DTC-SVM.

3.5. Característica do projeto

A topologia dos conversores de eletrónica de potência e o seu controlo dependem do tipo de acionamento e do motor que seja utilizado [21]. Assim sendo, resulta viável o controlo de motores de baixa potência através da utilização de inversores fonte de tensão para controlar a corrente dos mesmos, já que no caso geral o conversor de potência oferece uma tensão controlada ao motor com a finalidade de controlar a corrente, e por consequente, o binário eletromagnético produzido.

Os enrolamentos no induzido geram um fluxo ϕ_f que gira com a velocidade síncrona ω_s , igual à velocidade do rotor. O fluxo ϕ_{fa} que relaciona um dos enrolamentos do estator (*fase a*, por exemplo) varia em forma sinusoidal com o tempo.

$$\phi_{fa}(t) = \phi_f \cdot \text{sen}(\omega t) \quad (3.3)$$

$$\omega = 2\pi f = \frac{p}{2} \omega_s \quad (3.4)$$

Onde p é o número de polos do motor.

Assim sendo, estes fluxos são gerados pela passagem de corrente por estes enrolamentos, podendo assim concluir a partir destas duas equações anteriores:

$$ia(t) = Is \cdot \text{sen}(\omega t) \quad (3.5)$$

Conclui-se assim que a componente de frequência fundamental da corrente produz um fluxo de amplitude constante ϕ_f no entreferro que gira à velocidade síncrona ω_s . A amplitude do fluxo ϕ_f é proporcional à amplitude da componente de frequência fundamental na corrente Is do estator.

A partir da equação (3.5) pode-se assumir que este é o sistema de referência para fazer com que um motor síncrono cumpra com os critérios de velocidade especificados pela velocidade angular e seja possível realizar o controlo do binário a partir do controlo da corrente que percorre os enrolamentos.

Assim sendo, no inversor fonte de tensão, as tensões aplicadas aos enrolamentos do estator estão desfasadas de 120° elétricos entre elas, criando um sistema de referências trifásico que faça cumprir as seguintes expressões relacionadas com os fluxos magnéticos produzidos pelas correntes dos enrolamentos (aplicando-se também ao acionamento de motores de indução trifásicos).

$$ia(t) = Is \cdot \text{sen}(\omega t) \quad (3.6)$$

$$ib(t) = Is \cdot \text{sen}(\omega t + 120^\circ) \quad (3.7)$$

$$ic(t) = Is \cdot \text{sen}(\omega t + 240^\circ) \quad (3.8)$$

3.6. Implementação de controlo em FPGAs - Fluxo de Projeto

A principal ferramenta disponível para desenvolvimento de aplicações para FPGAs da *Xilinx* (e que foi a utilizada neste projeto) é o *Xilinx ISE Design Suite* [42]. Consiste num conjunto de aplicações de suporte das diferentes etapas do projeto para os diversos modelos de FPGAs da *Xilinx* [16]. O ambiente principal deste *software* inclui um editor de texto que, utilizado na especificação de projetos com base em HDL e proporciona um suporte para *VHDL* e *Verilog*.

O *Xilinx ISE* permite igualmente efetuar a especificação em modo esquemático com recurso a um sistema em que bocados de código são instanciados sob a forma de blocos [43] e posteriormente interligados. Após a especificação, o ISE a partir do ambiente que

inclui editor de texto, leva a cabo todo o processo de síntese e posterior geração dos ficheiros de programação da FPGA. O ISE inclui também suporte para simulação temporal e comportamental, nomeadamente com recurso ao *ISE Simulator (ISim)*, e ferramentas para análise do esquema lógico resultante de um projeto, para auxiliar o desenho do circuito, a escolha das restrições de pinos a aplicar aquando da implementação na FPGA, entre algumas outras [16].

O *Xilinx System Generator for DSP* (geralmente referido como *System Generator*) é um *software* desenvolvido pela *Xilinx* para projetos de sistemas para as FPGAs. Para além de várias funcionalidades o *System Generator* garante o suporte do *Simulink*, que é uma ferramenta para modelação, simulação e análise de sistemas de variada ordem embutida no *Matlab*. A modelação de sistemas em *Simulink* baseia-se no desenvolvimento de representações esquemáticas que utilizam blocos provenientes de um conjunto de bibliotecas especializadas, sendo que a instalação do *System Generator* acrescenta três bibliotecas com diversos componentes implementáveis em FPGAs já presentes no *Simulink*.

O fluxo tradicional de projeto de circuitos para FPGA pode ser dividido em quatro fases distintas: especificação, verificação, implementação e *debug* de sistema. O *Xilinx ISE*, permite, através do *System Generator*, adicionar ainda uma etapa de modelagem de sistemas e geração de código HDL [15].

Uma etapa importante do projeto consiste na especificação ou geração do *netlist*, que é uma descrição compacta, ou mesmo textual, do circuito para as ferramentas de verificação e de implementação de circuitos. O *netlist* é basicamente uma listagem de componentes do circuito e de como estes componentes estão interconectados, incluindo ainda os nomes dos pinos de IO do *chip* FPGA utilizados pelo circuito. É importante destacar que a descrição do circuito realizada pelo *netlist* é dependente do fabricante e da família do dispositivo empregado, uma vez que os componentes utilizados na descrição são provenientes de bibliotecas específicas deste fabricante.

A geração do *netlist* pode ser feita através de captura de esquemático, ou de síntese de código HDL. Um esquemático pode ser visto como uma representação gráfica de um *netlist*. Deste modo, a geração do *netlist* a partir da captura de esquemático é imediata. A vantagem do esquemático é facilitar o desenvolvimento do projeto de circuitos, uma vez que permite utilizar uma interface gráfica, em vez de se trabalhar diretamente na descrição textual do *netlist*. Por outro lado, a desvantagem do projeto concebido por esquemáticos está na portabilidade. Uma vez que o esquema é concebido para uma família de

dispositivos de um fabricante, a migração para um dispositivo de outra família, ainda que mesmo fabricante, pode significar o reinício de todo o projeto a partir do zero.

Por causa desta dificuldade de migração, a especificação do projeto evoluiu para uma representação comportamental e funcional do circuito através de uma linguagem de programação HDL. Neste caso, deve ser disponibilizada uma ferramenta de síntese que interprete o código HDL e gere um *netlist* otimizado, em área e/ou velocidade, a partir de bibliotecas específicas de componentes de um determinado fabricante.

O HDL é bastante versátil, permitindo três níveis de abstração na criação de projetos, como mostra a Figura 3.10. O nível mais alto de abstração é o comportamental (*behavioral*), que permite descrever o comportamento do circuito através de *loops* de processos. Neste nível de abstração também é possível compor equações através de multiplicações e somas. O nível seguinte de abstração possibilita descrever o funcionamento do circuito (por exemplo, a implementação de um *if, then, else*) em termos de lógica combinacional e booleana. Este nível de abstração também engloba a representação do circuito no nível de registos de transferências (RTL – *Register Transfer Level*), que consiste basicamente em uma representação por registos interligados por lógica combinacional. O nível mais baixo de abstração de um HDL é o estrutural, que consiste numa representação do circuito semelhante a um *netlist* de portas lógicas e ligações.

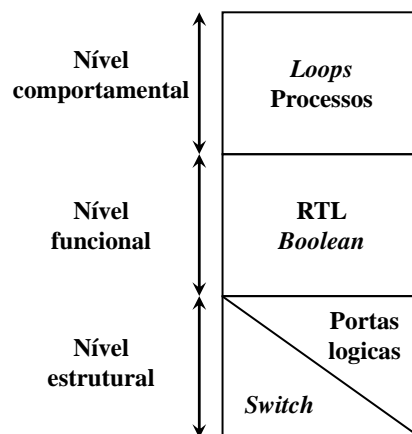


Figura 3.10 - Níveis de abstração em linguagem HDL.

É evidente que a descrição mais fácil de produzir é a de nível comportamental, já que nem sempre é possível a este nível e exige uma ferramenta de elevada qualidade. Na criação de um projeto através de descrição de *hardware* pode-se misturar construções de diferentes estilos de descrição, embora os níveis de abstração mais frequentes sejam o comportamental e o funcional. O nível de abstração correspondente ao *layout* não é

normalmente usado nas linguagens de descrição de *hardware*, uma vez que não tem grande vantagem em relação ao desenho com transístores.

Uma vez especificado o *netlist*, entra-se na fase de implementação. Tal é necessário porque o *netlist* descreve apenas os componentes e como os mesmos são interconectados. Em linhas gerais, na implementação, é necessário mapear tais componentes para células lógicas, que podem ser configuradas como LUTs (*Look-Up Tables*), SRLs (*Shift Register LUT*) ou mesmo RAMs. Em seguida, é necessário definir o posicionamento dos componentes no dispositivo de tal forma que as interconexões (roteamentos) entre os mesmos atendam às restrições de tempo especificadas. Tipicamente, estas restrições podem ser geradas automaticamente a partir de parâmetros relacionados com os sinais *clock* utilizados no circuito. O processo de mapeamento ainda pode ser otimizado visando a minimização da área ocupada na FPGA ou a maximização da velocidade de operação do circuito.

No fluxo de projeto da *Xilinx* existe ainda uma etapa anterior (tradução) que traduz o *netlist* de componentes lógicos para um *netlist* de primitivas da *Xilinx*. O objetivo é facilitar a etapa de mapeamento.

Finalizadas as etapas de tradução, mapeamento, posicionamento e roteamento (*place and route*), obtém-se um arquivo binário que pode ser baixado diretamente no dispositivo, através de uma interface JTAG, para a sua configuração. As demais etapas do fluxo de projeto consistem basicamente em simulações (do HDL e do *netlist*) e no *debug* do dispositivo por meio de um analisador lógico. É de destacar que as simulações podem refletir o funcionamento do circuito de forma bastante realista através da realimentação de informações de *timing* pelo *Timing Analyzer* geradas após a etapa *Place & Route*, devido a já ter sido descritos os circuitos e o programa já realizou a otimização dos mesmos (Figura 3.11).

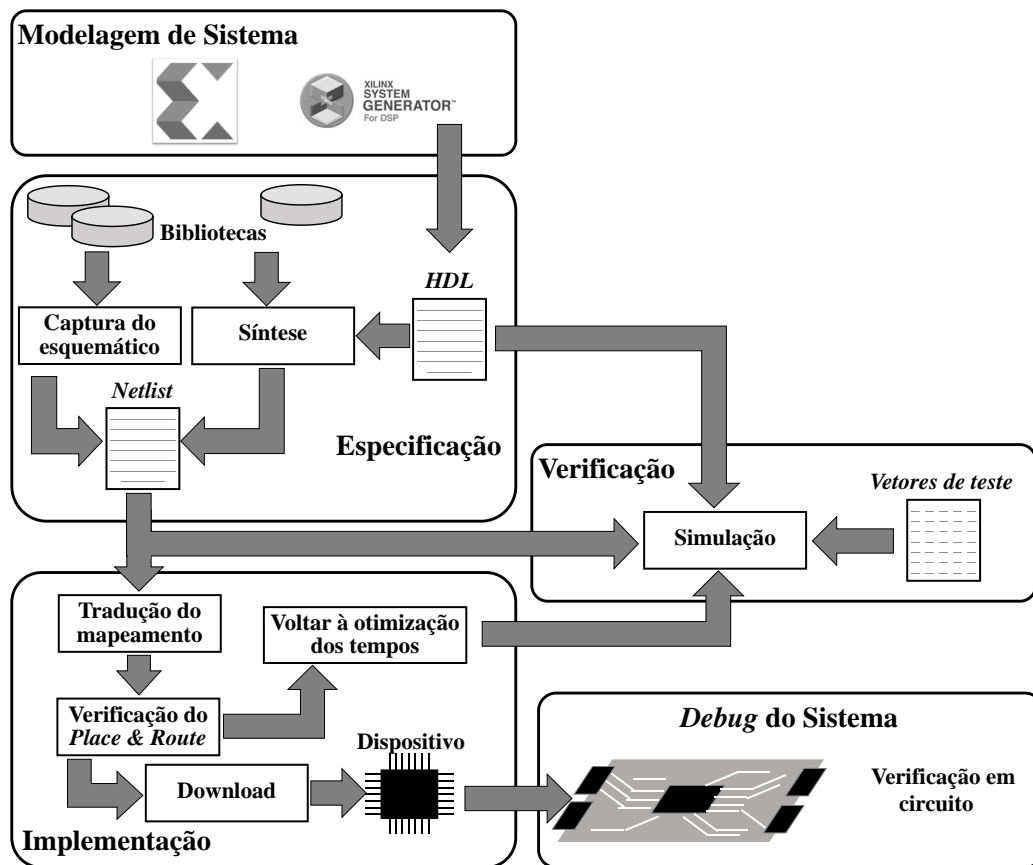


Figura 3.11 - Fluxo do projeto numa FPGA [15].

A modelagem de sistemas através do *System Generator* representa o nível mais alto de abstração no fluxo de projeto apresentado na Figura 3.11. O *System Generator* estende as funcionalidades do *Simulink* para possibilitar o desenvolvimento de projetos de *hardware* através da geração automática de código VHDL. Através do *System Generator* também é possível acionar todas as ferramentas do fluxo de projeto apresentado na mesma figura. Além da abstração de funções aritméticas e de funcionalidades complexas, através do acesso a bibliotecas de *IP Cores*, vale a pena destacar ainda que o *System Generator* possibilita aceder a recursos básicos da FPGA, como as primitivas e os componentes embarcados. Por este motivo, quanto mais se conhece da arquitetura do *chip* utilizado maior será a possibilidade de se obter projetos mais otimizados e de melhor desempenho.

De acordo com a *Xilinx*, a ideia do *System Generator* não é substituir o desenvolvimento de projetos em HDL, mas sim focar o desenvolvimento de partes críticas relacionadas tipicamente ao processamento de sinais. Nas partes do projeto que envolvem interfaces externas e gestão interna de *clock*, deve ser utilizado o HDL. Uma vantagem do *System Generator* é a possibilidade de importar módulos HDL para outros projetos, o que torna possível um alto nível de integração e a reutilização de códigos em HDL diretamente no *System Generator*. O *System Generator* permite ainda geração

automática de *test benches* para simulação HDL (incluindo vetores de teste) e a geração de *netlists* para serem utilizados como componentes em projetos desenvolvidos em HDL. Finalmente, um recurso muito útil é a co-simulação em *hardware* através de interfaces tais como *GigaBit Ethernet*, PCI e JTAG (Cabo Paralelo IV e Plataforma USB). Este recurso de co-simulação também é denominado de “*FPGA Hardware in the Loop*” porque possibilita rodar o projeto em *hardware* sob o controlo do *Simulink*, disponibilizando todo o potencial do *Matlab/Simulink* para análise e visualização de dados.

3.7. Conclusão

Utilizar a tecnologia das FPGA para desenvolver técnicas de controlo orientadas à eletrónica de potência deixa clara a generalidade de funções que podem ser obtidas com esta placa de desenvolvimento. Neste caso será utilizada para controlar um inversor, de modo a obter uma forma de onda de corrente constante na sua saída alternando os níveis de tensão de tal forma que em média o valor da onda de tensão comutada se aproxime da referência de corrente desejada [31].

Entre as topologias de conversores existentes, é amplamente usado o inversor VSI tendo como vantagens maior eficiência e simplicidade no sistema de controlo, sendo o principal motivo da sua utilização nesta dissertação, já que a partir de um VSI resulta viável o controlo de corrente para cargas de pequena potência

Os parâmetros de acionamento que podem ser controlados num motor vão desde, simplesmente, a sua velocidade, passando pelo controlo mais apurado do binário ou mesmo para um controlo rigoroso do posicionamento. Cada máquina desenvolvida para cada necessidade de automação, tem as suas particularidades quanto a isso [42].

O método de controlo retangular permite controlar motores BLDC e PMSM sem a necessidade de conhecer a posição instantânea do rotor. Neste método apenas é necessário conhecer os instantes em que se deve comutar as fases alimentadas para garantir a correta rotação do motor e para conseguir uma maximização do binário produzido. Este conhecimento pode ser facilmente obtido através dos sinais gerados por sensores de *Hall* que usualmente estão embutidos no estator. Através deste método é possível também controlar motores dispensando o conhecimento da maioria dos seus parâmetros.

A técnica SVM permite aplicar as tensões geradas pelos controladores de corrente ao motor, através de um inversor de tensão. Com a representação vetorial do inversor, este método consegue fornecer níveis de tensão mais elevados e menor distorção harmónica que os métodos convencionais, rentabilizando este processo.

Contudo, para o acionamento e controlo do motor através de conversores de frequência, foi escolhida o controlo da corrente devido às simplicidades de implementação e por conseguir ter uma relação direta entre o binário e a corrente de alimentação. Assim sendo, as técnicas de controlo de corrente a desenvolver, são as técnicas de controlo por banda de histerese e a técnica de controlo com frequência fixa através de modulação PWM. Para gerar as referências das correntes e realizar o controlo do motor, será utilizado um sensor de posição acoplado no motor, como sugerem as técnicas de controlo mencionadas neste capítulo.

CAPÍTULO 4

Simulação do Sistema de Controlo

4.1. Introdução

Neste capítulo é descrito o conjunto de passos efetuados para a simulação do motor elétrico de ímanes permanentes e o resto do circuito eletrónico de potência; assim como a simulação do controlo utilizado. As simulações apresentadas têm como objetivo a caracterização das diferentes partes do sistema envolvidas no controlo do motor, bem como a verificação do funcionamento dos diferentes módulos e do sistema em geral. Os módulos a considerar para a simulação surgem como métodos a ter em consideração para uma possível implementação prática, que será discutida nos seguintes capítulos.

As simulações feitas em *software* são muito comuns na investigação para analisar o comportamento de novos circuitos, o que permite a sua melhor compreensão. Com as simulações é possível obter as formas de onda das grandezas presentes nos circuitos, o desempenho dinâmico e de estado permanente de sistemas, e as especificações de tensões e correntes de diferentes componentes que possam surgir no desenvolvimento prático de um projeto [21].

As simulações foram realizadas no *PSIM 9.0.3* da *POWERSIM*, *software* direcionado para a eletrónica de potência, incluindo a implementação de estruturas de controlo para os elementos de potência, sendo útil para simular quase todos os tipos de circuitos, abrangendo uma enorme faixa de aplicações.

As simulações de duas técnicas de controlo foram feitas no mesmo sistema, utilizando controlo de corrente por histerese e controlo de corrente com frequência fixa, sendo realizadas mudanças na velocidade e na carga para conseguir provar a eficiência destas. A escolha destas duas técnicas a desenvolver ao longo deste capítulo surgem como as soluções mais viáveis a conseguir implementar posteriormente na FPGA.

4.2. Modelo de simulação do Circuito de Potência

Para a simulação do circuito de potência foram considerados os principais componentes que o constituem tais como o inversor, o motor, fonte de alimentação, etc.. De modo a conseguir controlar a carga foram considerados neste circuito a utilização de

sensores de corrente, de tensão e de posição. Outros sensores mostram valores a ter em consideração, ainda que não influenciem as técnicas de controle.

O inversor é composto por três braços de IGBTs, os quais controlam o fluxo de energia que alimentará o motor a partir de um barramento CC de 50 V, assim como mostra a Figura 4.1. Todas as etiquetas que apresenta o modelo do circuito (*S1, S2, va, vb, iaf, ibf, etc.*), se encontram ligadas entre si e ao circuito de controle.

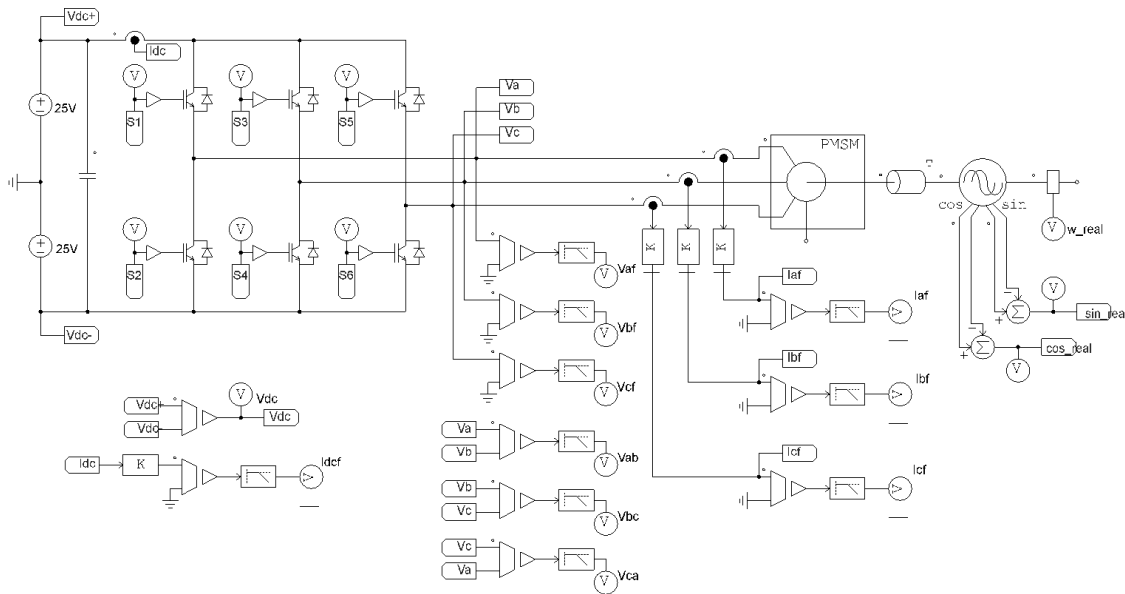


Figura 4.1 - Modelo de simulação do circuito de potência.

Para representar o motor síncrono de ímãs permanentes o *PSIM* dispõe de modelos, sendo preciso unicamente inserir os parâmetros do motor que será utilizado, o que torna a simulação o mais real possível. O motor elétrico utilizado é um motor síncrono de ímãs permanentes de 32 polos, *Perm Motor PRA 230* da *Heinzmann* e apresenta as características descritas na Tabela 1. Alguns dos valores são fornecidos pelo fabricante, no entanto, outros como as resistências do estator e as indutâncias do mesmo foram obtidas através de testes práticos realizados em projetos anteriores.

Tabela 1 - Características do motor síncrono de ímãs permanentes PRA 230.

Potência nominal	1,8 kW	Resistência do estator	58 mΩ
Velocidade nominal	520 rpm	Indutância síncrona d	205 μH
Binário nominal	33 Nm	Indutância síncrona q	221 μH
Binário máximo	150 Nm	V/krpm	86,76
Tensão nominal	33,3 V	Largura do motor	87,3 mm
Corrente Nominal	42,1 A	Diâmetro do motor	255 mm
Frequência Nominal	138,67 Hz	Peso do motor	13,8 kg
Número de polos	32		

Para realizar o controlo do motor através das técnicas de controlo de corrente escolhidas, é preciso obter sinais das correntes do motor, como referido no capítulo anterior, e sinais da posição do motor para conseguir saber a velocidade do mesmo. Em seguida, é apresentado o modelo de simulação do sistema de controlo onde são utilizados estes parâmetros.

4.3. Modelo de Simulação do Circuito de Controlo

No projeto de simulação do sistema foi implementado o sistema de controlo que fará o controlo do sistema de potência. Este sistema é apresentado na Figura 4.2 e é composto por blocos C (*C block*), onde é feita a programação do controlo em linguagem C, uma fonte de tensão linear que representa o sinal de referência, comparadores para criar o sinal PWM e um conjunto de portas lógicas para a implementação do *dead time* entre os sinais de comando do inversor.

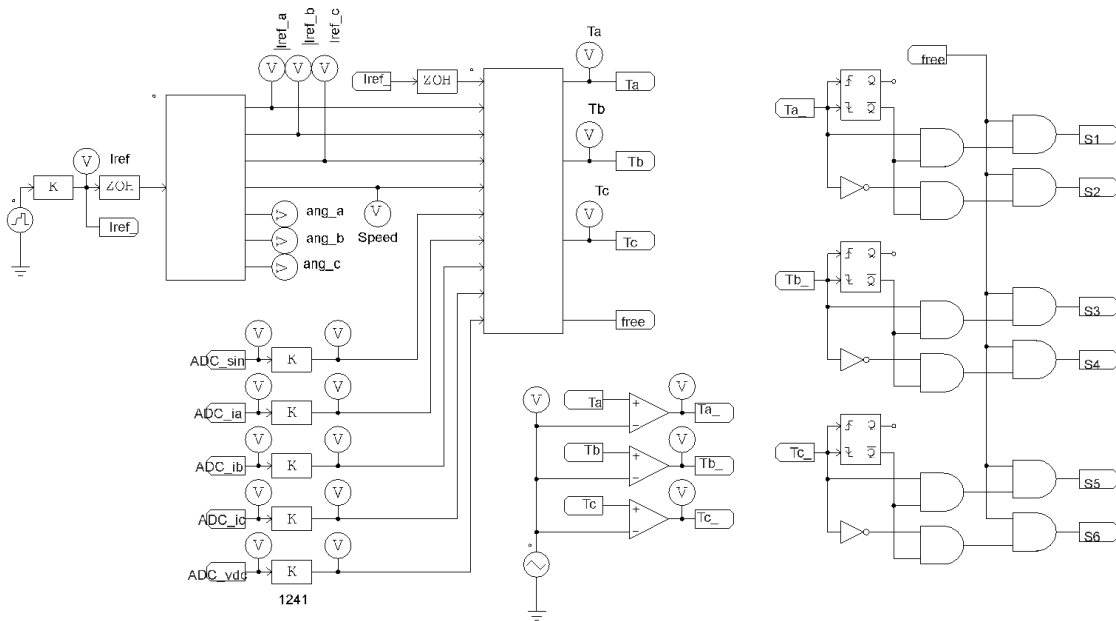


Figura 4.2 - Modelo de simulação do sistema de controlo.

No primeiro bloco C são implementadas as referências do sistema para as diferentes fases, sendo implementada no segundo bloco C a técnica de controlo a utilizar. No caso do controlo de corrente por histerese, é gerada a banda de histerese para cada fase, comparada com o sinal lido do sensor de corrente da respetiva fase e enviado o sinal de comando para controlar os IGBTs. Ainda é preciso a leitura do sensor de posição do motor para saber se existe algum atraso relativo à velocidade, o que fará mudar as referências

de corrente, gerando pela sua vez uma mudança da banda de histerese a implementar, assim como mostra a Figura 4.3.

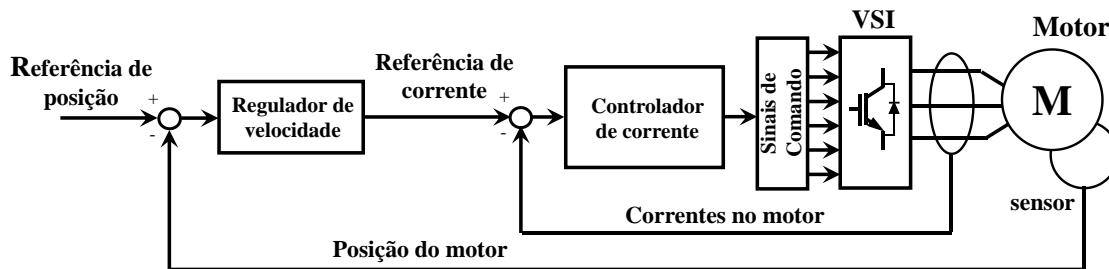


Figura 4.3 - Algoritmo do controlo do acionamento do motor através do controlo de corrente.

No caso do controlo de corrente por frequência fixa, o bloco C contém o programa que realizará a comparação do sinal de referência com a respetiva corrente de fase lida, realizando assim a compensação deste erro. Também é feito o ajuste do erro relativo à posição do motor para assim conseguir compensar este desfasamento. Os sinais gerados são enviados para fora deste bloco e comparados com as ondas triangulares presentes na Figura 4.2, sendo criada uma onda quadrada com frequência fixa e valor médio variável (PWM), aspeto que diferencia uma técnica de controlo da outra.

Apesar de não haver inconvenientes em simulação associado a possíveis curto-circuitos do barramento CC ocasionados pelas comutações no inversor, foi testado o sistema que gera os tempos mortos entre as comutações dos semicondutores, representado pelas portas lógicas presentes na mesma figura (Figura 4.2).

As simulações do sistema de controlo do motor passam por comparar o sinal que determina a posição do motor com o sensor de posição acoplado no motor. Sem a correção desta posição, apesar do motor manter a velocidade de sincronismo, o motor teria um atraso entre a corrente de referência e a corrente lida cada vez maior à medida que a carga ligada ao eixo do motor for maior, independentemente da técnica de controlo de corrente implementada. A seguir são apresentados os resultados das simulações realizadas.

4.4. Resultados de Simulação

A seguir são apresentados resultados de simulação obtidos a partir do modelo implementado, obtendo resultados das diferentes partes que compõem o sistema.

4.4.1. Resultados da simulação dos valores de referência.

A partir de uma entrada no bloco C é possível implementar as referências do sistema. Através de uma lista com valores da função $\text{sen}(x)$ e um algoritmo de consulta desta lista, é possível criar referências sinusoidais a partir de valores discretos.

Nesta simulação, tentou-se no possível implementar o controlo em *software*, para depois ser mais fácil a migração da simulação para a implementação. Apesar de serem diferentes linguagens de programação, estas (*C* e *Verilog*) possuem características muito semelhantes na sintaxe. Na Figura 4.4 seguinte são amostrado resultados destas referências.

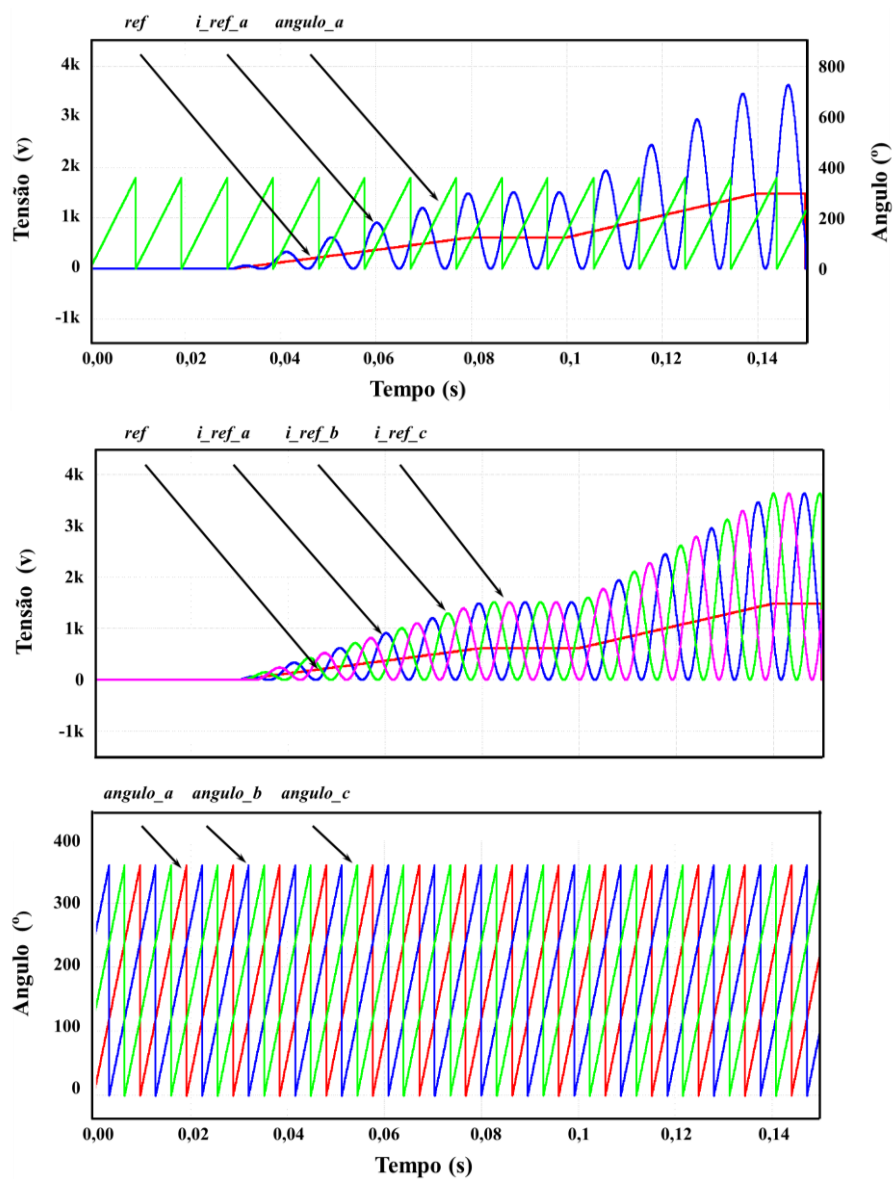


Figura 4.4 - Resultados de simulação do sistema de referências.

Na Figura 4.4 pode-se observar como é feito o sistema de referências para as diferentes fases. Pode-se observar como a amplitude das sinusoides varia dependendo do sinal de entrada “*ref*”. Todo este sistema foi implementado para o motor funcionar à frequência nominal, frequência a que se encontram todos os sinais apresentados nesta figura. As unidades das sinusoides representam valores em binário das unidades, já que para ser o mais parecido com a implementação os valores representam registos com valores entre 0 e 4095.

4.4.2. Resultado da simulação das comutações e do *dead-time*

Este aspeto também é comum para as duas técnicas de controlo, já que representa os sinais de comando enviados para o controlo dos semicondutores. No *PSIM* através de um bloco lógico (*monostable multivibrator*) é possível adicionar um atraso, o qual foi utilizado para realizar a simulação do *dead-time*. Na Figura 4.5 são apresentados sinais obtidos da simulação que representam o sinal de comando (“*Ta*”) e como é feita a comutação dos IGBTs.

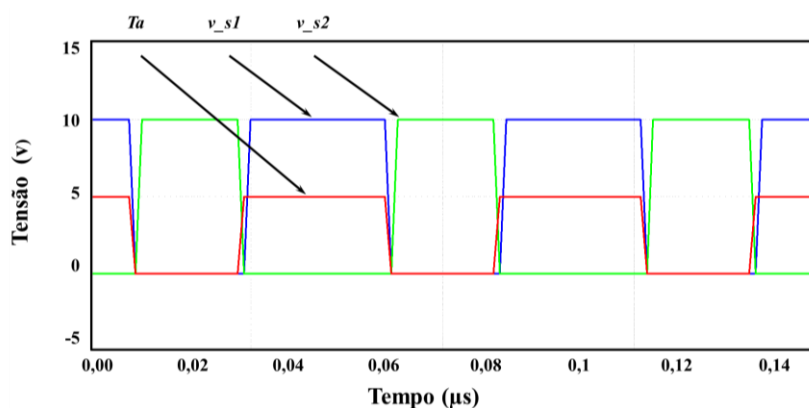


Figura 4.5 - Simulação do *dead-time* presente na comutação do inversor.

Na Figura 4.5 é possível observar o sinal de comando para o braço a do inversor, sendo o inverso do sinal para ligar o IGBT do mesmo braço. Os sinais VS1 e VS2 são os tempos em que os IGBTs se encontram ligados (a conduzir) e é possível observar o tempo em que nenhum dos dois semicondutores conduz, tempo importante na prática para evitar curto-circuitos. Para efeitos de simulação o valor de *dead time* escolhido foi de 3,5 μ s.

4.4.3. Resultados da simulação do controlo por banda de histerese

Esta foi a primeira técnica de controlo implementada devido à sua simplicidade de algoritmo em comparação com a outra técnica. Depois de ter as três referências sinusoidais desfasadas entre elas, é preciso criar uma banda de histerese para cada uma delas. O desvio da referência, tanto superior como inferior, serão os valores que a corrente lida poderá ter, já que ao alcançar os valores da banda de histerese é feita a comutação dos interruptores do inversor. Na Figura 4.6 são apresentadas as simulações destas referências.

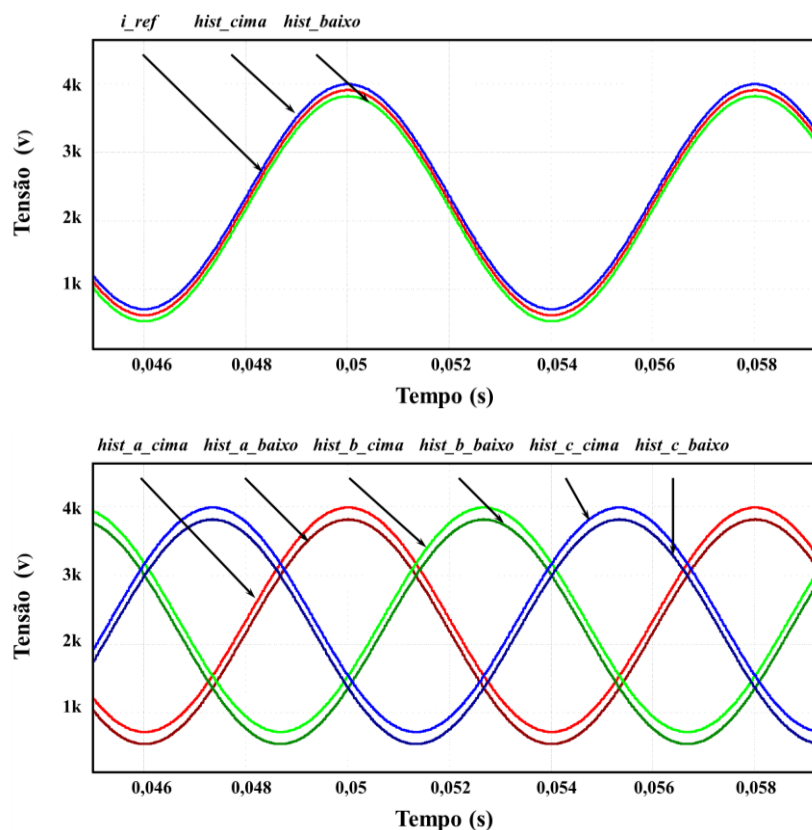


Figura 4.6 - Sistema de referências da *fase a* e trifasico.

No primeiro gráfico da Figura 4.6 pode-se observar como é criada a banda de histerese a partir do sinal de referência, neste caso na *fase a*. Na parte inferior da Figura 4.6 encontram-se as três bandas de histerese que controlaram a corrente da carga, já que cada uma esta destinada a cada uma das fases do motor.

A Figura 4.7 a) apresenta o resultado da simulação do controlo por histerese, ao manter a corrente na *fase a*, dentro dos limites estabelecidos. É possível observar como a frequência da corrente lida *iaf* varia, sendo este o principal inconveniente nesta técnica de controlo, já que resulta difícil filtrar todas os harmónicos que são criados.

Também é possível observar que na realidade a corrente não permanece sempre dentro da banda de histerese. Isto se deve-se ao facto de a corrente ser afetada pelas comutações nos outros braços do inversor (que depende da corrente nas outras fases), o que não aconteceria no caso de um inversor monofásico.

Na Figura 4.7 b) pode-se observar como a velocidade do motor se mantém constante, comprovando assim o princípio de controlo do motor a partir desta técnica de controlo de corrente.

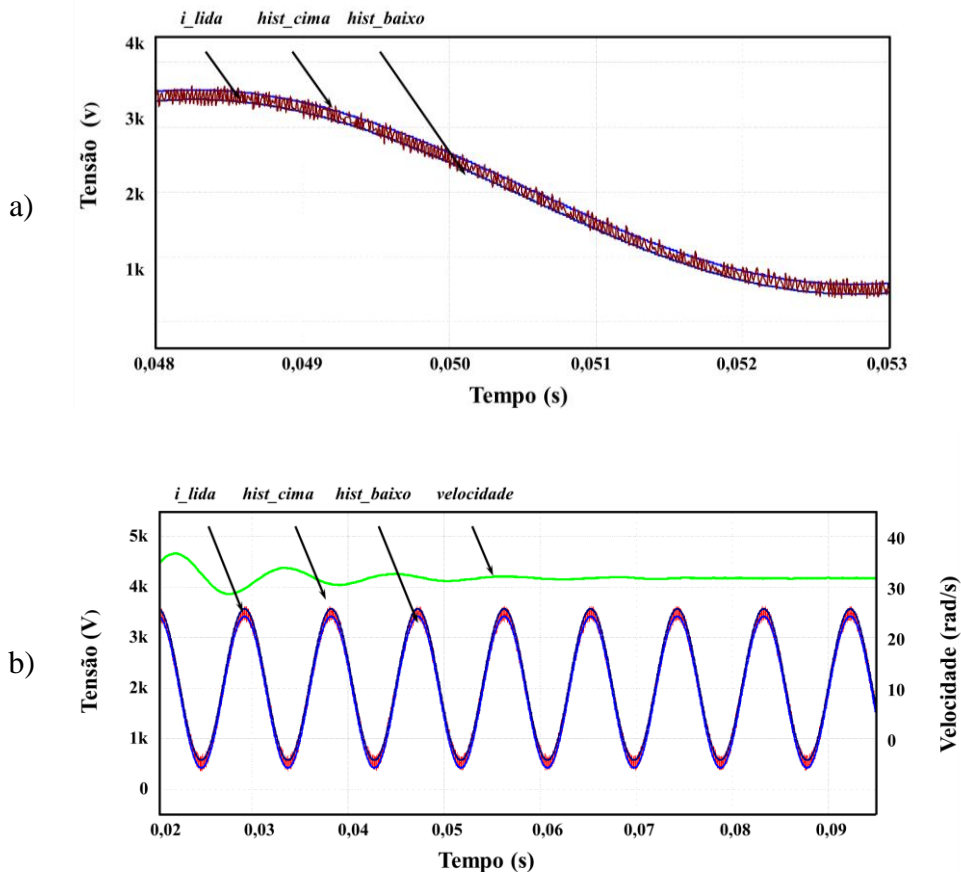


Figura 4.7 - Simulação do controlo de corrente por banda de histerese na fase a.

A seguir (Figura 4.8) apresenta-se os resultados da simulação do sistema trifásico, com as três bandas de histerese e as correntes lidas das diferentes fases da carga. A banda

de histerese escolhida possui um valo de 13%. As comutações fazem com que as tensões entre as linhas apresentem algum *ripple*, tal como se mostra a Figura 4.9.

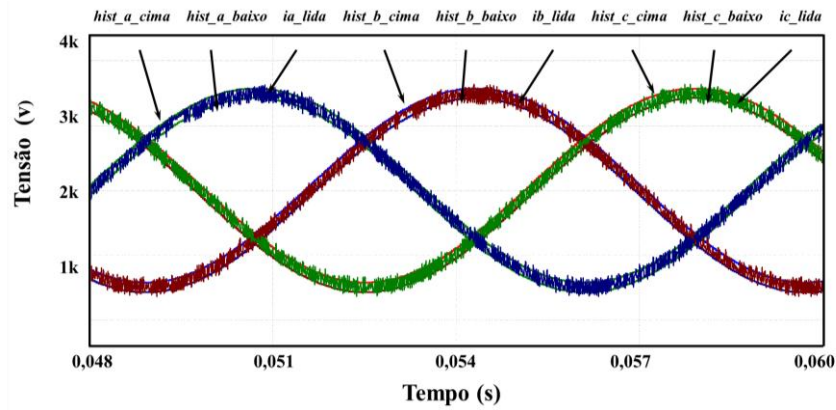


Figura 4.8 - Simulação do sistema de controlo por banda de histerese trifásico.

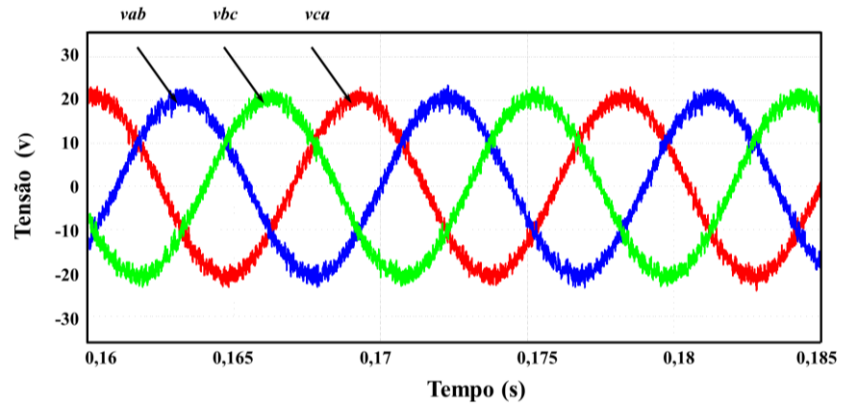


Figura 4.9 - Simulação das tensões compostas de alimentação do motor.

4.4.4. Resultados da simulação do controlo com frequência fixa

Tal como no caso anterior esta técnica de controlo passa por impor a corrente em cada umas das fases do motor, mas utilizando agora o método descrito no ponto 3.3.2.

Na Figura 4.10 são apresentados alguns gráficos obtidos em simulação que demonstram como é feito este tipo de comando.

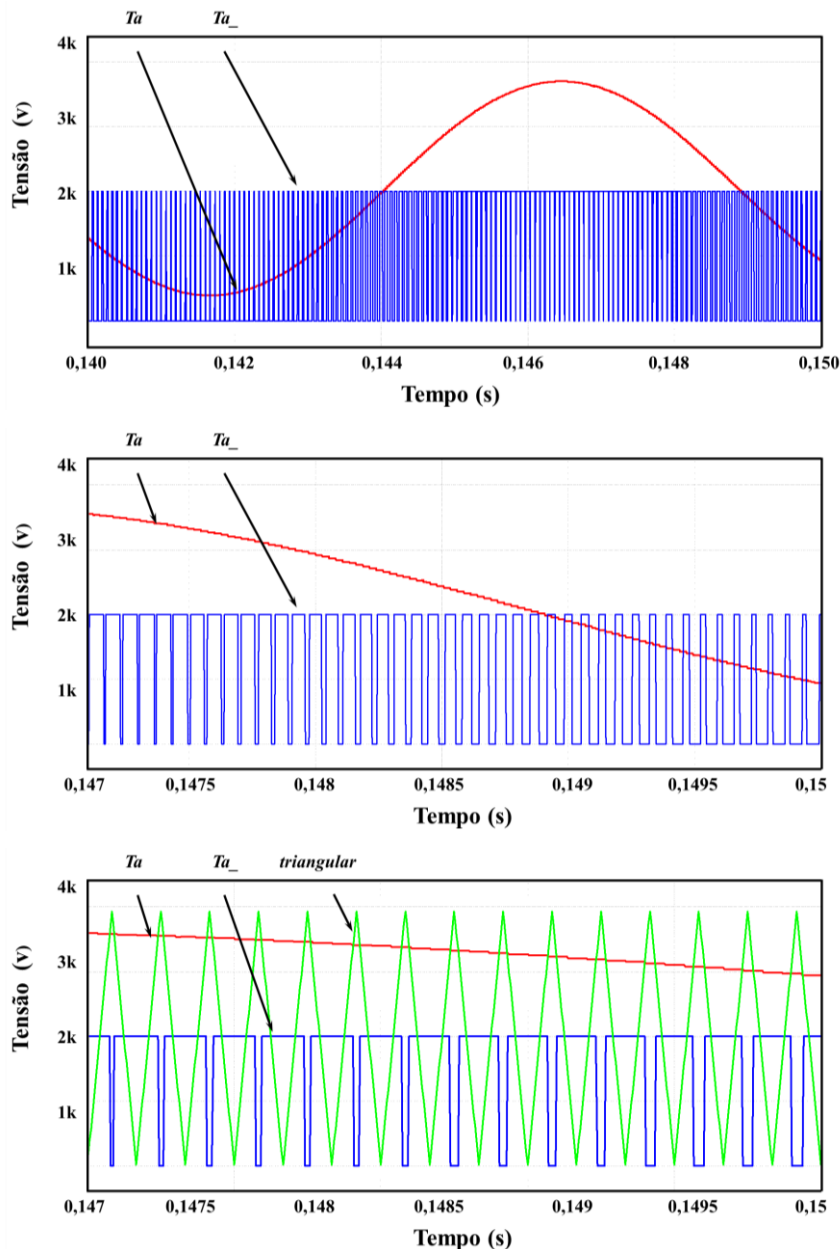


Figura 4.10 - Simulação do comando, técnica de modulação.

Os resultados de simulação da Figura 4.11 mostram que esta técnica de controlo funciona, já consegue que a corrente fique em fase com o sinal de referência. Na figura pode observar-se a variável “ Ta ”, que representa o sinal de comando comparado com a onda triangular para determinar a largura do pulso produzido pelo inversor. Apesar da

corrente apresentar uma determinada ondulação resultante da comutação, esta pode ser reduzida aplicando um filtro indutivo à saída do inversor (neste caso não foi adicionado nenhum filtro ao circuito).

Também é possível observar na Figura 4.11, como a velocidade do motor se mantém constante depois da referência se manter constante.

Esta técnica de controlo apresenta menor distorção harmónica da corrente em relação à técnica de controlo de corrente por histerese, mas é conveniente referir que apresenta maior distorção das tensões compostas do que a técnica de controlo de corrente por histerese.

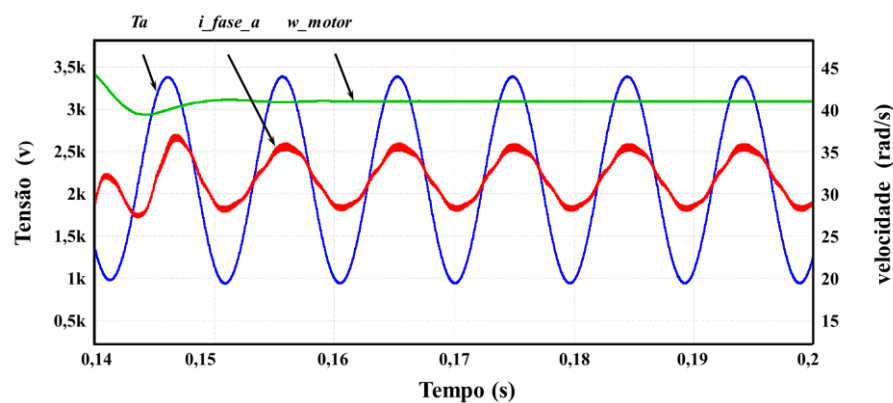


Figura 4.11 - Simulação do sinal de comando e da corrente lida.

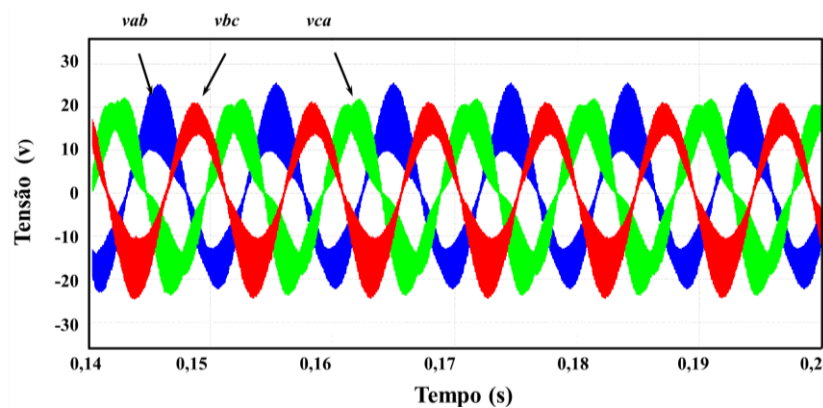


Figura 4.12 - Simulação das tensões compostas de alimentação do motor.

4.5. Ferramenta de descrição de *hardware*

Como mencionado anteriormente, as ferramentas de descrição de *hardware* utilizadas para sintetizar circuitos, possuem a capacidade de simular os circuitos

descritos. A seguir são apresentadas algumas simulações do comportamento de módulos implementados e como são utilizados alguns destes sinais.

A partir da ferramenta *Isim* da *Xilinx*, é possível testar os *testbench* que foram implementados com a finalidade de simular um módulo em específico ou o programa todo. Ao variar as entradas respetivas, pode ver-se a variação dos registos e sinais dependendo da função implementada.

Para conseguir a comunicação da FPGA com alguns periféricos como DACs e ADCs, foi precisa a implementação do protocolo SPI, que é o modo de comunicar com dispositivos (os que serão utilizados na prática). Na Figura 4.13 seguinte é feita a obtenção dos sinais dos periféricos e feito um ajuste dos valores obtidos. Sendo assim, pode ver-se como é feita a comutação do sinal do relógio (“*clk*”) e dos valores lidos (“*data1_1*”, “*data1_2*”, ..., “*data3_2*”). Depois de ser feita a leitura dos periféricos e ser guardada a informação em um registo de 12-bits é feito o ajuste do *offset* e aplicado os respetivos ganhos no caso que seja preciso. Depois disto a comunicação e suspensão até o tempo de amostragem ter sido cumprido.

Para definir a frequência de amostragem dos sinais existe o sinal “*start*” que define cada quanto tempo será feita a amostragem. Neste caso e por um motivo de conseguir mostrar o funcionamento, a frequência de amostragem é de 500 kHz, sendo na realidade o valor utilizado de 40 kHz.

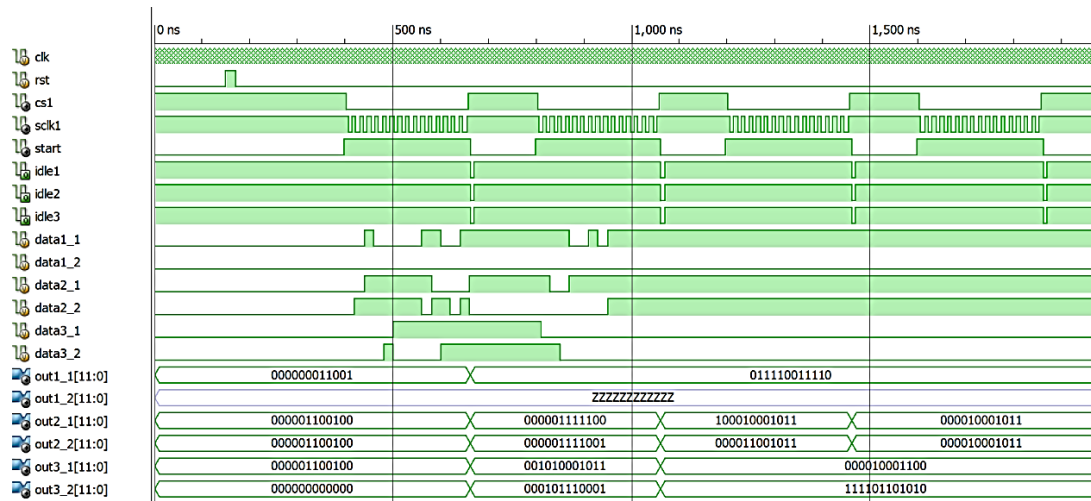


Figura 4.13 - Sistema de amostragem e protocolo de comunicação SPI.

Devido às máquinas síncronas com ímanes permanentes (e motores de relutância comutada), dependerem de um sistemas de acionamento eletrónico que produzam campos magnéticos girantes em rampa de aceleração (com frequência variável) para o arranque [19], foi definido no seguinte módulo como seria feita a variação da frequência do

sistema. Para resolver esta situação foi implementado um módulo que consegue gerar um divisor do *clock* e assim fazer com que a frequência do sinal de referência começasse com frequências perto dos 3 Hz – frequência recomendada para o arranque de motores síncronos por variador de frequência - até a frequência nominal do motor a utilizar, 138,3 Hz. A Figura 4.14 mostra como é gerado o sinal que passa a ser o novo sinal de relógio (“*ready*”), que fará com que o seja incrementado o ângulo de referência para cada fase.

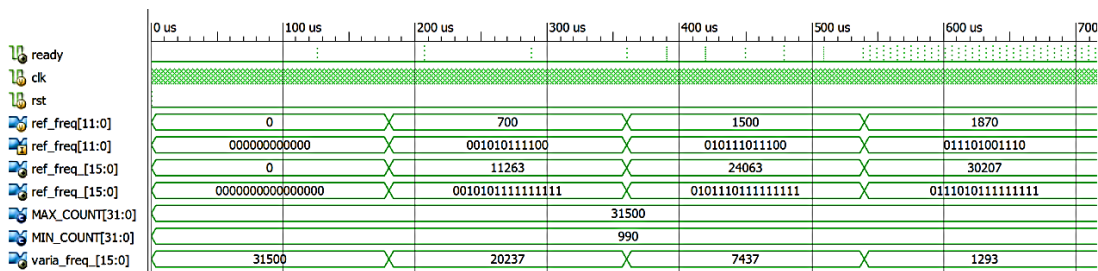


Figura 4.14 - Sistema de divisor de *clock* e variação da frequência do sinal de referência.

A partir do sinal que é lido pelo ADC, obtém-se o nosso sinal de referência que neste módulo é denominado de “*ref_freq*”. Sendo assim, o intervalo de tempo com que é gerado o sinal de relógio é inversamente proporcional ao sinal de referência. A este sinal de referência é multiplicado por um ganho e somado um *offset* para conseguir ter intervalos de valores entre a gama desejada. O número de sinais do relógio que o programa fica à espera para gerar o seguinte sinal de “*ready*” é definido pelo registo “*varia_freq_*”. Este registo assume valores desde 31500 e 990.

Antes de saber qual a gama de valores que o divisor de frequência tinha que assumir, fio feita uma medição para saber qual é a frequência real da *Spartan 3E started kit*. Conseguiu-se medir a partir de um osciloscópio que a frequência do cristal que a placa apresenta é de aproximadamente 49,9 MHz. É importante ter em consideração já que a FPGA fará aproximadamente cem mil operações a menos por segundo, caso o cristal fosse mesmo de 50 MHz. A seguir é apresentada a Figura 4.15, a qual mostra como foi tida em consideração a frequência do divisor de *clock* para o incremento dos ângulos de referência.

Para conseguir simplificar os valores decimais obtidos na função seno, todos os valores foram multiplicados por 5000, passando a ter valores na tabela entre zero e 5000. O valor médio do gráfico gerado com estes pontos (*Iref_a*, *Iref_b*, *Iref_c*) toma valores entre 10000 (dez mil) e 0 (zero), conseguindo ser mais intuitivo do que fazer o

complemento para dois, já que a parte negativa da função envolvia fazer este procedimento.

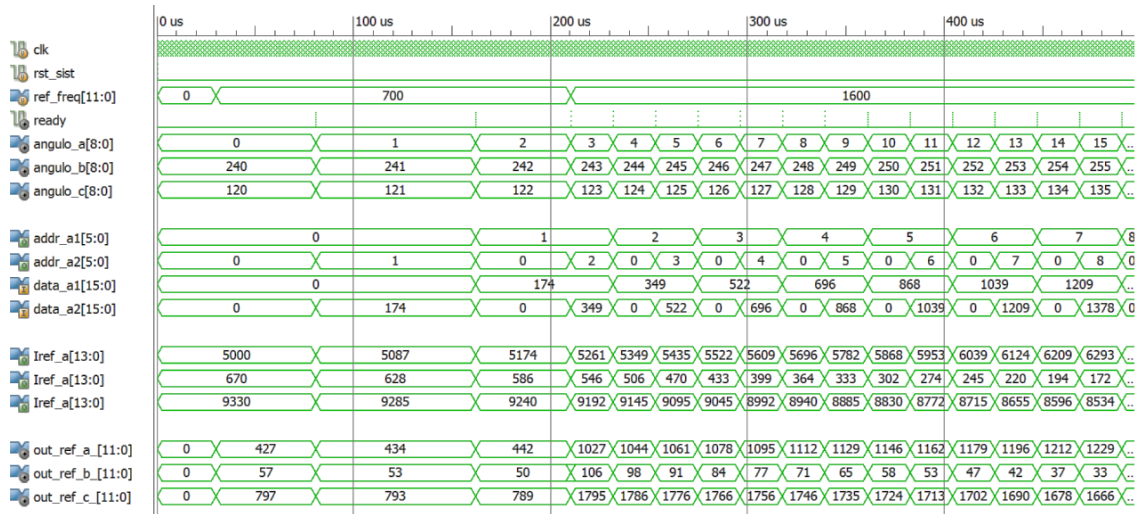
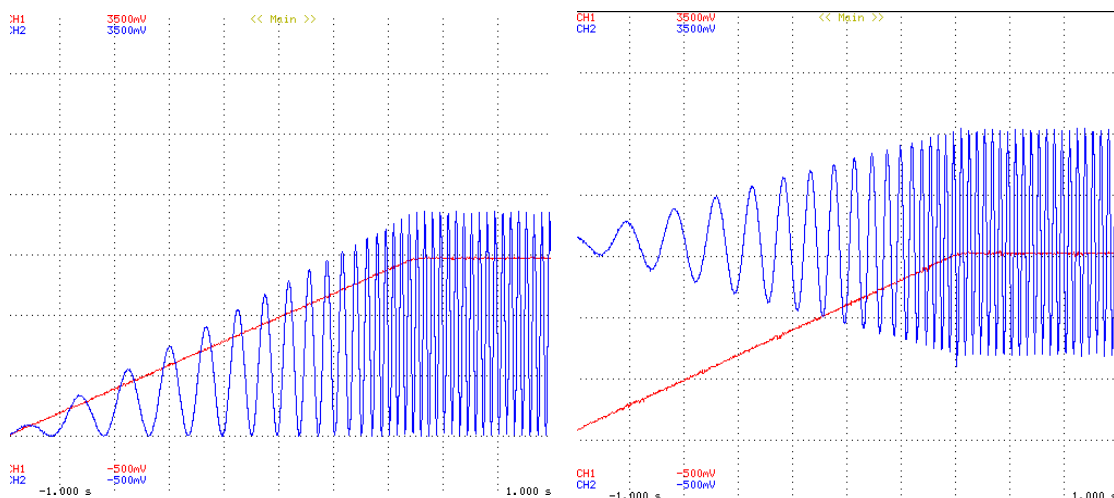


Figura 4.15 - Sistema de referência e variação da frequência do sinal.

Os registos “out_ref_a”, “out_ref_b” e “out_ref_c” representam os sinais de referência sinusoidais a serem comparados com a onda triangular para obter a modulação por largura de pulsos, no caso de não existir uma realimentação. Estes valores são obtidos fazendo com que a onda sinusoidal possua sempre o mesmo valor médio, independentemente dos seus valores de pico a pico.

Na Figura 4.16 a) pode-se observar como é introduzido um *offset* para que o sinal de referência tenha só valores positivos. Na Figura 4.16 b) é possível ver que o valor médio mantém-se constante, mesmo quando se varia a amplitude da referência.



a) b)

Figura 4.16 - Simulação dos sinais de referência.

4.6. Conclusão

A partir da ferramenta de simulação de circuitos elétricos, foi possível validar tanto o circuito de eletrónica de potência como as técnicas de controlo consideradas nesta dissertação. Os resultados da simulação foram também tidos em conta no dimensionamento dos componentes de eletrónica de potência utilizados na prática.

Depois de comprovar a viabilidade de cada aspeto (tanto eletrónica de potência, como técnicas de controlo), surge a fase de implementação prática de todos os aspetos abordados neste capítulo e assim comprovar que o projeto é viável e possível de obter as mesmas conclusões aqui alcançadas.

Das técnicas de controlo é possível concluir que o método de controlo por frequência fixa cria menor distorção nas correntes das linhas em comparação com o controlo por histerese. No entanto, a distorção da tensão entre as linhas é menor no caso da técnica de controlo de corrente por histerese, a qual oferece melhores resultados.

CAPÍTULO 5

Implementação do Sistema de Controlo

5.1. Introdução

Este capítulo inicia com uma descrição do *hardware* de potência, existente nos laboratórios de investigação do Grupo de Eletrónica de Potência e Energia da Universidade do Minho (GEPE-UM), utilizado ao longo do desenvolvimento da vertente prática da dissertação.

Com o objetivo de ir mais longe, o GEPE propõe a reutilização de material desenvolvido em projetos anteriores, como PCBs já desenvolvidas pelo laboratório, sempre que possível. Os alunos conseguem, desse modo, usufruir do material e criar projetos que teriam maior dificuldade em executar, caso fosse necessário começar a fase de desenvolvimento de *hardware* desde o dimensionamento de circuitos.

Seguidamente, é feito o estudo da plataforma de desenvolvimento utilizada para programar a FPGA *Spartan-3E Starter Kit Board*, para a implementação das técnicas de controlo. É feita ainda uma descrição da interface, concebida para a ligação entre a FPGA e o equipamento de potência.

Com a finalidade de mostrar como cada componente é inserido no sistema, também é apresentada de forma breve a implementação do protótipo do projeto e comentada a aquisição de componentes extras necessários para o desenvolvimento do novo *hardware*.

5.2. VSI – Inversor Fonte de Tensão

O sistema de potência utilizado é um inversor fonte de tensão com o qual é feita a transmissão de energia elétrica para o motor através do controlo. Devido à existência de um inversor trifásico implementado em projetos anteriores, este módulo foi reutilizado na dissertação.

O inversor é composto por três módulos de IGBTs *SKM 100GB176D* da *Semikron* [45], com os respetivos *drivers* de controlo *SKIPER 32Pro R*, da mesma empresa [46], sendo que cada *driver* controla um dos braços do inversor. Estes componentes encontram-se fixos num dissipador, com a finalidade de dissipar o calor e para manter os *drivers* e os IGBT num bloco o mais compacto possível. Os *drivers* não

se encontram fixos diretamente no dissipador, pois apresentam-se ligados às respetivas placas de configuração *Board 1 SKIPER 32Pro R* da *Semikron* [47]. Na Figura 5.1 apresenta-se a montagem do inversor.

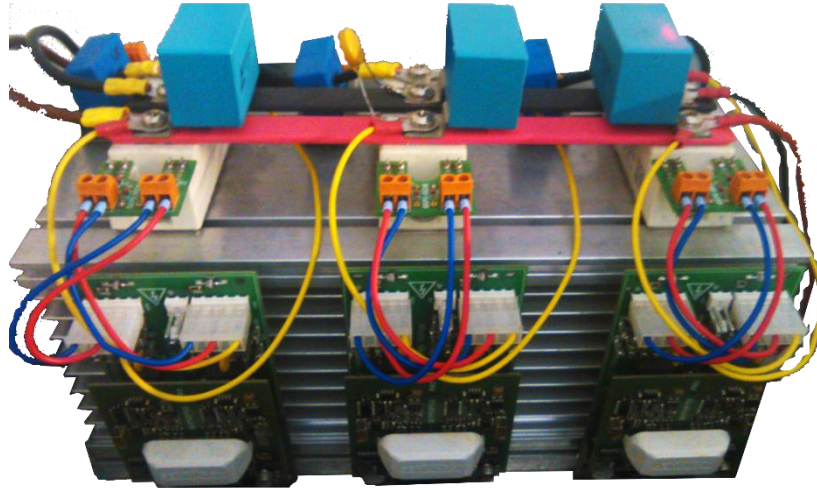


Figura 5.1 - Montagem do inversor e respetivo barramento CC.

Na Figura 5.1 também é possível observar três condensadores EPCOS de 1 μF 1000 V, um varistor de 420V, todos ligados em paralelo com o barramento CC, bem como sensores de corrente ligados a cada saída do inversor, os quais são apresentados nas secções seguintes.

Na Figura 5.2 pode-se observar o *driver* e a placa de configuração utilizados no inversor. Estes módulos recebem dois sinais que fazem saber em que momento cada IGBT permanece ligado, conseguindo gerar comutação até 50kHz. Estes módulos possuem a capacidade de configurar os *dead time* associados à comutação entre os IGBTs do mesmo braço, chegando a suprimir comutações com menos de 650 ns, possuem a capacidade de enviar um sinal de aviso caso aconteça algum problema, como deteção dinâmica de curto-circuito, deteção de erro externo ou proteção de subtensões.



Figura 5.2 – *Driver SKIPER 32Pro R* [46] e respetiva placas de configuração *Board 1 SKIPER 32Pro R* [47].

A Figura 5.3 mostra o módulo de IGBTs utilizado e o respetivo circuito interno. Este apresenta dois IGBT ligados em série com os respetivos díodos de *free-wheeling* em anti-paralelo. Os módulos suportam 1700 V, entre o coletor e o emissor e uma corrente máxima no coletor de 125 A. Estes componentes encontram-se sobredimensionados para este projeto, já que os valores recomendados na referência [48] relativa ao motor utilizado, são relativos a uma tensão no barramento CC de 50 V e uma corrente nominal do motor abaixo dos 42 A.



Figura 5.3 – Módulo de IGBT SKM 100GB176D e respetivo circuito interno [45].

5.3. Motor síncrono de ímanes Permanentes

O motor elétrico utilizado nesta dissertação é o motor síncrono de ímanes permanentes de fluxo axial *Heinzmann Pra 230* [48]. As características deste motor já foram mencionadas anteriormente na simulação do circuito de potência.

Estes motores são constituídos por um estator com núcleo de aço laminado e ranhuras uniformes, deste modo os enrolamentos das fases são distribuídos uniformemente. O estator é alimentado com tensões e correntes trifásicas sinusoidais. O campo gerado nos enrolamentos encontram-se em paralelo com o eixo do motor provocando assim um campo girante no rotor, o qual é composto por ímanes permanentes.

Este motor não possui ventilação forçada, dissipando o calor por convecção natural. Estes são construídos com carcaça fechada para proteger os ímanes contra impurezas. Na Figura 5.4 pode ver-se em cima o motor elétrico no suporte.

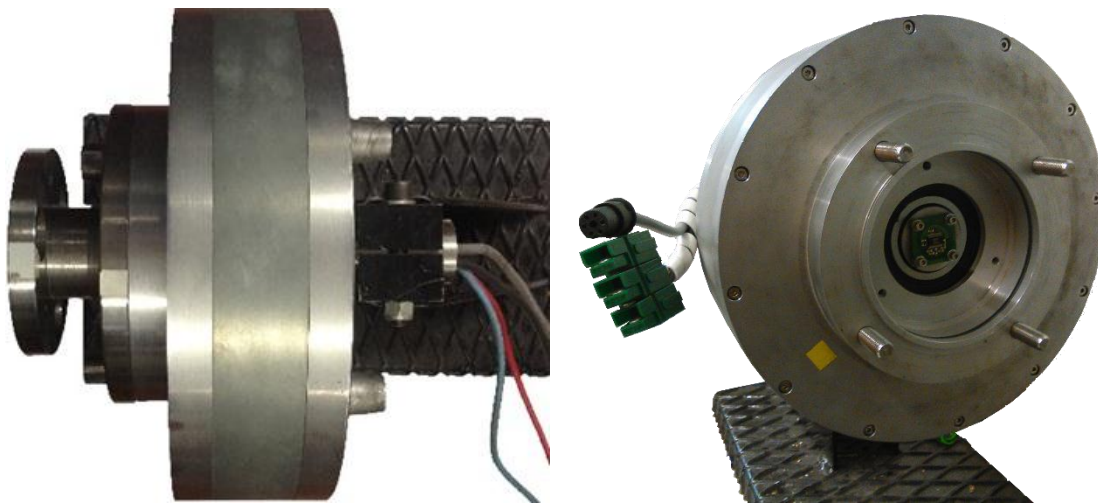


Figura 5.4 - Motor síncrono de ímanes permanentes Pra 230.

Na Figura 5.4 b) pode-se ver como é possível ter acesso aos enrolamentos do estator do motor e aos sensores internos que este possui. Um dos sensores que se encontra no motor é um *encoder* analógico AM256 da RLS [49] com duas saídas analógicas, que geram funções de seno e cosseno com o motor em andamento, a partir das quais se pode obter uma aproximação da posição do motor (Figura 5.5). O segundo sensor é um sensor de temperatura Philips *KTY 84-150*.

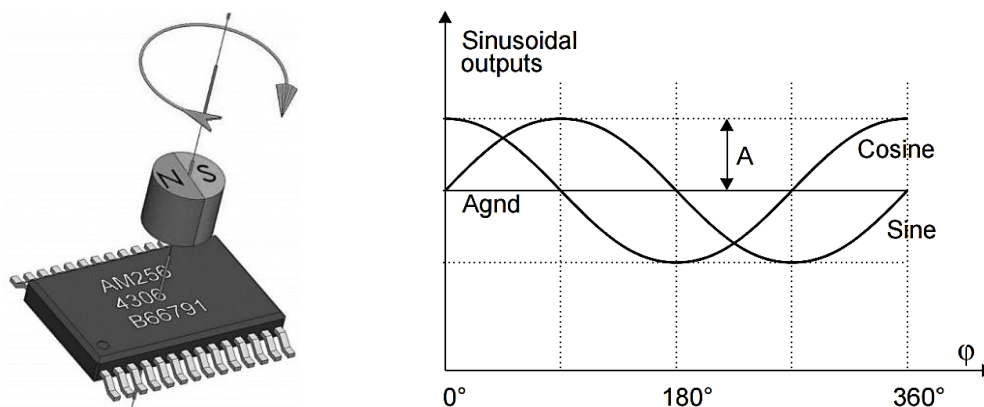


Figura 5.5 - Rotação do sensor de posição AM256 da RLS (esquerda), saídas analógicas geradas pelo sensor (direita) [49].

5.4. Sistema de monitorização e comando.

Numa primeira abordagem, o sistema de controlo foi composto por PCBs desenvolvidas anteriormente nos laboratórios do GEPE, utilizadas e implementadas em projetos anteriores. Estas PCBs foram utilizadas nos primeiros testes realizados, com a finalidade de começar a implementar e testar programas desenvolvidos na FPGA. Foram

utilizadas três PCBs (Figura 5.6 e Figura 5.7), cada uma com a sua respetiva funcionalidade.

A placa da Figura 5.6 é uma placa de acondicionamento de sinal, que possui sensores de tensão de efeito *Hall*, sendo um destes utilizado para a leitura da tensão do barramento CC. Também contém conetores para ligar sensores de corrente que fazem a medição da corrente das linhas do sistema trifásico. Esta placa realiza o acondicionamento dos sinais obtidos, ajuste de ganhos e filtragem dos mesmos. A partir desta placa são obtidos todos os sinais de tensão e corrente e ligados a seguir aos ADCs.

A primeira placa da Figura 5.7 é uma placa genérica, que adequa os sinais de *erro*, *reset* e *enable* de modo a serem compatíveis com os valores de tensão das entradas lógicas da FPGA. Faz ainda, o acondicionamento do sinal de referência e dos valores analógicos do sensor de posição do motor.

Na segunda placa da Figura 5.7 encontra-se a placa de comandos, a qual obtém os sinais PWM enviados para o comando dos IGBTs e faz a gestão destes sinais para enviar para os *drivers* do inversor. Estes sinais provêm da FPGA como saídas lógicas (0 e 3,3 V) e são adequados para valores entre -15 V e +15 V, valores com os quais trabalham os *drivers*. Esta placa também obtém os sinais de erro e envia de volta informação ao dispositivo de controlo, através da placa genérica que adequa os sinais.



Figura 5.6 - Placa de acondicionamento do sinal [50].

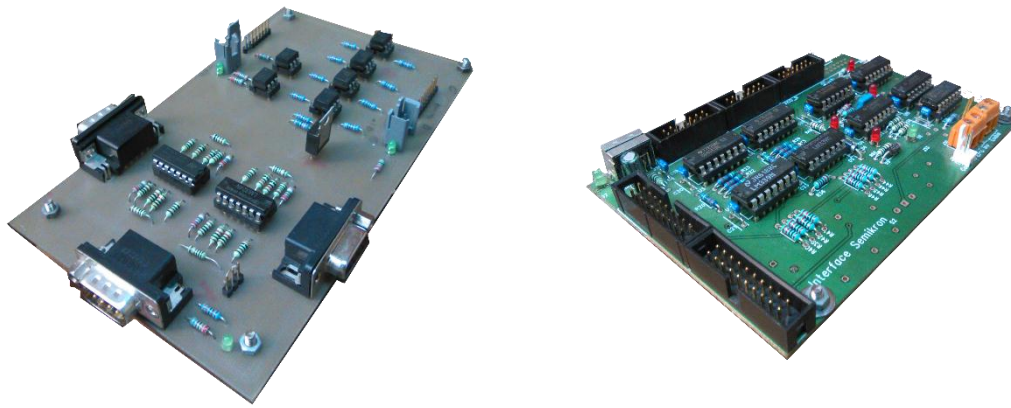


Figura 5.7 - Placa de acondicionamento dos sinais de posição do motor e referência (esquerda), e placa de comunicação e comandos para o inversor (direita).

Nestas placas foram realizadas as primeiras interações entre a FPGA e o *hardware* necessário para o projeto. Estas placas foram ligadas ao módulo de interface, através do qual foram feitos testes dos programas implementados tais como envio de sinais de controlo, envio de sinais PWM, leitura dos sensores de corrente e tensão, entre outros.

Na implementação foram utilizados sensores de corrente *LA 55-P* da LEM (Figura 5.8), sensores de efeito *Hall* com uma relação de 1:1000 e corrente nominal de primário de 50 A (intervalo de medida entre 0 e ± 70 A) [51].

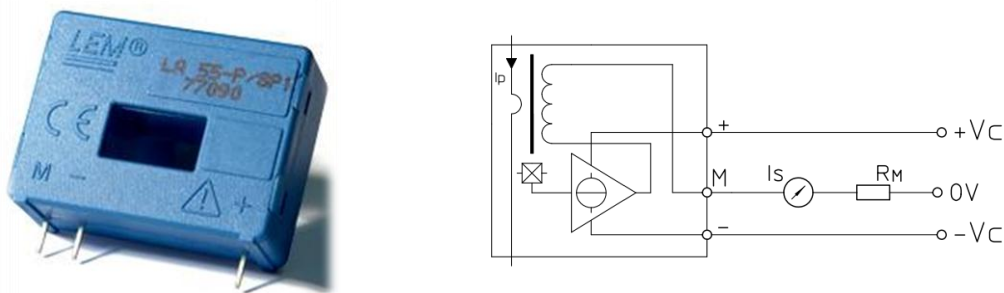


Figura 5.8 - Sensor de corrente de efeito *Hall* LEM *LA 55-p* (esquerda), esquemático de ligações e circuito interno (direita).

O sensor que faz a medição da tensão no barramento CC é o sensor de tensão de efeito *Hall LV 25-P* da LEM [52], e caracteriza-se por conseguir realizar medições de tensões no intervalo de 10 V a 500 V. Este possui uma relação de conversão de 2500:1000. Na Figura 5.9 encontra-se uma imagem do sensor e esquemático de ligações.

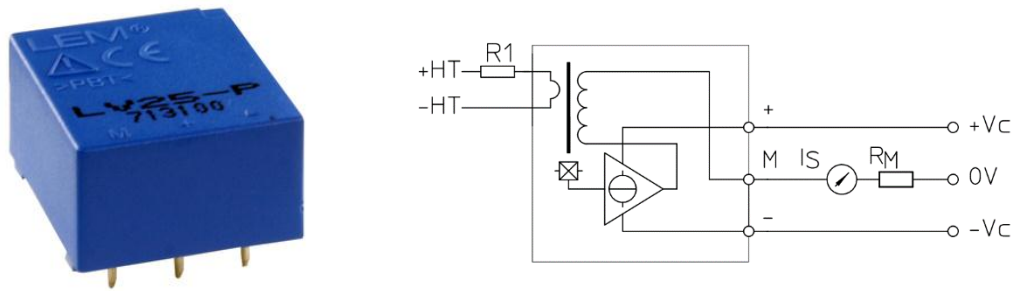


Figura 5.9 - Sensor de tensão de efeito *Hall* LEM LV 25-p (esquerda), esquemático de ligações e circuito interno (direita).

5.5. Placa FPGA e periféricos

A plataforma de desenvolvimento utilizada para o controlo do sistema foi a *Spartan 3-E started kit board* da *Xilinx* [53] onde se pode encontrar o FPGA *Xilinx XC3S1600E Spartan-3E* [54]. Este *chip* desenvolvido com tecnologia de processo de 90 nm, oferece 1,6 milhões de portas lógicas, equivalente a 33000 células lógicas, possui 3688 CLBs, compostos por quatro *slices* cada, e dispõe ainda de 250 pinos de entrada/saídas lógicas.

A placa tem um oscilador de 50 MHz, permite a programação para *debug* através de uma porta de programação USB *tipo B*, possui uma memória *flash* de 16 Mb com protocolo de comunicação SPI, duas portas RS-232 de 9 pinos, suporte para um LCD (*Liquid Crystal Display*) de 16x2, entre outros [55].

Esta placa tem um módulo de expansão, o qual nos permite ter acesso a 40 pinos que ligam diretamente à FPGA. O módulo denominado de *FX2-MIB (Module Interface Board)* [56] da *Digilent*, consegue ligar diretamente através de um barramento *FX2* da *Hirose* [57], dando acesso a esses pinos e possibilitando utilizá-los livremente como entradas ou saídas lógicas (Figura 5.10). Na Figura 5.11 apresenta-se o módulo necessário para conseguir realizar as ligações entre a FPGA e as placas mencionadas anteriormente e fazer a ligação entre os sinais dos sensores e os ADC.

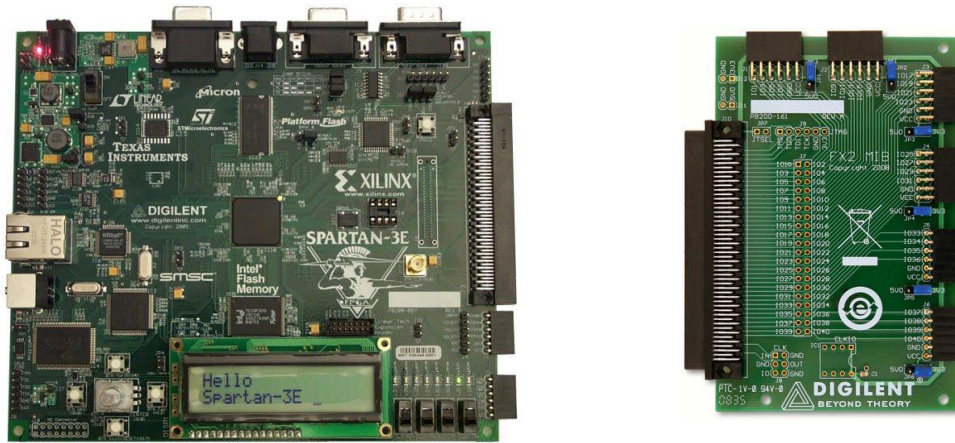


Figura 5.10 - Spartan 3-E Started kit board e FX2 Module Interface board.

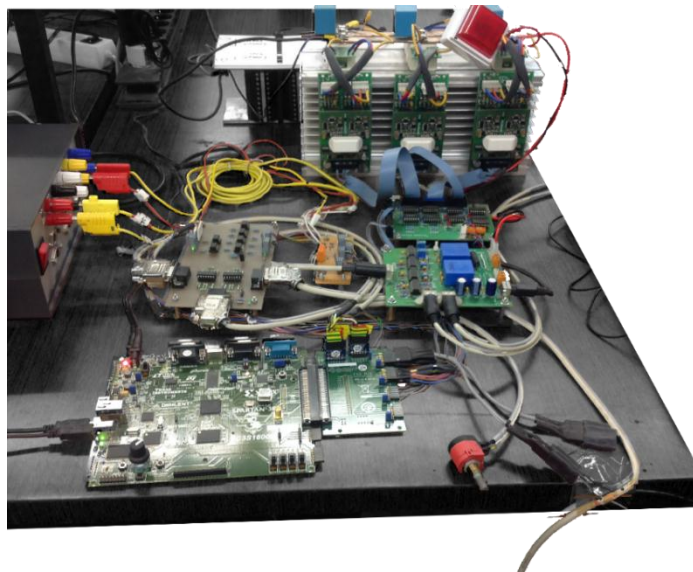


Figura 5.11 – Projeto em bancada e ligações entre os diferentes módulos.

Outros elementos interessantes que a *Digilent* apresenta são módulos de ADC, os quais estão ligados ao módulo *MIB*, permitindo realizar a conversão dos sensores presentes nas outras placas. Para conseguir realizar a medição dos seis sensores foram utilizadas três placas *PmodAD1* [58], possuindo cada uma dois ADCs *AD7476A* da *Analog Devices*, que comunicam através do protocolo de comunicação *SPI* e têm resolução de 12-bits.

A *Digilent* também apresenta uma placa com dois DACs, utilizados nesta dissertação, para observação da evolução de algumas variáveis internas na *FPGA* [59]. O *PmodDA2* são compostos por circuitos integrados *DAC121S101* da *Texas Instruments*, que comunicam através do protocolo *SPI* e possuem uma resolução de 12-bits.

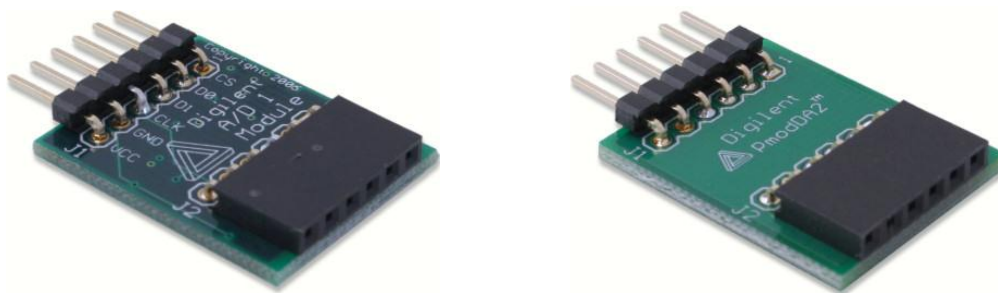


Figura 5.12 - *PmodAD1* da Digilent (esquerda) e *PmodDA2* da Digilent (direita).

5.6. Implementação do protótipo

No decorrer da dissertação surgiu a possibilidade de implementar o protótipo do projeto e desse modo passar a ter uma montagem compacta, em vez de deixar o projeto em bancada. O objetivo final desta fase é implementar o sistema num painel metálico comumente utilizado para quadros elétricos.

No processo foi também implementada uma placa em PCB para cumprir especificamente com os requisitos do sistema, em vez de continuar a reutilizar só alguns componentes das placas já existentes. Em seguida, são apresentadas as diferentes partes do desenvolvimento do protótipo.

5.6.1. Implementação da placa de acondicionamento e comando

De acordo com as necessidades do sistema na fase de implementação, decidiu-se optar pela implementação de uma nova placa, com o intuito de resolver todos os problemas que foram surgindo. A placa tem como objetivo cumprir com os seguintes requisitos:

- Ligar com a FPGA diretamente a partir do conector *FX2*, do mesmo modo que liga ao módulo de interfase MIB;
- Permitir a ligação aos *drivers* do inversor, de modo a conseguir enviar todos os sinais de comando e receber os respetivos sinais de erro;
- Possibilitar a ligação com os sensores de corrente e tensão, para depois realizar o acondicionamento dos sinais;
- Permitir que os sinais enviados pelos sensores, passem pelos ADCs antes de chegar à *Spartan 3-E*, necessitando a inserção dos *PmodAD1* na placa;
- Criar uma ligação para obter o sinal de referência, respetivo acondicionamento e conversão;

- Adicionar um conector para aceder aos sensores do motor. Adicionar o acondicionamento de sinal e conversão;
- Incluir todos os circuitos de acondicionamento dos sinais e deteção de erros dos sinais provenientes dos sensores, para salvaguardar a integridade dos ADCs e da FPGA;
- Adequar as tensões entre os diferentes dispositivos;
- Adicionar conectores compatíveis com os *PmodDA2* para conseguir ter acesso às variáveis internas;
- Adicionar um conector para obter alimentação de uma fonte externa, de modo a alimentar os componentes com as tensões necessárias;

De acordo com os requisitos descritos foi desenvolvido na plataforma *PADs logic* os circuitos necessários. O *software PADs*, desenvolvido pela *Mentor Graphics*, possui uma ampla gama de componentes eletrónicos frequentemente utilizados, com os quais é possível criar os circuitos eletrónicos e a partir daí criar o esquema do circuito em PCB. Este programa tem uma grande flexibilidade para a criação das PCB, chegando a ser possível a criação de novos componentes, que não se encontrem disponíveis nas bibliotecas de componentes. Para a criação do PCB, a *Mentor Graphics* também possui uma plataforma, *PADs layout*, através da qual se consegue dimensionar diversas características: tamanho final da PCB, disposição dos componentes, distribuição das pistas entre as ligações dos componentes, entre outros.

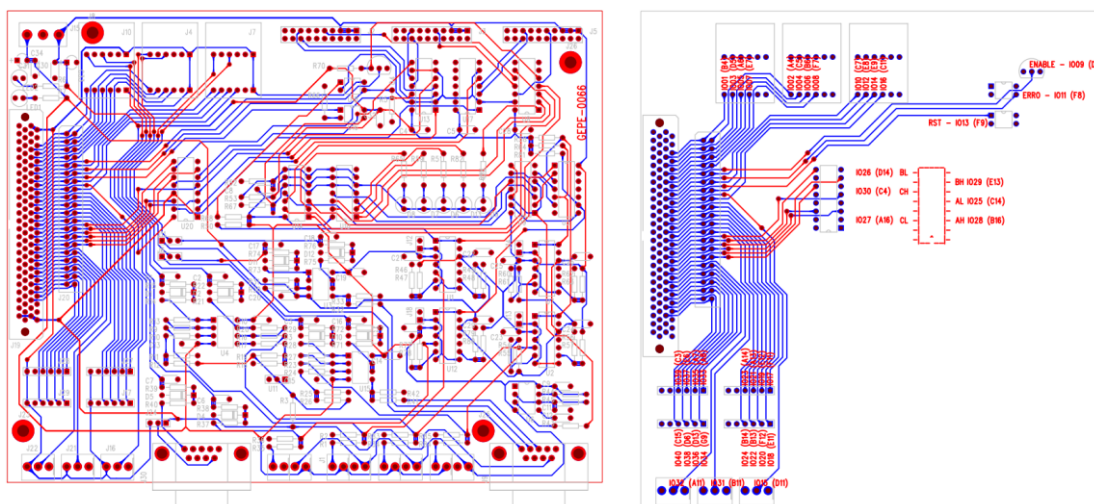


Figura 5.13 - PCB desenvolvido para o acondicionamento dos sinais (esquerda) e versão da PCB referindo as ligações com a FPGA.

Na Figura 5.13 pode-se observar (no lado esquerdo) o resultado final da placa de acondicionamento, sendo esta a versão impressa, à qual foram soldados os componentes,

testada e utilizada no protótipo final desenvolvido. Do lado direito da mesma figura, apresenta-se com especial interesse os componentes que têm acesso direto aos pinos da FPGA através do barramento *FX2*.

O PCB foi impresso nas oficinas da Universidade do Minho, utiliza duas camadas e tem como dimensões 190 mm por 151 mm. Devido a problemas técnicos relacionados com a máquina de metalizar, aspeto já tido em conta no momento de criação da placa, podem ser observadas vias a mais, utilizadas para fazer as ligações entre as duas camadas.

O circuito de amostragem (Figura 5.14) é composto por um *ampop* ligado como amplificador inversor, cuja finalidade é fixar os valores médios da corrente em 1,5 V e, assim, evitar ter valores negativos à entrada dos ADCs. Encontra-se ligado ao circuito um diodo de *zener* em paralelo para evitar possíveis valores acima dos 3,3 V. O sinal antes de chegar aos ADC passa por um filtro RC de primeira ordem. Este circuito foi aplicado nos três sinais de corrente e nos sensores de posição do motor.

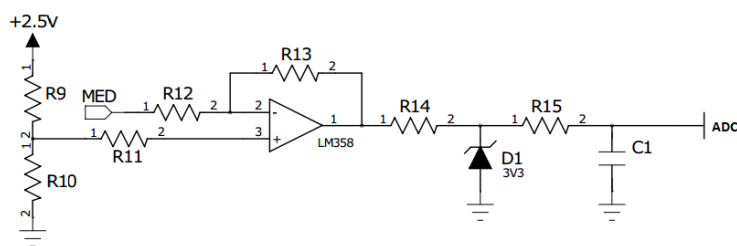


Figura 5.14 - Circuito equivalente da aquisição dos sinais e filtragem.

Para o circuito de deteção de erro foram utilizados comparadores, para definir qual o intervalo de valores que o sinal pode ter. Valores que se apresentem fora deste intervalo fazem gerar um sinal que é considerado um erro no sistema. Todos os erros considerados possuem este circuito (Figura 5.15) e são enviados para uma porta OR de oito entradas.

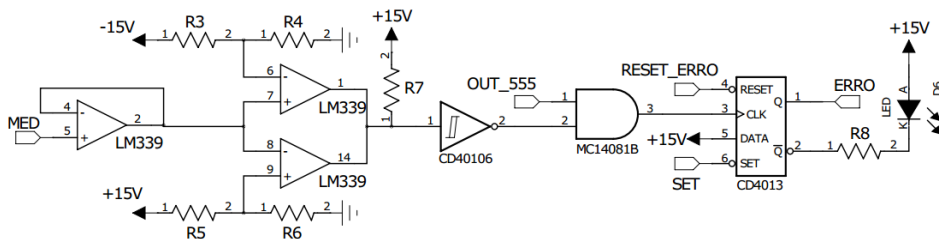


Figura 5.15 - Circuito equivalente de deteção de erros.

Os sinais de *erro* e *reset* são enviados para a FPGA, depois do sinal ter sido adequado a valores entre 0 e 3,3 V, através de optocopladores. Através da descrição de *hardware* foi determinado que o sinal de erro será ignorado três vezes num total de

0,45 μ s, descartando possíveis picos instantâneos de corrente ou problemas na aquisição de dados. Depois deste tempo estipulado o sistema é forçado a parar, principalmente as comutações do inversor.

Como é possível ver em destaque no lado direito da Figura 5.13, o circuito integrado *MC14504B (Hex Level Shifter)* permite adequar os valores dos sinais de controlo para os IGBTs provenientes da FPGA.

Na Figura 5.16 encontra-se uma imagem do resultado final da placa de acondicionamento de sinal implementada, sinalizando os principais componentes e ligações que esta possui.

Na Figura 5.17 temos a ligação direta da FPGA com a placa de acondicionamento, sendo este o produto final e como se encontra montada no protótipo do projeto.

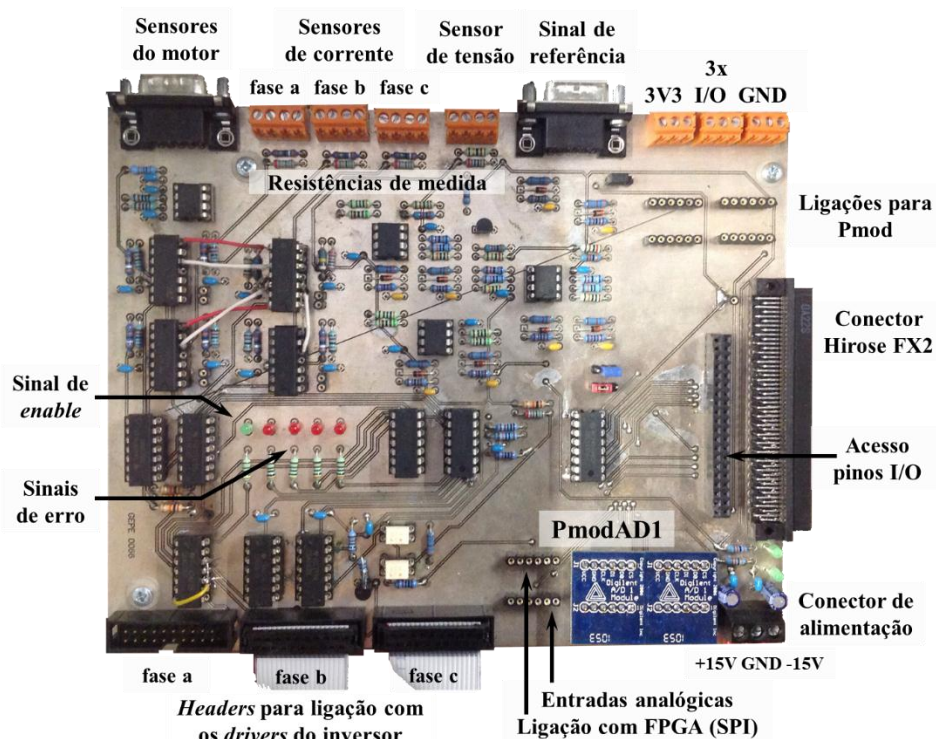


Figura 5.16 - Placa de acondicionamento e comando.

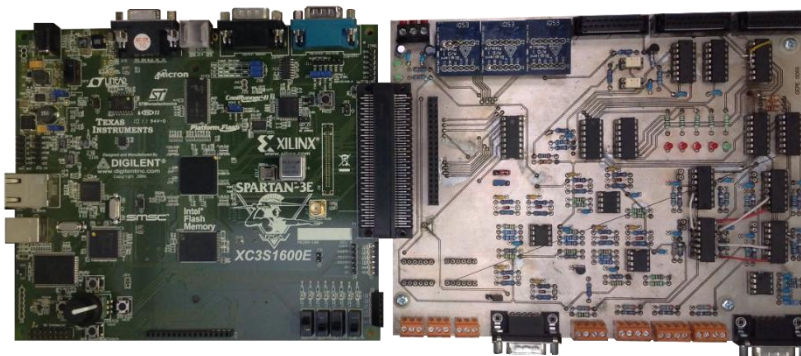


Figura 5.17 - FPGA *Spartan 3-E started kit board* e placa de acondicionamento de sinal criada.

No protótipo, estas placas têm acesso a todos os componentes, desde os sensores e inversor, até aos sinais provenientes do painel do quadro elétrico. Na Figura 5.18 pode-se observar como se encontram ligados todos os componentes que compõem o sistema.

O protótipo foi inserido numa estrutura metálica usualmente utilizada para quadros elétricos. Todos os componentes se encontram afixados a uma base, que é utilizada como guia para afixar a montagem dentro do quadro elétrico. Assim sendo, as dimensões finais deste protótipo são de 40x50x25 cm, e possui um painel com as respetivas ligações necessárias para utilização.

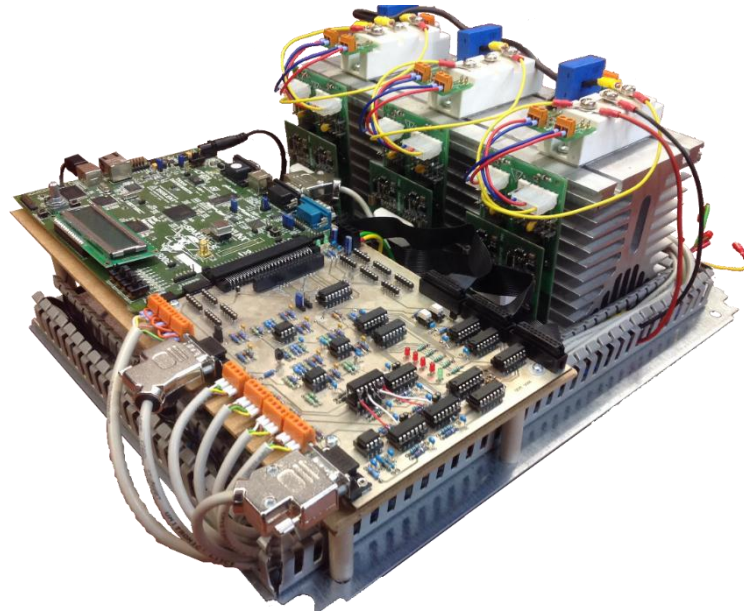


Figura 5.18 - Protótipo de controlador implementado.

Na Figura 5.19 a) é possível observar o resultado final do protótipo ao inserir os componentes dentro do quadro eléctrico. Nas Figura 5.19 b) e c) apresentam-se os esquemas da montagem e painel de ligações, respetivamente. Nas Tabela 2 e Tabela 3 listm-se os componentes das Figura 5.19 b) e c), respetivamente.

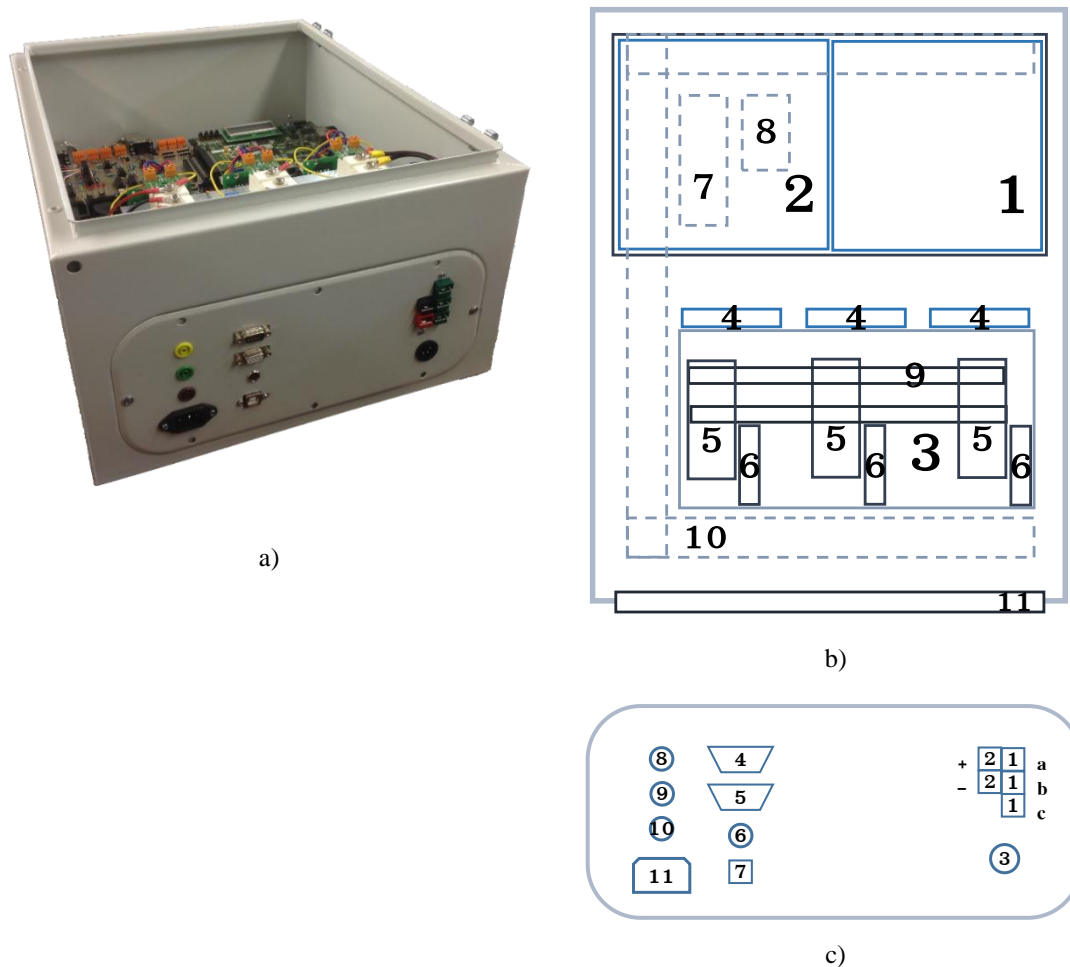


Figura 5.19 - Implementação do protótipo: a) montagem final, b) esquemático dos componentes que compõem no protótipo e c) conectores disponíveis no painel.

Tabela 2 - Componentes da Figura 5.19 b) utilizados na implementação.

Componentes do protótipo	
1	FPGA <i>Xilinx Spartan 3-E started kit board.</i>
2	Placa de acondicionamento de sinal.
3	Dissipador.
4	<i>Drivers Semikron Skyper 32 pro R.</i>
5	IGBTs <i>Semikron SKM 100GB176D.</i>
6	Sensores de corrente LEM <i>LA 55-p.</i>
7	Sensor de tensão LEM <i>LV 25-p.</i>
8	Transformador de alimentação da FPGA.
9	Barramento CC para ligação entre os módulos de IGBTs.
10	Calhas para acomodar as ligações entre os componentes.
11	Painel de conexões.

Tabela 3 - Conectores da Figura 5.19 c) utilizados no painel de ligações.

Conectores do painel	
1	Conector de alimentação PA-75 tipo <i>Anderson</i> para ligação das diferentes fases do inversor.
2	Conector de alimentação PA-75 tipo <i>Anderson</i> para ligação da componente de alimentação do barramento CC.
3	Conector circular de seis pinos para ligação dos sensores do motor.
4	Conector DB9 para acesso a três pinos I/O da placa que ligam diretamente com a FPGA.
5	Conector DB9 para acesso à porta serie RS-232 da FPGA.
6	Conector <i>XLR mini</i> para ligação do sinal de referência.
7	Conector <i>USB tipo B</i> para acesso à programação da FPGA.
8	Alimentação +15 V.
9	GND.
10	Alimentação -15 V.
11	Ficha de alimentação da FPGA.

Todo o sistema é alimentado a partir dos conectores 8, 9 e 10: sensores, placas de acondicionamento e *drivers*. O conector 11 está encarregue de alimentar a FPGA e esta, por sua vez, alimenta os componentes presentes na placa de acondicionamento que precisam de +3,3 V. A partir deste protótipo foi possível realizar todos os testes e verificar os resultados.

5.7. Módulos implementados em *Verilog*

Depois da implementação do *hardware*, foi implementada a descrição do *hardware* para a FPGA. Foi criado um módulo geral que instancia os módulos do sistema de referência (referidos anteriormente), assim como os restantes módulos que implementam as técnicas de controlo.

A Figura 5.20 mostra como é feita a hierarquia entre módulos, a partir do módulo geral. Assim sendo, tem-se em primeira instância o FPGA utilizado, onde é possível especificar as propriedades. De seguida, o módulo geral, o qual refere instâncias dos outros módulos implementados.

Os módulos referentes a “*top_amostragem*” instanciam por sua vez um módulo dedicado à comunicação com os ADCs e um módulo para ajuste de ganhos e *offsets*, enquanto o módulo “*top_dac*” refere-se a um módulo que consegue obter seis registos, de 12-bits, ao comunicar com três *PmodDA2* para conseguir observar a evolução dos registos internos.

O módulo “*ref_adc_const*” possui a opção de escolha do sinal de referência, sendo possível escolher entre um sinal de referência controlado pelo utilizador, ou sinais de referência programados para um arranque linear do motor. Estas opções são escolhidas a partir de interruptores presentes na FPGA.

O módulo “*divisor_clock*” está encarregue de criar um pulso que varia, de acordo com o sinal de referência, de modo a conseguir variar a velocidade de referência e conseguir que o motor arranque desde o estado estacionário.

O módulo “*comunicacao_comando*” está associado à gestão dos sinais de comando que possam existir entre o sistema e a FPGA, e entre o utilizador e o sistema. Este gere os sinais de erro provenientes da placa de acondicionamento, sinal de *reset* enviado pelo utilizador, gere o *reset* do sistema e o *enable* para o início das comutações.

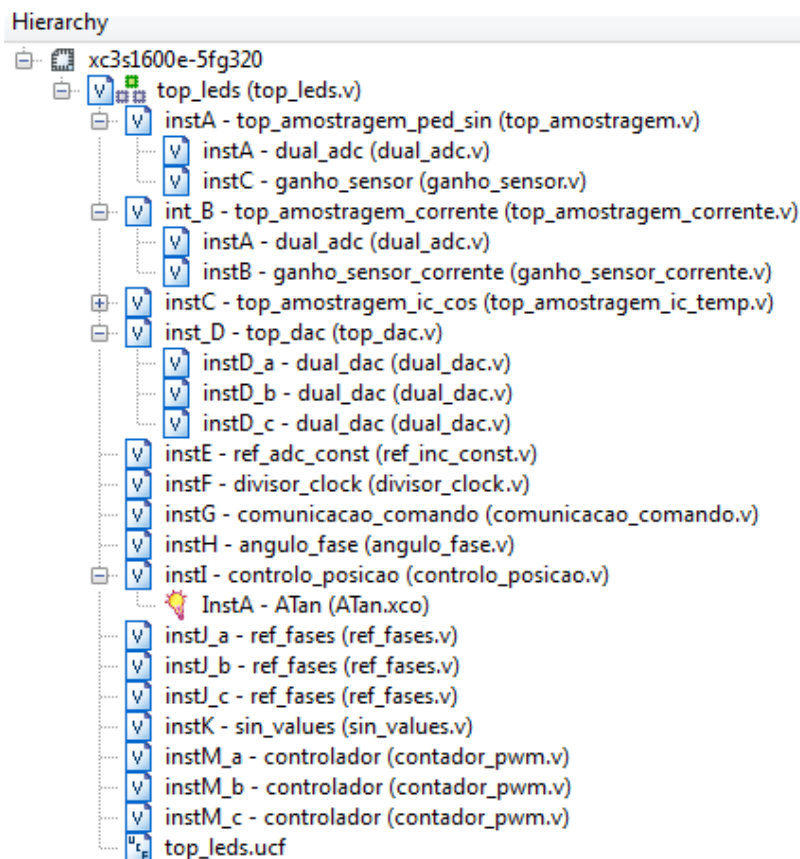


Figura 5.20 - Hierarquia dos módulos implementados.

O módulo “*angulo_fase*” assim como as diferentes instâncias do módulo “*ref_fases*” estão encarregues da geração de referências sinusoidais para cada uma das fases. Ao consultar uma memória ROM (“*sin_values*”) endereçada pelo valor do ângulo obtido em “*angulo_fase*”, é possível criar uma função seno ao longo do tempo, cuja amplitude varia dependendo do sinal de referência.

O módulo “*controlador*” está encarregue de produzir os sinais de saída que controlam o inversor. No caso do controlo de corrente por histerese, este módulo recebe os sinais de referência de corrente, cria neste sinal um valor médio onde se encontra sempre centrado, ou seja, a onda deixa de ter valores entre zero e o valor máximo de pico (Figura 5.21). Este módulo também está encarregue de somar ao sinal de referência o erro proveniente do módulo “*controlo_posicao*”, que pela sua vez está encarregue de ter em atenção desfasamentos no motor, devido à carga que está sujeito. Com este sinal de referência já é possível comparar o sinal lido do sensor de corrente (uma instância para cada fase) e realizar o algoritmo de controlo.

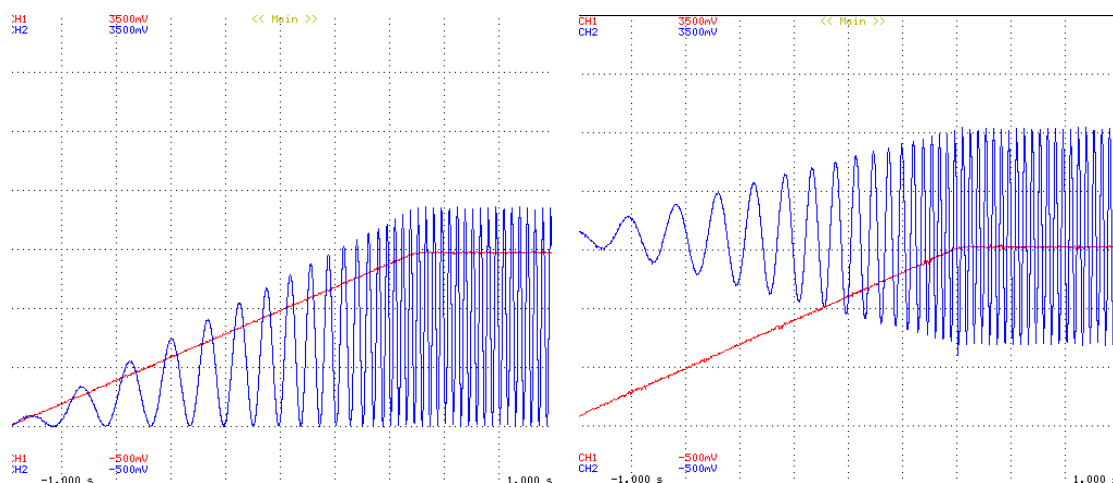


Figura 5.21 - Referências criadas por descrição de *hardware*.

No caso do controlo de corrente por frequência fixa, o módulo “*controlador*” também recebe uma referência associada aos erros relativos à posição do motor, e está encarregue de realizar a comparação do sinal de referência com o sinal de corrente lido a partir do ADC e calcular o erro, para assim adicional ao sinal de referência. Por último, este sinal de comando é comparado com uma onda triangular a 15 kHz, para obtenção do sinal PWM.

O ficheiro “*top_controlo.ucf*” é onde se encontra a descrição dos pinos utilizados como entradas e saídas lógicas, definidos no módulo “*top_controlo*”. Todas as entradas e saídas lógicas estão representadas por uma letra e um número que representam um pino real, presente na matriz relativo ao encapsulamento do FPGA.

Na Figura 5.22, retirada do *software PlanAhead 13.2*, é possível ver como é feita a distribuição dos pinos acessíveis e como foram utilizados no projeto. Esta ferramenta da *Xilinx* consegue associar o *netlist* criado e realizar a alocação dos pinos a serem utilizados para as entradas e saídas a considerar na descrição do *hardware*. Todos os pinos acessíveis

a partir do conector FX2, que são os utilizados na placa de acondicionamento, encontram-se no banco 0 de entradas e saídas da FPGA, como se pode observar.

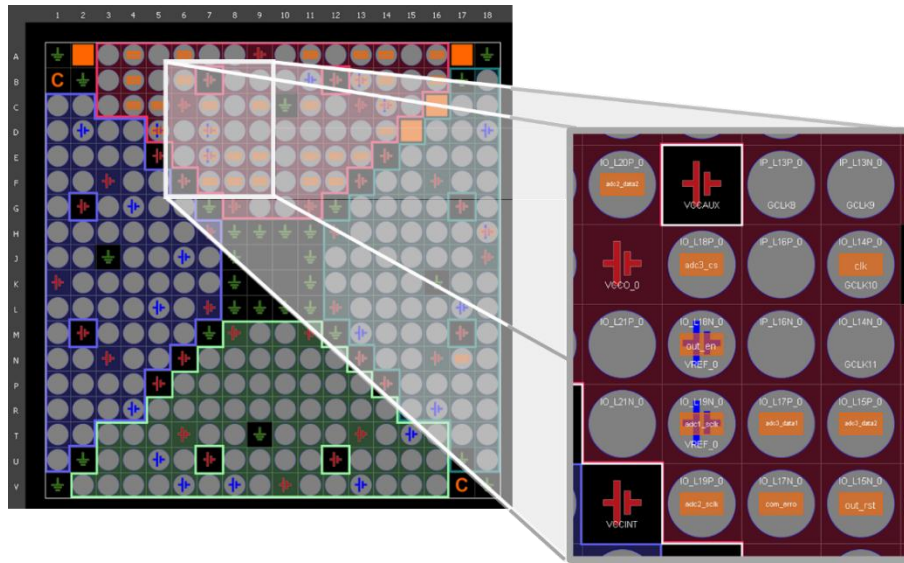


Figura 5.22 - Encapsulamento FG320 do FPGA e disposição dos pinos I/O utilizados.

No processo de especificação do *hardware* é possível obter um diagrama lógico onde são mostradas as ligações entre os diferentes módulos e os diagramas lógicos que são criados para implementar as funções descritas. Na Figura 5.23 é possível observar o módulo geral com todas as entradas e saídas utilizadas e numa segunda imagem, pode-se ver os restantes módulos instanciados e respetivas ligações.

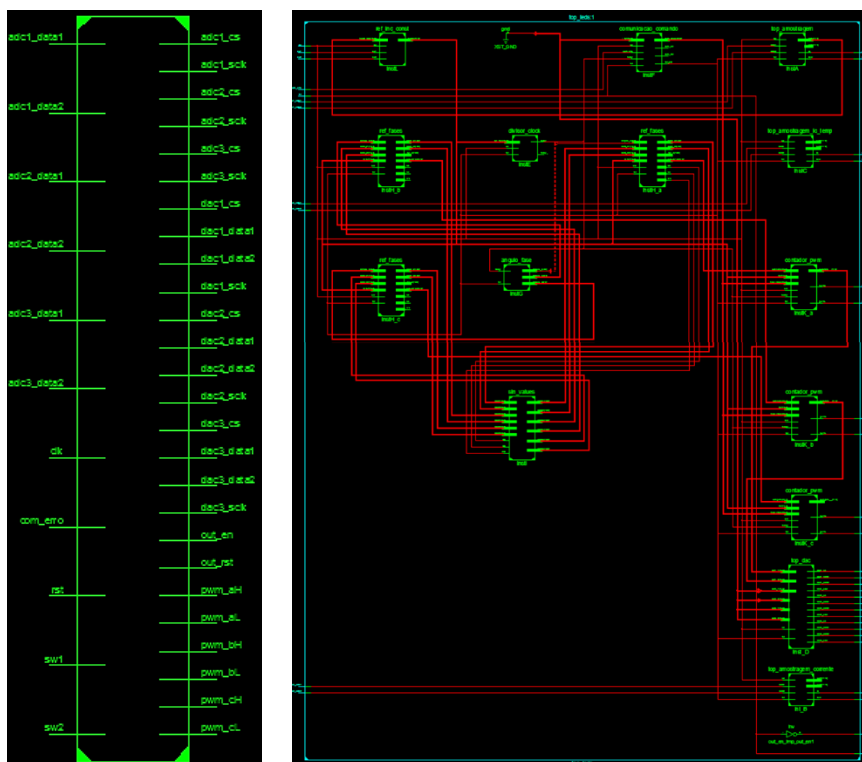


Figura 5.23 - Esquemático obtido da descrição de *hardware*.

Depois de apresentar como é feita a ligação entre módulos, respetiva hierarquia entre eles, e o modo como é efetuada a configuração dos pinos; é apresentado um diagrama temporal onde mostra, muito resumidamente, como é feita a execução das funções na FPGA para o funcionamento do controlo. Desta vez, não foi utilizada a plataforma *Isim* da *Xilinx*, já que resulta de difícil perceção a escala temporal dos processos.

Tanto na Figura 5.24 como na Figura 5.25, pode-se observar a forma como é realizada a leitura dos ADCs, em quanto tempo são processados estes dados, com que frequência é feita a mudança do sinal de referência no caso mais rápido (quando a frequência de alimentação do motor é maior), o tempo que é executado o controlo e o tempo total deste processo.

A máquina de estados deste sistema é ativada depois de cada sinal de amostragem, já que até à obtenção de um novo valor lido não se torna conveniente a variação dos sinais de comando. Estes sinais são calculados e enviados para as saídas e o sistema fica à espera de um novo sinal criado pelo tempo de amostragem.

No caso da Figura 5.25, os tempos fundamentais para o cálculo dos sinais de comando são maiores que no caso do controlo por histerese, devido a existirem mais cálculos relacionados com a soma dos valores do erro, e depois de estar atualizado o

registo com a variável de comando é preciso comparar com a onda triangular para gerar o sinal PWM.

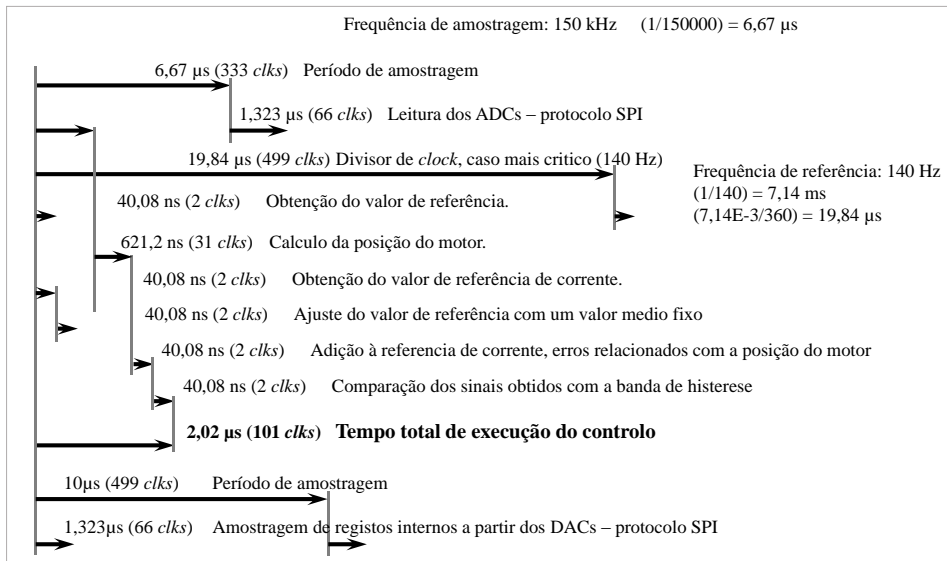


Figura 5.24 - Mapa temporal de execução da técnica de controlo por histerese.

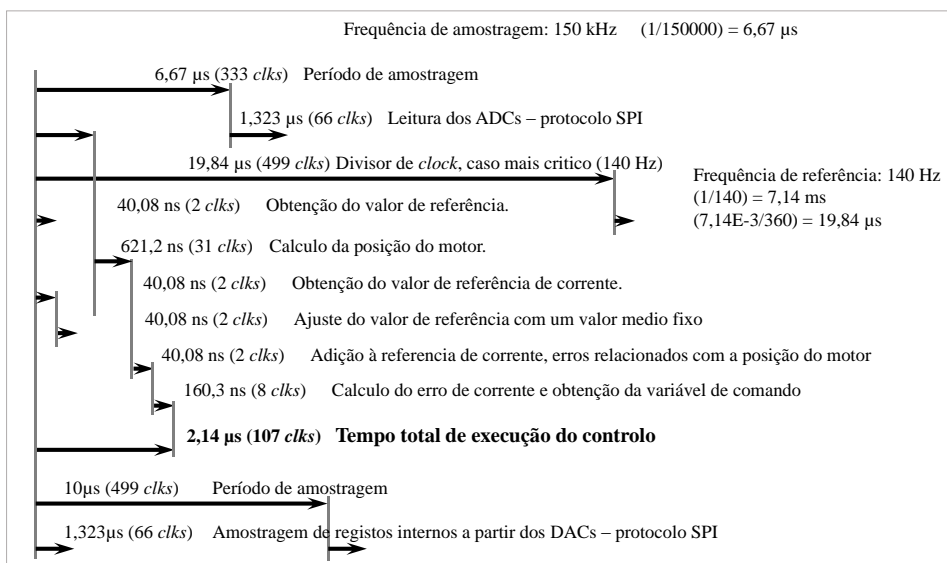


Figura 5.25 - Mapa temporal de execução da técnica de controlo por frequência fixa.

Ao culminar a implementação dos programas para a descrição do *hardware*, é possível obter um relatório com um estimado da quantidade de elementos lógicos utilizados, assim como das entradas e saídas lógicas. A Figura 5.26 mostra a tabela apresentada no sumário do *design* na plataforma *ISE* da *Xilinx*.

a)	Design Summary Report:		
	Number of External IOBs	33 out of 250	13%
	Number of External Input IOBs	11	
	Number of External Input IBUFs	11	
	Number of LOCed External Input IBUFs	11 out of 11	100%
	Number of External Output IOBs	22	
	Number of External Output IOBs	22	
	Number of LOCed External Output IOBs	22 out of 22	100%
	Number of External Bidir IOBs	0	
	Number of BUFGMUXs	3 out of 24	12%
Number of MULT18X18SIOs	4 out of 36	11%	
Number of Slices	960 out of 14752	6%	
Number of SLICEMs	0 out of 7376	0%	
b)	Design Summary Report:		
	Number of External IOBs	33 out of 250	13%
	Number of External Input IOBs	11	
	Number of External Input IBUFs	11	
	Number of LOCed External Input IBUFs	11 out of 11	100%
	Number of External Output IOBs	22	
	Number of External Output IOBs	22	
	Number of LOCed External Output IOBs	22 out of 22	100%
	Number of External Bidir IOBs	0	
	Number of BUFGMUXs	5 out of 24	20%
Number of MULT18X18SIOs	3 out of 36	8%	
Number of Slices	1316 out of 14752	8%	
Number of SLICEMs	5 out of 7376	1%	

Figura 5.26 - Sumario dos elementos utilizados na implementação: a) Técnica de controlo de corrente por histerese, b) Técnica de controlo de corrente com frequência fixa.

5.8. Conclusão

Após a conclusão desta fase, tanto a placa de acondicionamento de sinais assim como o painel com o protótipo se encontram operacionais. Ainda assim, a placa de acondicionamento de sinal sofreu algumas alterações para correção de circuitos e ligações entre componentes. Com base nos erros detetados, ao longo da fase de testes, foi projetada uma segunda placa com menores dimensões na qual foram eliminados esses erros. Devido ao tempo de implementação ser limitado, não foi possível desenvolver esta versão

melhorada, no entanto, nas conclusões e trabalhos futuros será mencionada esta tarefa como uma possível melhoria do protótipo criado.

O resultado final na fase de criação do protótipo conseguiu concluir que ficou funcional para realizar os testes necessários ao sistema conseguindo controlar o motor e observar a evolução das correntes do sistema.

Apesar da FPGA utilizada possuir 250 pinos I/O, só é possível ter acesso a um máximo de 120 pinos, característica a ter em conta caso seja preciso incrementar o número de ligações. No caso de ser considerado o controlo de mais componentes é preciso ter em atenção este aspeto, já que à medida que se necessitar obter informação de mais sensores é precisa a utilização de mais pinos.

CAPÍTULO 6

Resultados Experimentais

6.1. Introdução

No decorrer deste capítulo são apresentados os resultados obtidos na fase de testes do protótipo. Os testes foram feitos desde o início da fase de implementação devido a ter sempre em conta o funcionamento dos diferentes componentes que compõem o sistema, e, desse modo, poder acompanhar a existência de falhas associadas às fases de desenvolvimento.

O processo inicia-se com os testes feitos aos sensores, ADCs e DACs que foram utilizados. Posteriormente descreve-se o teste do sistema de referências criado por descrição de *hardware*. Foram feitos testes às duas técnicas de controlo de corrente implementadas, as quais são descritas separadamente e mostrados resultados de cada uma delas.

Todos os gráficos apresentados neste capítulo foram obtidos a partir de um osciloscópio *Yokogawa* modelo *DL708E* de 8 canais isolados [60], que dispõe o Laboratório do Grupo de Eletrónica de Potência e Energia – GEPE.

6.2. Resultados obtidos

Independentemente da técnica de controlo, o método de gerar as referências do sistema é o mesmo. A partir de uma referência controlada pelo utilizador é criada uma referência sinusoidal para controlo da alimentação do motor, que por sua vez consegue controlar a frequência e amplitude do sinal.

Devido à carga ser uma máquina síncrona, é necessário realizar o controlo da frequência, incrementando desde que o motor se encontra parado até o ponto de frequência nominal. A Figura 6.1 mostra como é criada esta referência a partir da entrada de um sinal de referência.

Ao aplicar uma tensão com uma respetiva frequência aos enrolamentos do estator (acima da frequência com que o motor se encontra), este não consegue acompanhar a frequência do sinal de alimentação, o que faz com que o rotor “veja” o campo estático (campo girante) passar por ele sem conseguir acompanhar. Isto ocasiona que o motor

perca o sincronismo – ou no caso de estar parado não consiga arrancar – e que durante um ciclo elétrico o binário induzido no motor tenha um sentido direto e depois um sentido indireto, criando na prática que o motor síncrono vibre. O motor tenta rodar para um lado, depois para o lado contrário sucessivamente, fazendo com que em vez de arrancar o motor este sobreaqueça, daí esta ser a solução implementada nos inversores de frequência.

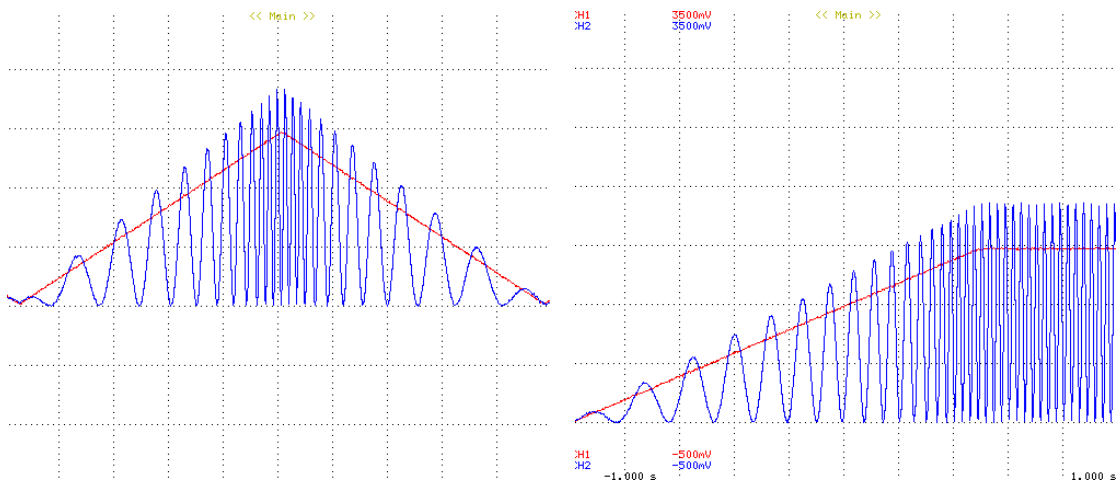


Figura 6.1 - Referência do sistema.

Neste caso a referência foi criada por *software*, para conseguir criar uma rampa perfeita e assim mostrar como é feito o incremento linear da frequência e da amplitude do sinal. Como mostrado no capítulo anterior, o sinal de referência é obtido a partir da leitura de um ADC da tensão obtida de um pedal.

Os valores dos sinais apresentados foram obtidos a partir dos DACs e possuem valores entre 0 V e 3,3 V. As imagens obtidas do osciloscópio estão ajustadas para uma escala de 500 mV/div e o eixo do tempo tem uma escala de 200 ms/div. Sendo que os valores de frequência da onda variam de 3,5 Hz até os 140 Hz, perto do valor nominal do motor.

Devido ao acondicionamento dos sinais dos sensores estabelecer um *offset* nos sinais lidos (para evitar valores negativos de tensão na entrada dos ADCs), foi preciso que os sinais de referências também passassem a ter um valor médio, como referido anteriormente no capítulo 5, sendo deste modo possível comparar ambos sinais, tal como apresentado na Figura 6.2.

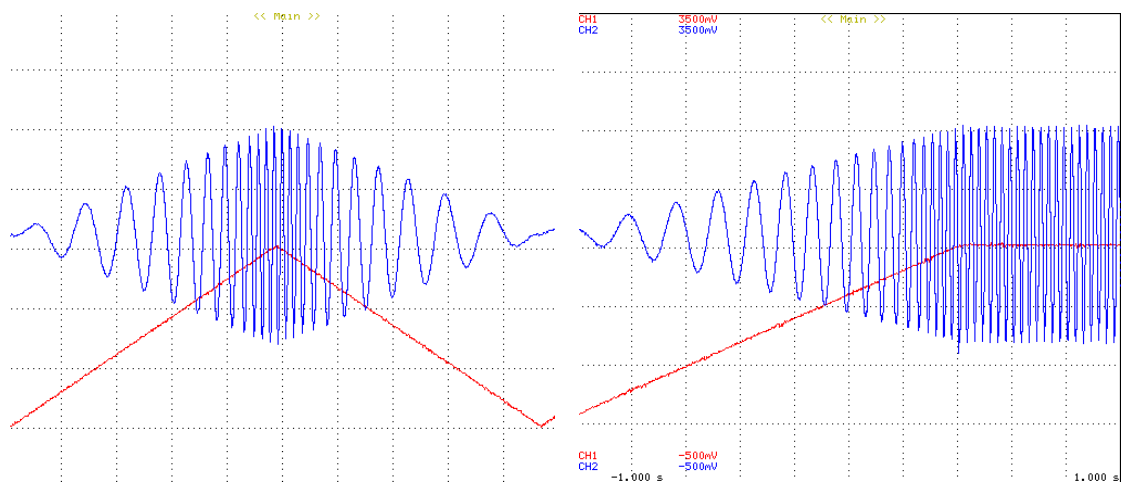


Figura 6.2 - Sinais de comando da fase a.

6.2.1. Controlo de corrente por histerese

Assim como é gerada a referência anterior, definindo diferentes ângulos, é possível gerar referências sinusoidais desfasadas entre elas para criação das referências trifásicas.

Nesta técnica de controlo, foi implementada a banda de histerese para cada uma das fases a partir das referências, sendo nesta banda onde será mantida a corrente da linha. Na Figura 6.3 pode-se observar o sistema trifásico de referências dependendo do sinal de referência controlado pelo utilizador. Também é possível observar a banda de histerese da fase a, a qual apresenta um desvio de $\pm 6,75\%$ do sinal de referência da respetiva fase.

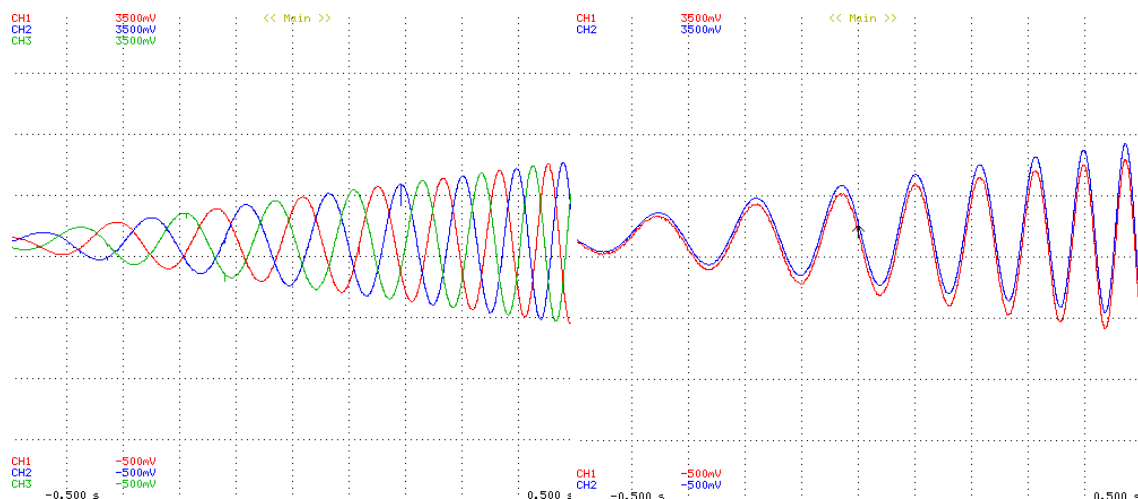


Figura 6.3 - Referências trifásicas e banda de histerese por fase.

Em seguida, são apresentados os resultados obtidos numa das fases do motor, mostrando assim o funcionamento da técnica de controlo. Apesar do gráfico da Figura 6.4 representar o mais parecido ao bom funcionamento do motor, é de ressaltar que devido

a um problema com a aquisição da posição do motor, o sistema adiciona um erro constante nas referencias de correntes o que faz com que o controlo adicione corrente a mais no motor. Este problema com o sensor de posição é mencionado detalhadamente na seguinte técnica de controlo.

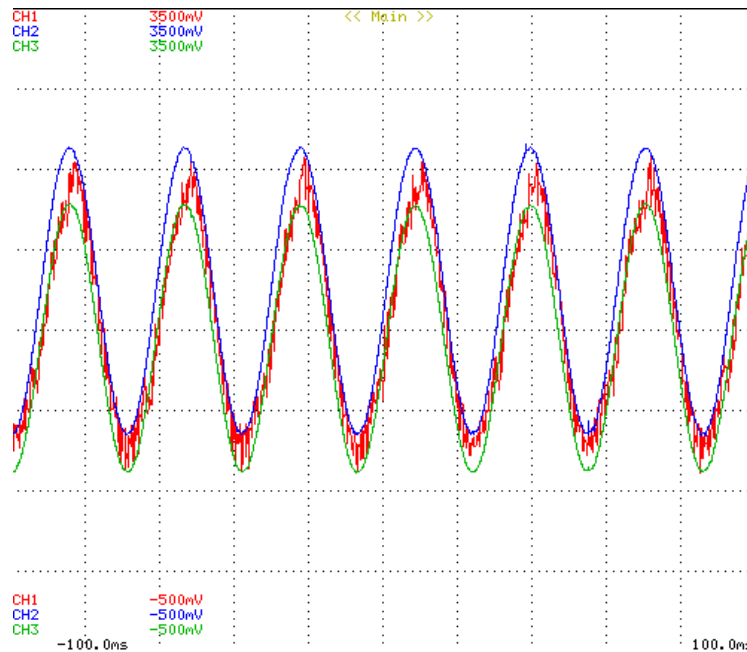


Figura 6.4 - Banda de histerese e corrente lida da fase a.

O valor de corrente é lido a partir do sensor e feita a conversão do sinal através do ADC, o sinal é comparado com as bandas de histerese e a partir daí é feito o controlo e comutação dos interruptores do inversor.

Os valores da Figura 6.4 são sinais mostrados através dos DACs, tendo em conta que a banda de histerese é representada por registos internos e o sinal de corrente já passou por fases de filtragem e acondicionamento do sinal.

6.2.2. Controlo de corrente frequência fixa

Nesta técnica de controlo, cuja principal característica é a frequência de comutação ser fixa, os primeiros testes realizados foram referentes à técnica de modulação por largura de pulsos. Na Figura 6.5 é apresentado o resultado deste teste onde é possível observar o sinal de referência comparado com uma onda triangular, e como resultado desta comparação obter um sinal parecido a uma onda quadrada que define a comutação dos interruptores do inversor.

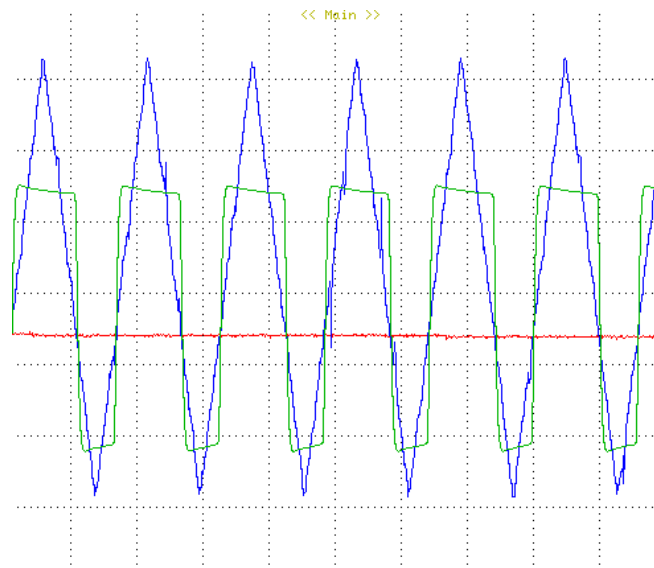


Figura 6.5 - Sinal de referência e sinal de comando por PWM.

Através deste sinal de comando consegue-se enviar sinais ao inversor para alimentar o motor. Sem nenhum de controlo de posição associado, o motor trabalha com forma de onda das correntes mostradas a seguir na Figura 6.6. Do lado esquerdo da imagem encontram-se as correntes que percorrem a *fase a* e a *fase b*, sendo que na figura do lado direito é apresentado tanto o sinal de referência, como a corrente da *fase a*.

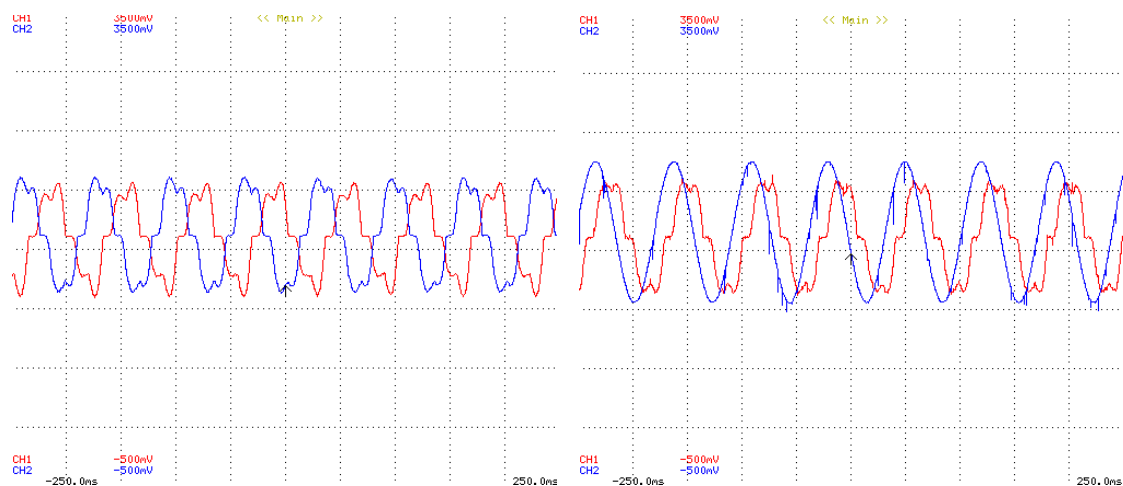


Figura 6.6 - Valores das correntes de fase do motor.

Este é o melhor caso para apresentar como resulta necessário o controlo da posição do motor para o funcionamento desejado no acionamento do mesmo. Este erro que o sistema não consegue compensar associado ao desfasamento do motor (independentemente da frequência do rotor e do campo girante serem a mesma), já foi mencionado em capítulos anteriores e está relacionado com o ângulo de binário -

associado às cargas ligadas ao eixo do motor – que adiciona um atraso entre estes dois campos magnéticos.

A partir daqui, é considerado o sensor de posição do motor, a partir do qual foram obtidos os gráficos da Figura 6.7. Na Figura 6.7 a) pode-se observar o sinal de referência da *fase a* acompanhado por um sinal com uma frequência dezasseis vezes menor, sendo este o valor lido do *seno* do sensor de posição do motor. Na Figura 6.7 b) pode observar-se o ângulo de referência da *fase a*, e o ângulo obtido a partir do cálculo do arco tangente, entre os valores de *seno* e *coseno* obtidos do sensor de posição.

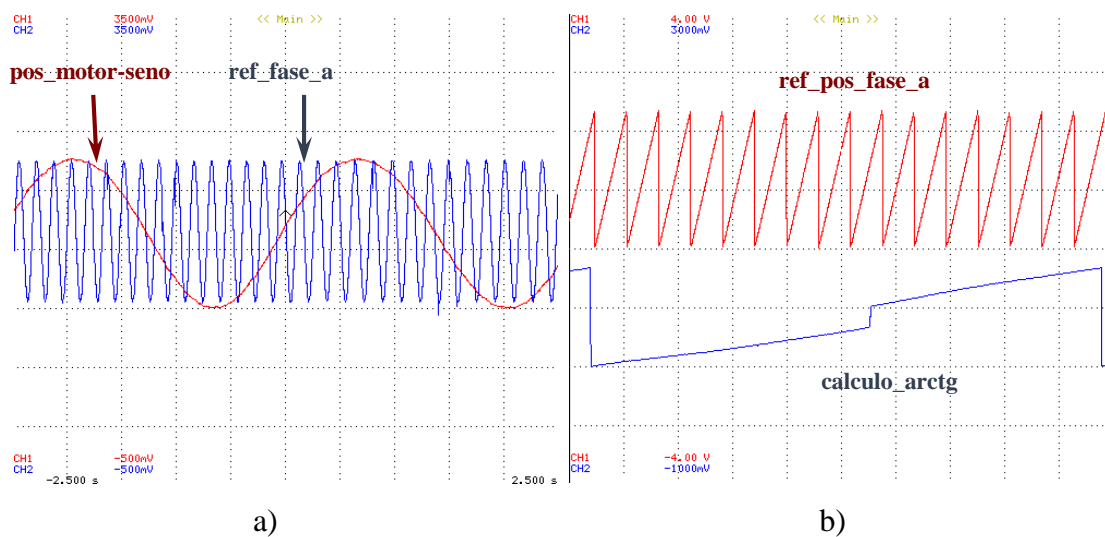


Figura 6.7 - Frequência do motor e velocidade mecânica.

Devido a um problema que não foi possível resolver relativo ao cálculo da posição do motor, é possível observar na Figura 6.8, a forma como o sinal de referência e o sinal calculado a partir do sensor de posição do motor, não chegam a estar sobrepostos, e ainda o sinal relativo às leituras do sensor de posição apresenta uma não linearidade, não foi possível concluir a implementação do controlo e obter os resultados esperados.

Não foi possível apresentar os resultados desejados de modo a observar os sinais de corrente a acompanhar os sinais de referência, no entanto, na Figura 6.9 são apresentados (unicamente) os sinais das correntes do sistema trifásico.

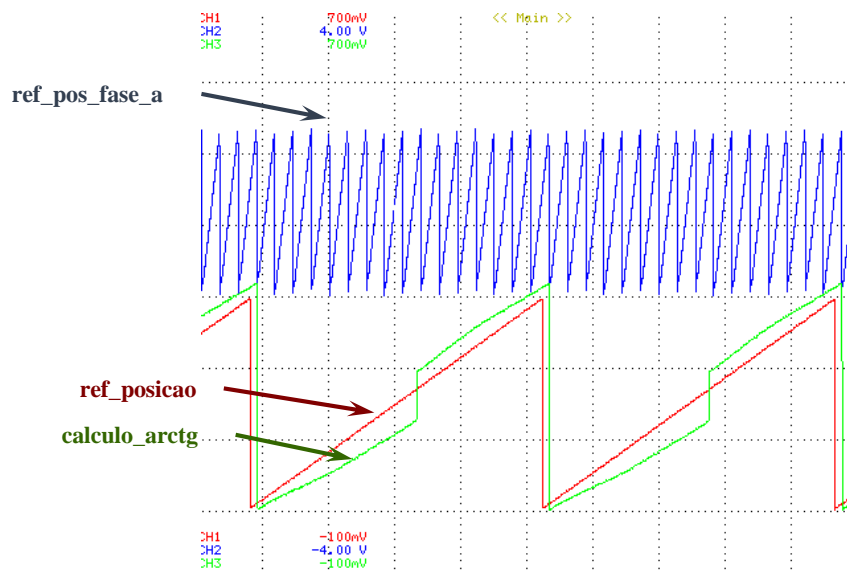


Figura 6.8 - Sinais de referência: ângulo da fase a e ângulo de referência mecânica; e ângulo relativo à posição do motor.

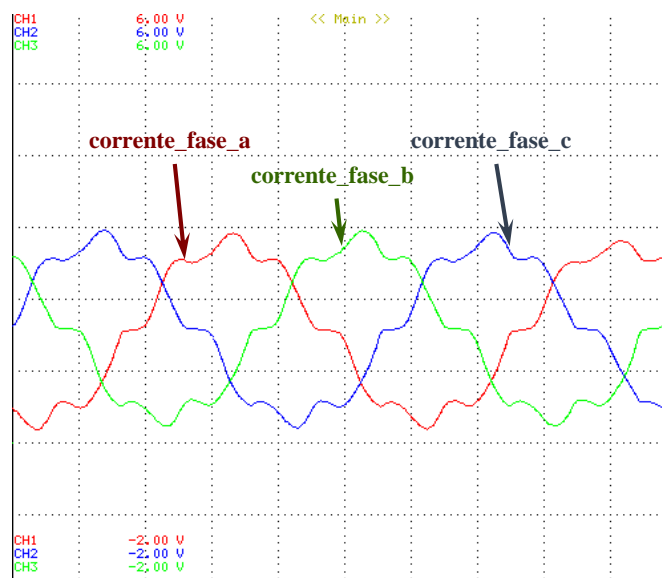


Figura 6.9 – Formas de onda das correntes de fase do motor.

6.3. Conclusão

Depois da realização dos testes práticos do sistema e a comparação com os resultados de simulação obtidos anteriormente, pode-se concluir que as técnicas de controlo de corrente implementadas funcionam dentro do esperado.

A implementação das técnicas de controlo através da descrição de *hardware* foram bem sucedidas, provando assim que estas plataformas podem ser utilizadas, tal como qualquer outra, como controlador de sistemas em eletrónica de potência.

Em relação ao protótipo implementado, este conseguiu ser utilizado para a realização de todos os resultados mostrados, provando assim que se encontra funcional e é possível a sua utilização para testes futuros.

CAPÍTULO 7

Conclusões

7.1. Conclusões

Nesta dissertação foi feita uma avaliação da tecnologia das FPGA na implementação de técnicas de controlo para aplicações de sistemas de eletrónica de potência.

Para avaliar as propriedades e mais-valias que as FPGA apresentam, foi desenvolvido um protótipo de um inversor de potência para o controlo de um motor síncrono de ímanes permanentes, dando assim destaque à área da eletrónica de potência relacionada com a tração elétrica.

Numa primeira fase, foi apresentado o inversor de potência e a sua utilização no controlo de motores elétricos, sendo também abordada a temática dos dispositivos programáveis, para assim dar introdução à proposta do trabalho.

No capítulo 2 desta dissertação foram abordados temas de carácter teórico relacionados com os dispositivos programáveis utilizados ao longo do tempo, apresentando características e propriedades de cada um. Foram igualmente apresentados, de forma breve, diversos tipos de inversores de potência, encerrando-se o capítulo com a apresentação de alguns motores elétricos, relevantes no contexto da mobilidade elétrica.

No capítulo 3, foram apresentadas diferentes técnicas de modelação de largura de pulso para comando de motores elétricos. As técnicas de modelação de corrente tiveram um maior destaque devido a terem sido estas as implementadas nesta dissertação. As técnicas implementadas foram controlo de corrente com modelação por histerese e controlo de corrente com modelação de frequência fixa. Também são apresentadas características relativas às estratégias de controlo e, por último, o processo de implementação de projetos em FPGA, denominado de fluxo de projeto, bem como as vantagens da utilização de ferramentas de *software* orientados a estes dispositivos.

No capítulo 4 foram apresentados os blocos utilizados para simulação do sistema, assim como os resultados das simulações obtidos para as diferentes estratégias de controlo de corrente utilizadas. Os resultados obtidos se encontram dentro dos parâmetros desejados.

O capítulo 5 foi destinado à fase de implementação do *hardware* necessário para validar os resultados de simulação. Este processo acompanhou o processo de descrição de *hardware* para implementação das técnicas de controlo na FPGA. Por este motivo, foram apresentadas, numa primeira instância, placas já existentes no laboratório e, posteriormente, a placa final desenvolvida especificamente para este projeto.

O protótipo do inversor de frequência apresentado é composto por um inversor fonte de tensão, uma FPGA *Spartan 3E 1600E started kit board*, um conjunto de sensores de corrente, uma placa de aquisição de dados e acondicionamento de sinais desenvolvida especificamente para este projeto, entre outros. O motor utilizado foi um motor síncrono de ímanes permanentes trifásico de fluxo axial, o qual possui sensores de posição internos utilizados nas técnicas de controlo implementadas.

Para culminar este capítulo, foram apresentados os resultados finais da implementação das técnicas de controlo em FPGA, a simulação do sistema e tempos de execução e, por último, a quantidade de recursos da FPGA utilizados na implementação.

No capítulo 6 foram apresentados os resultados experimentais obtidos para o sistema de acionamento, mostrando-se resultados tanto do controlo de corrente por histerese, como do controlo de corrente por frequência fixa.

Devido a problemas relacionados com a forma de obtenção do sinal de posição do motor, devido a este ser calculado no programa através de aproximações sucessivas, surgiram alguns problemas que não permitiram a obtenção dos resultados desejados na hora de passar das técnicas de controlo de corrente, para o controlo do motor relacionado com a sua posição.

As técnicas de controlo de corrente utilizadas, mesmo não sendo as de maior desempenho, nem se encontrarem na vanguarda das estratégias de controlo de corrente, foram executadas e ficaram funcionais, dentro do possível, provando assim a possibilidade de inserir as FPGAs na gama de opções disponíveis e a ter em consideração na hora de implementar um sistema de eletrónica de potência.

Os resultados obtidos neste trabalho permitiram validar as vantagens que as FPGAs podem aportar na implementação de controlo de sistemas de controlo desenvolvidos. Mesmo assim, é preciso ter em atenção que muitas das vantagens associadas ao *time to market* e rápida criação de protótipos apresenta muitas condicionantes, sendo a principal associada à experiência e ao tempo de utilização que o utilizador possua em relação a estes dispositivos e às suas plataformas de desenvolvimento.

Apesar da placa de acondicionamento ter sido testada e conseguir cumprir as especificações deste projeto, foi desenvolvido um novo PCB que ficou na fase de

implementação (não chegou a ser impresso). Esta nova versão apresenta melhorias em relação funcionamento dos *drivers* do inversor e melhorias nos circuitos de deteção de erros de corrente (entre outras). Também é acrescentada nesta nova versão, acesso a todos os sensores disponíveis sem partilhar ligações aos ADCs entre eles. Na Figura 7.1 é possível ver o esquema criado no *PADs layout* desta nova versão.

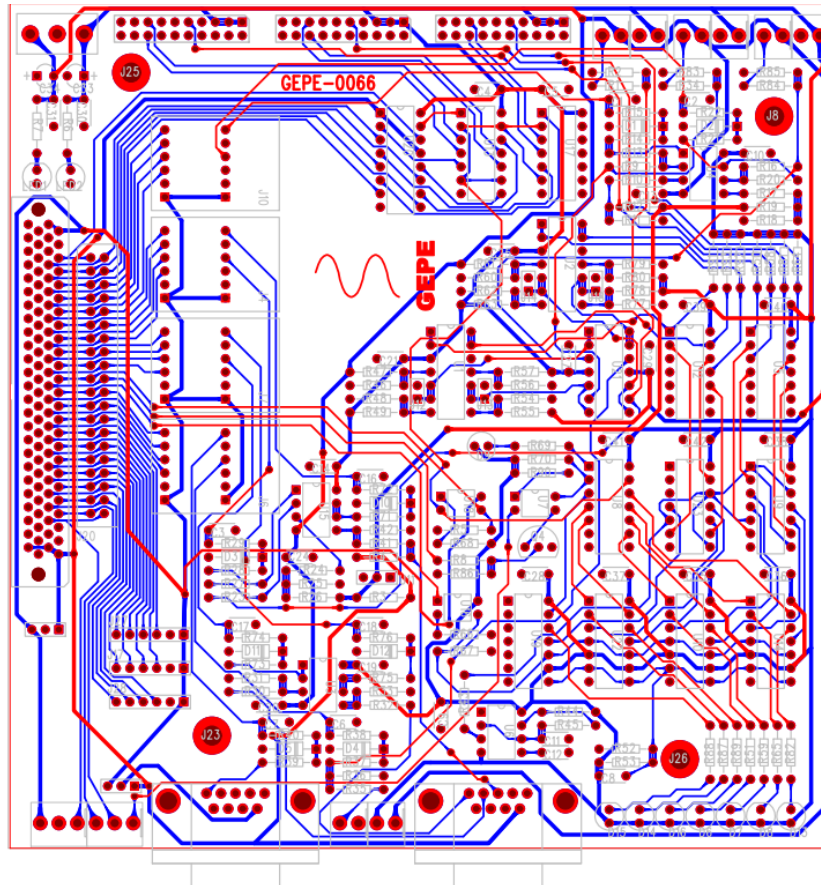


Figura 7.1 - Placa de acondicionamento melhorada.

7.2. Sugestões para Trabalho Futuro

Devido à complexidade do trabalho e à carga prática necessária estes aspetos não foram de todo cumpridos, fazendo com que ainda seja preciso realizar mais testes para o controlo apresentar a robustez desejada.

Para a realização de testes e obtenção de dados é recomendável que a realização destes possa ser feita numa bancadas de testes, para assim conseguir aplicar cargas constantes ao motor.

Em relação ao protótipo implementado uma melhoria a considerar era a elaboração do PCB da Figura 7.1, para assim substituir a placa de acondicionamento existente que apresenta alguns problemas.

A partir das conclusões obtidas no capítulo 5 e dos dados apresentados da implementação do controlo em FPGA, é possível observar o modo como foi utilizada uma pequena percentagem dos recursos presentes na placa. Surge assim uma sugestão para trabalho futuro: a implementação do *hardware* necessário e o acréscimo dos módulos implementados na FPGA para o controlo simultâneo de vários motores.

Referências

- [1] ABB drives, “Technical guide No. 1 Direct Torque Control - the world's most advances AC drive technology,” 2011.
- [2] M. Thompson, “AC motor control: DSP, MCU or FPGA?,” *EE Times-India*, p. 3, 6 2009.
- [3] Altera Corporation, “FPGAs Enable Energy-Efficient Motor Control in Next-Generation Smart Home Appliances,” p. 5, Nov. 2008.
- [4] GENERA Tecnologías, “Ingeniería FPGA: Aplicaciones de las FPGA,” [Online]. Available: http://www.generatecologias.es/aplicaciones_fpga.html. [Acedido em 04 06 2015].
- [5] WEG, “Motores de indução alimentados por inversores de frequência PWM”.
- [6] L. Adams, “Choosing the Right Architecture for Real-Time Signal Processing Designs,” 2002.
- [7] M. Emmanuel, J. Guevara e L. J. López, “Circuitos Integrados Configurables ASIC,” 07 2007. [Online]. Available: <http://icprgm-asic.blogspot.pt/2007/12/qu-es-un-asics.html>. [Acedido em 05 2015].
- [8] A. Amara, . A. Frédéric e E. Thomas, “FPGA vs. ASIC for low power applications,” *Microelectronics Journal*, 01 2006.
- [9] I. Panahi e M. K. Masten, “Digital Signal Processors for Modern Control Systems,” *Control Eng. Practice*, vol. 5, pp. 449-558, 4 1997.
- [10] F. P. Lopes, “Estudo e Comparação de Diferentes Métodos de Controlo de Motores Síncronos com Ímanes Permanentes,” 2008.
- [11] J. Eyre e J. Bier, “The evolution of DSP processors,” 2000.
- [12] S. Gibilisco, “Glue logic,” 04 2012. [Online]. Available: <http://whatis.techtarget.com/definicion/glue-logic>. [Acedido em 05 2015].
- [13] J. Rose e S. Brown, “Architecture of FPGAs and CPLDs: A Tutorial”.
- [14] R. d. S. Machado, “Biblioteca de módulos Verilog para interface de FPGAs com periféricos I/O,” 2010.
- [15] F. M. Cardoso, “FPGA e Fluxo de Projeto,” DECOM-FEEC, UNICAMP, 2007.
- [16] A. R. Silva, “Geração de Sinais Vectoriais Baseada em FPGA,” www.ua.pt/sbidm/biblioteca, 2008.
- [17] D. E. Thomas e P. R. Moorby, *The Verilog Hardware Description Language*, quinta edição ed., 2002, march.
- [18] J. L. Afonso, “A Eletrónica de Potência,” *Revista Robótica*, vol. nº 74, p. 36, 1º trimestre 2009.
- [19] A. L. Lenz, “Máquinas Elétricas de Imãs Permanentes (Parte 1/2),” 15 12 2013. [Online]. Available: <http://automoveiseletricos.blogspot.com.br/2013/12/maquinas-eletricas-de-imas-permanentes.html?showComment=1408418550917#c1840376705304184817>. [Acedido em 14 06 2015].
- [20] M. P. Martín, “Nuevas técnicas de modulacion vectorial para convertidores electrónicos de potencia multinivel,” 2003.
- [21] N. Mohan, T. M. Undeland e W. Robbins, *Power Electronics: Converters, Applications and Design*, terceira edição ed., John Wiley & Sons Inc, 1995.
- [22] J. A. Pomilio, “Eletrônica de Potência para Geração, Transmissão e Distribuição de Energia Elétrica,” FEEC, UNICAMP, 2012.
- [23] WEG, “Características e Especificações de Motores de Corrente Contínua e Conversores,” <http://ecatalog.weg.net/files/>.
- [24] WEG, “Motores Eletricos - Guia de especificação,” ecatalog.weg.net/files/, 2013.
- [25] WEG, “Motor de indução trifásico rotor bobinado com sistema motorizado de levantamento das escovas,” <http://ecatalog.weg.net/files/>.
- [26] R. Krishnan, *Electric Motor Drives – Modeling, Analysis, and Control*, New Jersey: Prentice Hall Inc., 2001.
- [27] F. Crescimbeni, A. Lidozzi e L. Solero, “SVM PMSM Drive With Low Resolution Hall-Effect Sensors,” *IEEE Transactions on Power Electronics*, vol. 22, January 2007.
- [28] A. L. Lenz, “Máquinas Elétricas de Imãs Permanentes (Máquinas Elétricas CC Sem Escovas e Sem Ranhuras) - Parte 2/2,” 19 12 2013. [Online]. Available: http://automoveiseletricos.blogspot.pt/2013/12/maquinas-eletricas-de-imas-permanentes_19.html.

- [29] J. F. Gieras, R. -J. Wang e M. J. Kamper, *Axial Flux Permanent Magnet Brushless Machines*, Springer, 2004.
- [30] L. C. Silva, “Modeling and Design of the Electric Drivetrain for the 2013 Research Concept Vehicle,” Stockholm, 2013.
- [31] WEG, “Motores Sincronos,” ecatalog.weg.net/files/.
- [32] J. E. Paiva, “Motores Sincronos,” bibliotecas.utl.pt/, Universidade de Lisboa.
- [33] Z. G. Vranesic, S. D. Brown e R. J. Francis, *Field-Programmable Gate Arrays*, Kluwer Academic Publishers, 1992.
- [34] A. M. El-Refaie, “Motors/generators for traction/propulsion applications,” *EEE vehicular technology magazine*, 03 2013.
- [35] J. A. Pomilio, “Conversores CC/CA - Inversores,” DSE – FEEC, UNICAMP, 2014.
- [36] B. M. W. J. David Irwin, *Power Electronics and Motor Drives*, Second edition ed., Taylor and Francis Group, 2011.
- [37]] D. Rathnakumar, J. Lakshmana Perumal e T. Sriniv, “A New Software Implementation of Space Vector PWM,” 2005.
- [38] T. Erfidan, S. Urgan, Y. Karabag e B. Çakir, “New Software Implementation of the Space Vector Modulation,” *IEEE MELECON*, vol. 22, 05 2004.
- [39] F. I. a. L. M. F. A Survey Marian P. Kazmierkowski, “Current Control Techniques for Three-Phase Voltage-Source PWM Converters,” *IEEE*.
- [40] E. E. El-kholy, R. Kennel, A. El-refaei, S. A. El-Latif e F. Elkady, “Robust space-vector current control for induction motor drives,” *Journal of Electrical Engineering*, vol. 57, pp. 61-68, 2006.
- [41] Xilinx Inc., “ISE Design Suite 10.1 - ISE Foundation,” 2008.
- [42] Xilinx Inc., “Programmable Logic Design Quick Start Handbook,” 2006.
- [43] SEMIKRON, “SKM 100GB176D,” 2004.
- [44] SEMIKRON, “SKYPER 32 PRO R,” 2014.
- [45] SEMIKRON, “Board 4S SKYPER 32 PRO R Gold,” 2015.
- [46] Heinzmann, “Product Catalogue - Electric Drives”.
- [47] RLS, “AM256 – Angular magnetic encoder IC,” 2010.
- [48] Grupo de Electronica de Potencia e Energia da Universidade do Minho - GEPE, 2013. [Online]. Available: <http://www.gepe.dei.uminho.pt/includes/fotos.html>. [Acedido em 23 09 2015].
- [49] LEM, “Current Transducer LA 55-P,” 2014.
- [50] LEM, “<http://www.lem.com/docs/products/lv%2025-p.pdf>,” 2012.
- [51] Xilinx, “Spartan-3E FPGA Starter Kit Board User Guide,” 2011.
- [52] Xilinx, “Spartan-3E FPGA Family Data Sheet”.
- [53] Xilinx, “Spartan-3E FPGA Started Kit Board Usar Guide,” 2011.
- [54] Digilent, “FX2 MIB Reference Manual,” 2009.
- [55] Hirose Electric Co. Ltd., “FX2 series - 1.27mm Pitch Multi-function Two Piece Connectors”.
- [56] Digilent, “Digilent PmodAD1™ Analog To Digital Module Converter Board Reference Manual,” 2011.
- [57] digilent, “Digilent PmodDA2™ Digital To Analog Module Converter Board Reference Manual,” 2006.
- [58] S. Kato, S. Ito, Y. Takeshita e T. Mizusawa, “Digital Scope DL708E,” vol. 26, pp. 27-30, 1999.
- [59] S. B. Ferreira, “Estudo e Avaliação do Desempenho de Estratégias de Controle Direto do Torque em Maquinas de Indução,” Porto Alegre, Brasil, 2014.
- [60] HUNT ENGINEERING, “Choosing FPGA or DPS for your Application,” [Online]. Available: <http://www.hunteng.co.uk/info/fpga-or-dsp.htm>. [Acedido em 20 06 2015].
- [61] [Online]. Available: <http://www.ebah.com.br/content/ABAAe3nAAL/apostila-psim>.
- [62] CEPRA - Centro de Formação Profissional da Reparação Automovel, “Calculos e Curvas Caracteristicas do Motor,” 2000.
- [63] Yi-Hwa Liu, Chern-Lin Chen e Rong-Jie Tu, “A Novel Space-Vector Current Regulation Scheme for a Field-Oriented-Controlled Induction Motor Drive,” *IEEE Trans. on Ind. Elect.*, vol. 45, 10 1998.

- [64] [Online]. Available: <http://automoveiseletricos.blogspot.com.br/2012/07/os-inversores-de-frequencia-dos.html>. [Acedido em 23 07 2015].
- [65] Digilent, “Digilent PmodAD1™ Analog To Digital Module Converter Board Reference Manual,” 2011.
- [66] WEG, “DT - 3 CARACTERÍSTICAS E ESPECIFICAÇÕES DE MOTORES DE CORRENTE CONTÍNUA E CONVERSORES CA/CC”.
- [67] Moham, Electronica de potencia e aplicações.