



Universidade do Minho
Escola de Engenharia

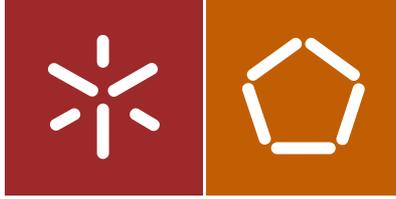
Carlos Daniel Araújo Ferreira

Plataforma de Teste para MEMS

Carlos Daniel Araújo Ferreira | Plataforma de Teste para MEMS

UMinho | 2016

outubro de 2016



Universidade do Minho
Escola de Engenharia

Carlos Daniel Araújo Ferreira

Plataforma de Teste para MEMS

Dissertação de Mestrado
Ciclo de Estudos Integrados Conducentes ao Grau de
Mestre em Engenharia Eletrónica Industrial e Computadores

Trabalho efetuado sob a orientação do
Professor Doutor Luís Alexandre Rocha

“A curiosidade é o início da sabedoria”

Aristóteles

AGRADECIMENTOS

Começo por agradecer aos meus pais, irmão, avós e restante família por todo o apoio que me deram no meu percurso académico compreendendo sempre e tendo paciência para a minha ausência, e que sem eles, este nunca teria sido possível.

Quero agradecer ao Prof. Luís Rocha por todo o apoio, por me ter guiado neste caminho, e levado o meu conhecimento mais além e ao Prof. Jorge Cabral por me ter sempre proposto novos desafios.

Por tudo em que colaboraram e me ensinaram, estando sempre disponíveis para me ajudar, agradeço ao Vasco Lima, ao Nuno Brito e ao Filipe Alves e ainda aos meus colegas de curso e laboratório, Fábio Martins, Fábio Leitão, Carlos Silva e Pedro Silva, que sempre me apoiaram e pelos muitos momentos de diversão e companheirismo.

Quero agradecer ao Gaspar e ao Miguel por todo o apoio ao longo deste percurso, ajudando sempre no meu trabalho, independentemente das horas que o mesmo por vezes exigia.

Um obrigado a todos os amigos e companheiros de curso pelos muitos momentos de boa disposição e companhia.

Agradeço ainda à minha namorada, Catarina Mendes, pela paciência e compreensão ao longo de todo o curso, ajudando-me nos momentos de maior pressão e respeitando sempre o meu trabalho.

Um obrigado a todos!

RESUMO

O principal propósito desta dissertação é o desenvolvimento de uma plataforma versátil para testar Sistemas MicroEletroMecânicos (MEMS) através da geração e leitura de estímulos elétricos. Por definição MEMS são estruturas com componentes e propriedades elétricas e mecânicas, por isso é necessário testar estas estruturas em todas as fases de desenvolvimento (desenho, produção e calibração). Enquanto que o tempo de teste não é um requisito na fase de desenho, este torna-se um especialmente crítico nas outras fases. Este modelo de testes, que aplica e lê sinais elétricos ao nível de bolachas de silício, teve início na indústria dos circuitos integrados tendo agora de ser integrado na indústria de MEMS, sendo que já existem algumas soluções de teste, como por exemplo o apresentado pela ITMEMS.

A plataforma desenvolvida nesta dissertação, tem um amplificador de carga de ganho variável para converter capacidade em tensão, um amplificador *lock-in* digital e uma interface com o computador que utiliza TCP/IP. Esta interface assegura a transferência até 100 Mbits/s com fiabilidade, gerando assim uma saída do sistema com mais de 1 MHz de taxa de amostragem e 16 bits de resolução em tempo real.

O resultado deste trabalho apresenta duas características essenciais para teste de MEMS, apresentando uma interface fácil e intuitiva para o utilizador, implementada num computador utilizando o MATLAB e um amplificador *lock-in* integrado para descodificar sinais modulados em amplitude.

Palavras-Chave: Teste de MEMS, *Lock-In*, FPGA

ABSTRACT

The main purpose of this thesis is to develop a versatile platform to test MicroElectroMechanical Systems (MEMS) by injecting and reading electrical stimuli. By definition MEMS are structures with electrical and mechanical components and properties, and therefore it is necessary to test these structures in every stage of development (design, manufacturing, calibration). While time is not a particular specification on design phase, this becomes an absolutely critical specification in other phases. This type of testing methodology begun in IC industry, by applying and reading electrical signals in IC wafers. For MEMS devices there are already a few solutions such as the one presented by ITMEMS.

The developed platform has a gain variable capacitance to voltage converter, a digital *lock-in* amplifier and a PC interface using TCP/IP. This interface ensures a reliable data transfer up to 100 Mbits per second, thus generating an output of 1 MHz sample rate up to 16 bits in real-time. The result of this work implements two important features for MEMS testing presenting a pleasant and friendly user-interface, in one PC using MATLAB, and an integrated *lock-in* amplifier to decode amplitude modulated signals.

Keywords: MEMS Test, *Lock-In*, FPGA

ÍNDICE

Agradecimentos	v
Resumo.....	vii
Abstract	ix
1. Introdução.....	1
1.1 Enquadramento.....	1
1.2 Motivação.....	2
1.3 Objetivo	4
1.4 Estrutura da dissertação.....	5
2. Sistema de Teste	7
2.1 Estado da Arte	7
2.1.1 Análise ótica por vibração (Polytec Inc.) [5] :.....	7
2.1.2 Sistema de teste mecânico baseado em pontas de prova (FEMTO tools [6]):	8
2.1.3 Medição da resposta a estímulos elétricos:.....	9
2.1.4 Conclusão do estado da arte.....	11
2.2 Amplificadores Lock-In	12
2.3 Visão Geral do Sistema	15
2.4 Requisitos do Sistema.....	16
3. Desenvolvimento de Hardware	17
3.1 Sistema de Aquisição	17
3.1.1 Arquitetura Sistema de Aquisição.....	17
3.1.2 Amplificador de Carga.....	17
3.1.3 Conversão para Diferencial	21
3.1.4 Amplificador de Ganho Variável	22
3.1.5 Conversor Analógico Digital	23
3.2 Sistema de Atuação	24
3.2.1 Arquitetura Sistema de Atuação	24
3.2.2 Conversores Digital Analógico.....	25
3.2.3 Interruptores Analógicos.....	26

3.2.4	Geração de onda sinusoidal	26
3.3	Integração de Sistemas.....	28
3.3.1	Fonte de Alimentação	28
3.3.2	SoC Zynq 7000	31
3.3.3	Placa-mãe	33
4.	Hardware Programável (FPGA).....	35
4.1	Arquitetura Hardware Programável.....	35
4.2	ADC Driver	36
4.3	DAC Driver	37
4.4	Amplificador Lock-In.....	38
4.4.1	Arquitetura Amplificador Lock-In.....	38
4.4.2	Filtro	39
4.4.3	Arco Tangente	40
4.4.4	DDS.....	41
4.5	Gerador de Ondas.....	42
4.6	MUX – Multiplexer.....	43
4.7	DVGA Driver.....	44
4.8	Shift Register Driver.....	45
4.9	DDS Driver.....	46
4.10	Data FIFO	47
4.11	AXI Registers	48
5.	Software Microprocessador.....	51
5.1	FreeRTOS	51
5.2	lwIP	51
5.3	Funcionamento do sistema	52
5.4	Mapeamento Registos AXI	54
5.5	Protocolo de Comunicação.....	55
6.	Testes e Resultados.....	57
6.1	Sistema de Leitura	57
6.1.1	Caracterização Canal de entrada	57

6.1.2	Caracterização do ganho do canal de entrada.....	59
6.1.3	Caracterização Ganhos Amplificador de Carga.....	60
6.2	Sistema de Atuação	62
6.2.1	Geração de Portadoras.....	62
6.2.2	DAC.....	63
6.3	Teste Amplificador Lock-In	65
6.3.1	Teste a todos os pontos do sistema.....	65
6.3.2	Leitura da posição de um sensor MEMS (Acelerómetro)	66
6.3.3	Medição Frequência de Ressonância.....	67
7.	Conclusão e Trabalho Futuro	69
8.	Bibliografia	71
9.	Anexo I – Esquemas e Layout PCBs.....	75
10.	Anexo II – Mensagens de Comunicação	113

LISTA DE FIGURAS

Figura 1-1 - Previsão das Vendas de Produtos MEMS até 2020 [1].....	1
Figura 1-2 - Enquadramento do Sistema a desenvolver	2
Figura 2-1 - Topologia do teste ótico a estruturas - [6]	7
Figura 2-2 - Teste ótico a dispositivos comercializado pela Polytec Inc. - [5].....	7
Figura 2-3 - Topologia do teste mecânico a estruturas - [6].....	8
Figura 2-4 - Teste mecânico comercializado pela FEMTO tools - [6].....	8
Figura 2-5 - Topologia do teste elétrico a estruturas - [6]	9
Figura 2-6 -Plataforma de caracterização comercializada pela ITMEMS - [7]	10
Figura 2-7 - Arquitetura de sistema de teste [8].....	10
Figura 2-8 - - Resultado de um PSD no domínio das frequências [12].....	13
Figura 2-9 - Exemplo de um detetor de fase para extração de um sinal	13
Figura 2-10 - Arquitetura de um amplificador Lock-In [12]	14
Figura 2-11 - Visão Geral do sistema a desenvolver	15
Figura 3-1 - Arquitetura Sistema de Aquisição	17
Figura 3-2 – Esquema para tradução de Capacidade em corrente.....	18
Figura 3-3 - Esquema circuito de conversão C/V	18
Figura 3-4 - Circuito Amplificador de Carga	19
Figura 3-5 - Amplificador de Carga (PCB).....	20
Figura 3-6 - Esquema da Entrada e conversão para diferencial	21
Figura 3-7 – PCB Amplificador Diferencial	22
Figura 3-8 - PCB do Amplificador Diferencial de Ganho Variável	22
Figura 3-9 – Layout e PCB ADC.....	23
Figura 3-10 - Arquitetura do sistema de Atuação	24
Figura 3-11 - PCB Conversores Digitais Analógico	25
Figura 3-12 - Diagrama funcional do ADG1434 [18]	26
Figura 3-13 - PCB Interruptores Analógicos	26
Figura 3-14 - Diagrama de Tensões.....	28
Figura 3-15 - Diagrama de blocos funcional TPS7A4701	30
Figura 3-16 - PCB Fonte de Alimentação.....	31
Figura 3-17 - Arquitetura Zynq 7000 [26]	32

Figura 3-18 - Placa Interface ZedBoard- Plataforma de Testes.....	32
Figura 3-19 - PCB 3D Sistema final (placa-mãe).....	33
Figura 3-20 - Plataforma de testes (Vista Lateral)	34
Figura 3-21 - Plataforma de Testes	34
Figura 4-1 - Arquitetura hardware Programável.....	35
Figura 4-2 - IP ADC Driver	37
Figura 4-3 - IP DAC Driver	37
Figura 4-4 - Arquitetura Amplificador Lock-In	38
Figura 4-5 - Implementação filtro em Simulink.....	39
Figura 4-6 - IP Filtro	40
Figura 4-7 - IP Fase	41
Figura 4-8 - IP DDS.....	42
Figura 4-9 - IP do gerador de ondas em hardware	43
Figura 4-10 - IP do multiplexer de 4 entradas.....	44
Figura 4-11 - IP do DVGA driver	44
Figura 4-12 - IP do Shift Register driver	46
Figura 4-13 - IP DDS driver	47
Figura 4-14 - IP Data FIFO.....	48
Figura 4-15 - IP AXI Registers	49
Figura 5-1 - Fluxograma Tarefa Principal	53
Figura 5-2 - Fluxograma tarefa Run.....	53
Figura 5-3 - Registos da escrita da plataforma de testes.....	54
Figura 5-4 - Registos de leitura da plataforma de testes.....	55
Figura 6-1 - Ganho de entrada	59
Figura 6-2 - Variação da amplitude para diferentes ganhos do amplificador de carga.....	60
Figura 6-3 - Variação da amplitude para diferentes frequências	62
Figura 6-4 - Frequência de Amostragem DAC.....	63
Figura 6-5 - Sinais Geradas pelos DACs	64
Figura 6-6 - Sinais Geradas pelos DACs	64
Figura 6-7 - Vários Pontos de Funcionamento do Amplificador Lock-In	65
Figura 6-8 - Sinais Provenientes do Lock-In	66
Figura 6-9 - Medição de um dispositivo MEMS	66

Figura 6-10 - Diagrama de Bode da resposta de uma estrutura MEMS	67
Figura 9-1 - Esquema Interligações ADC	75
Figura 9-2 - Esquema ADC.....	76
Figura 9-3 - Layout PCB ADC.....	77
Figura 9-4 - Interligações Amplificador Diferencial.....	78
Figura 9-5 - Esquema Amplificador Diferencial.....	79
Figura 9-6 - Layout Placa Diferencial.....	80
Figura 9-7 - Interligações Entrada Amplificador de Carga	81
Figura 9-8 - Controlo De Relés de sinal	82
Figura 9-9 - Esquema Amplificador de Carga.....	83
Figura 9-10 - Layout PCB Amplificador de Carga	84
Figura 9-11 - Esquema Referências DACs.....	85
Figura 9-12 - Esquema DAC1	86
Figura 9-13 - Esquema DAC2	87
Figura 9-14 - Esquema DAC3	88
Figura 9-15 - Esquema DAC4	89
Figura 9-16 - Layout PCB DACs	90
Figura 9-17 - Esquema Interligações Amplificador Diferencial de Ganho Variável	91
Figura 9-18 - Esquema Amplificador Diferencial de Ganho Variável	92
Figura 9-19 - Layout PCB Amplificador Diferencial de Ganho Variável.....	93
Figura 9-20 - Esquema de Interligações Fonte de Alimentação	94
Figura 9-21 - Esquema Regulador LDO.....	95
Figura 9-22 - Esquema LDO negativo	96
Figura 9-23 - Esquema Conversor de tensão negativo	97
Figura 9-24 - Fonte Comutada (Step-Down) 1.5A.....	98
Figura 9-25 - Fonte Comutada (Step-Down) 6A.....	99
Figura 9-26 - Layout PCB Fonte de Alimentação.....	100
Figura 9-27 - Esquema Interruptores analógicos	101
Figura 9-28 - Layout PCB Interruptores Analógicos	102
Figura 9-29 - Esquema Interligações Placa Mãe	103
Figura 9-30 - Esquema sistema de Atuação	104
Figura 9-31 - Esquema ligações SOM	105

Figura 9-32 - Esquema Ligações Fonte de Alimentação	106
Figura 9-33 - Esquema Ligações Canal de Entrada 1.....	107
Figura 9-34 - Esquema Ligações Canal de Entrada 2.....	108
Figura 9-35 - Layout PCB Placa Mãe.....	109
Figura 9-36 - Esquema Ligações Estrutura MEMS UMinho Holder.....	110
Figura 9-37 - Layout PCB MEMS Holder	111

LISTA DE TABELAS

Tabela 1 - Ganhos amplificador de carga.....	19
Tabela 2 - Interface do módulo ADC driver.....	36
Tabela 3 - Interface do módulo DAC Driver	37
Tabela 4 - Interface do módulo filtro	40
Tabela 5 - Interface do módulo fase	41
Tabela 6 - Interface do módulo DDS	42
Tabela 7 - Interface do módulo gerador de ondas.....	43
Tabela 8 - Interface do módulo multiplexer	44
Tabela 9 - Interface do módulo DVGA driver	45
Tabela 10 - Interface do módulo shifter register	45
Tabela 11 - Interface do módulo DDS driver.....	46
Tabela 12 - Interface do módulo Data FIFO	48
Tabela 13 - Ganhos reais amplificador de carga	61

LISTA DE ABREVIATURAS, SIGLAS E ACRÓNIMOS

- MEMS** – *Microelectromechanical systems*
- WSN** – *Wireless Sensor Networks*
- FPGA** – *Field Programmable Gate Array*
- SoC** – *System On Chip*
- TCP/IP** – *Transmission Control Protocol/Internet Protocol*
- PCB** - *Printed Circuit Board*
- DVGA** – *Digital Variable Gain Amplifiers*
- DDS** – *Direct Digital Synthesizer*
- LDO** – *Low-dropout*
- IoT** – *Internet of Things*
- PC** – *Personal Computer*
- AC** – *Alternate Current*
- PWM** – *Pulse-Width Modulation*
- ADC** – *Analog-to-Digital Converter*
- TTL** – *Transistor to Transistor Logic*
- IP** – *Intellectual Property*
- PSD** – *Phase Sensitive Detector*
- DC** – *Direct Current*
- SPI** – *Serial Peripheral Interface*
- DAC** – *Digital-to-Analog Converter*
- PLL** – *Phase-Locked Loop*
- IDE** – *Integrated Development Environment*
- CORDIC** – *COordinate Rotation Digital Computer*
- HDMI** - *High-Definition Multimedia Interface*
- CI** – *Circuito Integrado*
- FIFO** – *First In First Out*
- AMBA** – *Advanced Microcontroller Bus Architecture*
- RAM** – *Random Access Memory*
- ROM** – *Read Only Memory*
- SNR** – *Signal-to-Noise Ratio*

FFT – *Fast Fourier Transform*
IIR – *Infinite Impulse Response*
I – *In-Phase Component*
Q – *Quadrature Component*
AXI – *Advanced Extensible Interface*
lwIP – *Lightweight IP*
ARM – *Acorn RISC Machine*
GPIB – *General Purpose Interface Bus*
SoM – *System on Module*
DSP – *Digital Signal Processor*
DAQ - *Data AcQuisition system*
FMC - *FPGA Mezzanine Card*
dB – *Decibel*
° - *Grau*
Hz – *Hertz*
V – *Volt*
A – *Ampere*
F – *Farad*
S – *Segundos*

1. INTRODUÇÃO

1.1 Enquadramento

Durante as últimas décadas, um dos maiores desenvolvimentos na área da eletrónica e computação foi o aumento do poder de processamento e da capacidade de armazenamento. Quando ambas as tecnologias chegaram a um ponto de maturidade elevada, o desafio centrou-se na recolha de informação do nosso meio envolvente. Com o aparecimento das WSNs (*Wireless Sensor Network*) e IoT (*Internet of Things*) a necessidade de miniaturização e do aumento da eficiência energética, aumenta a procura por micro-sensores utilizando tecnologia MEMS (Microelectromechanical Systems).

Esse crescente desenvolvimento e industrialização de MEMS tem sido notório nos últimos anos e tende a aumentar [1], como se pode comprovar na Figura 1-1. Assim, devido ao seu rápido desenvolvimento, torna-se necessário criar e desenvolver tecnologia para agilizar o desenho e fabrico desses dispositivos.

MEMS MARKET FORECAST: 2014 – 2020 VALUE (IN B\$)

(Source: Status of the MEMS Industry, Yole Développement, May 2015)

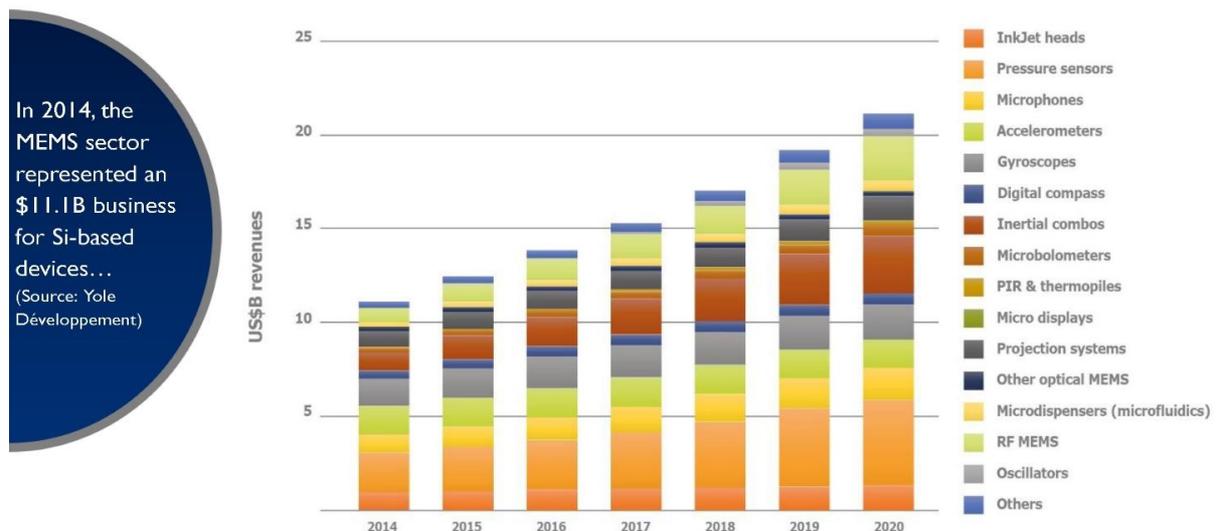


Figura 1-1 - Previsão das Vendas de Produtos MEMS até 2020 [1]

1.2 Motivação

O sistema a desenvolver consiste numa plataforma de teste e caracterização para sistemas microeletromecânicos. Considerando que os MEMS são uma junção de parte mecânica e elétrica num único dispositivo integrado, a parte mecânica, e a sua tradução em sinais elétricos, tem de ser testada e caracterizada. Teste de MEMS significa caracterizar a relação entre sinais elétricos e propriedades mecânicas [2].

Hoje em dia, existe uma falha de sistemas de teste de MEMS, principalmente rápidos e de baixo custo, o que torna este projeto interessante e com aplicações variadas em processos de teste de MEMS.

Como se pode observar na Figura 1-2, este sistema é necessário quer no desenvolvimento/desenho de novas microestruturas, quer no processo de fabrico das mesmas, pois pode proceder-se à caracterização das estruturas para obter informação (*datasheet*) ou mesmo calibração (em processo fabril).

A hipótese de se efetuar um teste rápido em todas as etapas deste processo, faz com que se diminua o *Time-to-Market* e o custo envolvido na produção e encapsulamento de um dispositivo com problemas de fabrico, aumentando assim a rentabilidade de toda a cadeia de produção de um dispositivo MEMS.



Figura 1-2 - Enquadramento do Sistema a desenvolver

Devido à falta de ferramentas como a que se pretende obter com este projeto, principalmente no desenvolvimento de microestruturas, este torna-se pioneiro em vários aspetos, o que também dificulta a realização do mesmo.

As estruturas mecânicas, devido à sua forma física, tornam a constante de tempo dos sistemas de aquisição, de processamento e de geração de sinais muito pequena, na ordem dos (200 nS)

e a resolução dos conversores analógicos para digital são de ordem igual ao superior a 16 bits. Devido à elevada frequência de aquisição e atualização de saídas analógicas, assim como à sua resolução, é gerado um fluxo de dados muito elevado, o que, por exemplo, para a implementação de uma lei de controlo digital em microestruturas que permitam atuação (malha fechada), é necessário neste momento recorrer a processamento por *hardware* FPGA (*Field-Programmable Gate Array*), isto porque a quantidade de dados a processar é obviamente grande para um PC de uso genérico, tornando o seu processamento lento.

Devido à dificuldade em efetuar esses testes em (MEMS), o trabalho desta dissertação, consiste na criação de uma plataforma de testes de fácil interação, para que o projetista de MEMS se centre apenas no seu teste e caracterização, usando uma interface de fácil compreensão, podendo a mesma ser usada em ambientes de produção como referido anteriormente.

1.3 Objetivo

O objetivo desta dissertação passa por obter uma solução de testes configurável, de modo a aumentar a flexibilidade do sistema e adaptável a uma elevada quantidade de diferentes dispositivos MEMS, uma interface de fácil compreensão baseada em *scripts* ou interface gráfica disponível através de um PC via protocolo TCP/IP (por exemplo, usando o MATLAB). A solução incorpora conversores de Capacidade/Tensão, e um amplificador *lock-in* digital, diminuindo assim os componentes analógicos de modo a aumentar a imunidade ao ruído, a precisão e a configurabilidade do sistema.

A plataforma a desenvolver tem como principais características:

- Conversor C/V com ganho variável;
- Amplificador *lock-in* digital programável;
- Rotinas de caracterização de MEMS (Frequência de ressonância, fator de qualidade, tensões de *pull-in*, valores nominais de capacidade, entre outras);
- Interface simples implementado em MATLAB;

O trabalho permitirá que um projetista de MEMS consiga testar as suas estruturas através de uma interface simples, sem necessidade de programar diretamente a FPGA, ou qualquer outro componente de mais baixo nível, e criar condições para a execução de um teste rápido e fiável em ambientes de fabrico capaz de caracterizar os dispositivos.

1.4 Estrutura da dissertação

O primeiro capítulo desta dissertação tem um carácter introdutório fazendo uma primeira abordagem ao tema de modo a revelar a motivação e os objetivos desta dissertação.

No segundo capítulo é analisado o estado da arte relativamente a métodos, tipo e equipamentos de teste para MEMS, uma introdução ao tipo de desmodulador implementado e ainda uma análise mais minuciosa do sistema a desenvolver e os seus requisitos.

Todo o desenvolvimento do *hardware* para a implementação desta plataforma de testes é apresentado no capítulo 3, sendo este dividido por sistema de aquisição, sistema de atuação e a integração de todos os sistemas.

O capítulo 4 descreve toda a arquitetura implementada em *hardware* programável, bem como os módulos criados. É dada ainda especial atenção à arquitetura e desenvolvimento do amplificador *lock-in* digital.

No quinto capítulo são descritas todas as ferramentas, sistema operativo e pilha TCP/IP implementada na plataforma. Descreve também de forma sucinta o código implementado, utilizando fluxogramas para o efeito, bem como os registos de mapeamento do *hardware* e as mensagens de configuração possíveis de utilizar.

No sexto capítulo deste documento são apresentados todos os testes e resultados experimentais efetuados para teste e caracterização desta plataforma, terminando no sétimo capítulo com as conclusões finais e propostas de trabalho futuro.

2. SISTEMA DE TESTE

2.1 Estado da Arte

Por definição sistemas microelectromecânicos (MEMS) são estruturas com propriedades e componentes mecânicos e elétricos, tornando-se necessário o teste às duas componentes.

Teste de MEMS significa caracterizar a relação entre sinais elétricos e propriedades mecânicas [2], sendo que o teste é necessário durante as três fases de desenvolvimento das estruturas (desenho, fabrico e calibração). Enquanto o tempo de teste não é particularmente crítico durante a primeira fase de desenvolvimento, este torna-se absolutamente crítico durante as fases de fabrico e calibração [3], [4].

O teste a dispositivos MEMS constitui um desafio uma vez que necessita da criação de estímulos externos adequados ao teste. Existem atualmente três tipos fundamentais de testes sendo eles baseados em: sistemas óticos por vibração (Polytec Inc. [5]), mecânicos (FEMTOtools [6]) e por tradução de estímulos elétricos (ITMEMS [7] e N. Brito, et al. [8]).

2.1.1 Análise ótica por vibração (Polytec Inc.) [5] :

Neste sistema, a velocidade de vibração e deslocamento do dispositivo MEMS são medidos usando um vibrómetro (por efeito de *Dopler*) a laser ou um detetor de movimento estroboscópico. Tem como vantagem ser um teste que não necessita de contacto direto com o dispositivo.

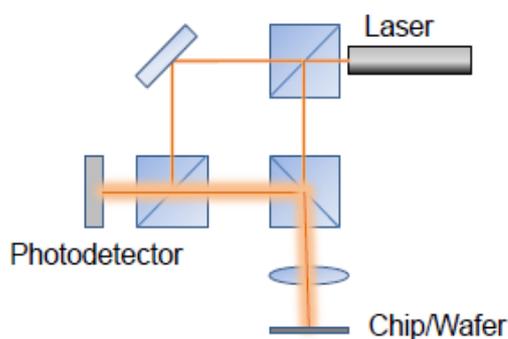


Figura 2-1 - Topologia do teste ótico a estruturas - [6]



Figura 2-2 - Teste ótico a dispositivos comercializado pela Polytec Inc. - [5]

2.1.2 Sistema de teste mecânico baseado em pontas de prova (FEMTO tools [6]):

Utilizando um sistema de nano-posicionamento e através de micro-pontas de prova que aplicam/ medem uma força, este método de teste permite caracterizar o dispositivo em teste. Normalmente é um teste lento e exige pontos em que as estruturas estejam acessíveis às micro-pontas de prova diretamente.

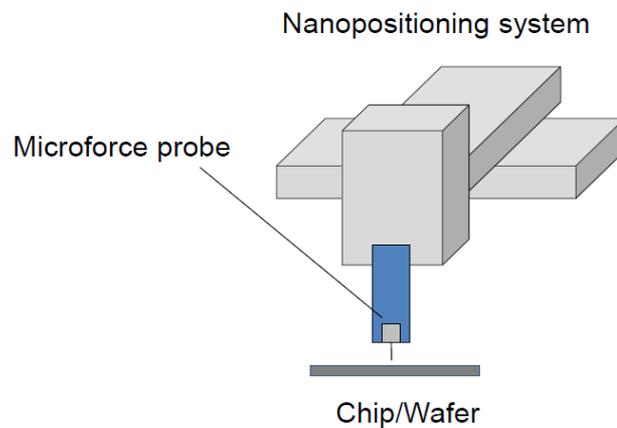


Figura 2-3 - Topologia do teste mecânico a estruturas - [6]

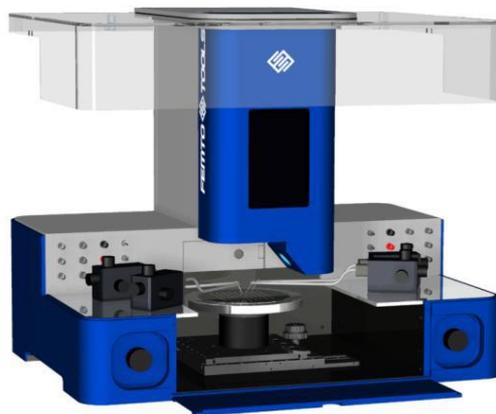


Figura 2-4 - Teste mecânico comercializado pela FEMTO tools - [6]

2.1.3 Medição da resposta a estímulos elétricos:

O teste elétrico a dispositivos MEMS nasce a partir dos já tradicionais testes na indústria de produção de circuitos integrados, utilizando micro-pontas de prova para a injeção de sinais e medição do resultado, verificando se esse se encontra dentro dos parâmetros esperados não necessitando assim de estímulos mecânicos externos.

Para se executar um teste, toma-se o seguinte procedimento:

1. É aplicado à estrutura um estímulo elétrico;
2. É medida a sua saída elétrica (sinal capacitivo);
3. É possível obter assim as características mecânicas da estrutura;

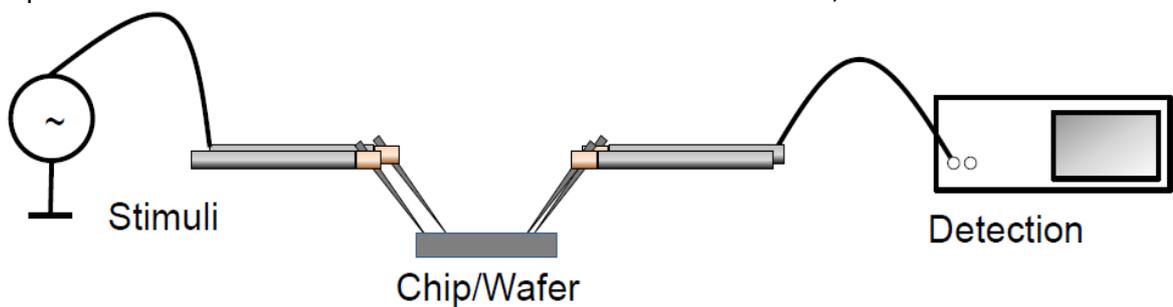


Figura 2-5 - Topologia do teste elétrico a estruturas - [6]

É sobre este tipo de teste que esta dissertação se centra, devido a ser a mais rápida e flexível, permitindo assim que possa ser usada nas 3 etapas de desenvolvimento, já supracitadas, de uma estrutura.

Ao longo dos últimos anos tem-se vindo a desenvolver algumas ferramentas para este tipo de testes, sendo as mais desenvolvidas adaptadas apenas à realidade laboratorial, não alcançando todos as etapas.

De seguida são apresentados alguns projetos comerciais e não comerciais desenvolvidos na atualidade e concluindo com uma breve comparação com o projeto a desenvolver.

ITMEMS MCP

É uma plataforma de caracterização de MEMS comercializada pela ITMEMS, dedicada à caracterização de sensores MEMS. É possível utilizar a mesma sem dependência de nenhum tipo de interface, mas sempre acompanhada de um PC e permite obter dados como:

- Capacidade em repouso;
- Curvas Tensão/Capacidade com “pull-in” e “pull-out”;
- Frequência de Ressonância;
- Fator de qualidade;
- Análise no domínio das frequências;



Figura 2-6 -Plataforma de caracterização comercializada pela ITMEMS - [7]

Utilizada com recurso a uma interface gráfica, apenas para utilização laboratorial, sendo a mesma lenta para testes industriais e pouco flexível para criação de diferentes testes.

Embedded MEMS Platform for structure test and characterization [8]

Em 2015, N. Brito et. al apresentam uma plataforma laboratorial com processamento por FPGA, onde efetua testes como:

- Curvas Tensão de “pull-in”;
- Frequência de Ressonância;
- Fator de qualidade;

Em apenas 1,5 segundos executa todos estes testes, tendo uma precisão de mais de 5 partes por milhar, com a arquitetura presente na Figura 2-7. Comparando com o projeto citado no subtópico anterior, este, não tendo sequer uma interface com o utilizador, adequa-se mais à fase de produção industrial.

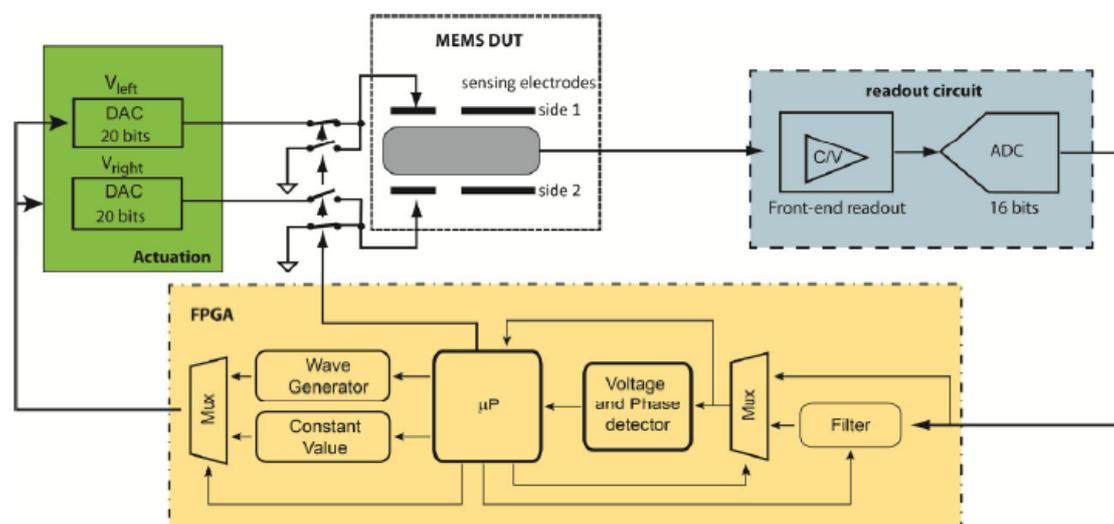


Figura 2-7 - Arquitetura de sistema de teste [8]

2.1.4 Conclusão do estado da arte

Existem algumas soluções para a integração de FPGA na leitura e processamento de sinais provenientes de MEMS capacitivos *i.e.* [9], [10] e [11], porém soluções para teste e caracterização da mesma podem ser visualizadas apenas em [7] e em [8], sendo o propósito desta dissertação criar uma plataforma baseada num SoC (*System on Chip*) FPGA com processador, rápida, mais flexível, usando ferramentas comuns ao mundo de investigação (MATLAB) e integrando um amplificador *lock-in* digital para que seja diminuída a parte analógica, sendo necessário apenas conversores C/V, podendo ser assim usada em ambiente laboratorial e industrial.

2.2 Amplificadores *Lock-In*

Um amplificador *lock-in* consegue medir pequenos sinais AC de apenas alguns nano Volts mesmo na presença de fontes de ruído de muito maior amplitude. Conseguem fazer isto usando um circuito de detecção de fase (PSD – *Phase Sensitive Detection*) que pode separar uma única frequência de interesse das restantes comparando a amplitude e fase do sinal de entrada com o sinal de referência. Sinais provenientes de fontes de interferência que não tenham a mesma frequência e relação de fase com o sinal de referência são desta forma rejeitados pelo PSD.

Detetores de Fase (PSD)

Detetores de fase são usados frequentemente para a desmodulação de sinais a partir da portadora de frequência fixa. Se dois sinais forem multiplicados, o resultado vai ser um sinal que consiste na soma e diferença dos dois sinais originais, como é expresso na equação (2-1):

$$V_{saída} = V_{entrada} * \cos(\omega t) * V_{ref} * \cos(\omega * t + \theta) \quad (2-1)$$

Simplificando a equação 2-1 em ordem a $V_{saída}$ obtemos a equação (2-2):

$$V_{saída} = \frac{V_{entrada} * V_{ref}}{2} * \cos(\theta) + \frac{V_{entrada} * V_{ref}}{2} * \cos(2\omega * t + \theta) \quad (2-2)$$

Se considerarmos que o segundo sinal é a nossa referência interna e a frequência for a mesma que a do sinal de interesse, a saída vai ser proporcional à amplitude do sinal de entrada e à relação da fase entre o sinal de entrada e a referência de entrada. Vai ainda ser modulada (multiplicação das duas) no dobro da frequência do sinal de entrada.

Podemos visualizar na Figura 2-8, no domínio das frequências, o sinal de entrada, o sinal de referência e resultado após a passagem pelo PSD que extrai um sinal fraco de 1 kHz de ruído com maior intensidade de 2.5 kHz e 50 Hz [12].

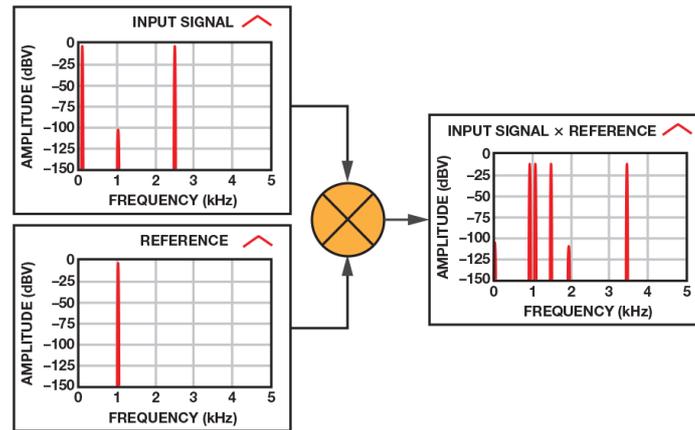


Figura 2-8 - - Resultado de um PSD no domínio das frequências [12]

Passando a saída por um filtro passa-baixo, filtramos a componente $2\omega t$ deixando assim apenas a componente DC do sinal. Ajustando a resposta do filtro passa baixo, qualquer sinal de interferência que varie na relação de fase e conseqüentemente qualquer variação em frequência pode ser removida do sinal final.

Na Figura 2-9 podemos ver o diagrama de uma aplicação básica de um PSD com um filtro passa baixo na saída.

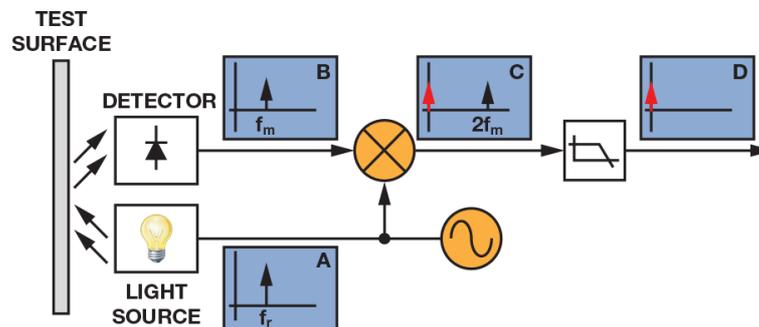
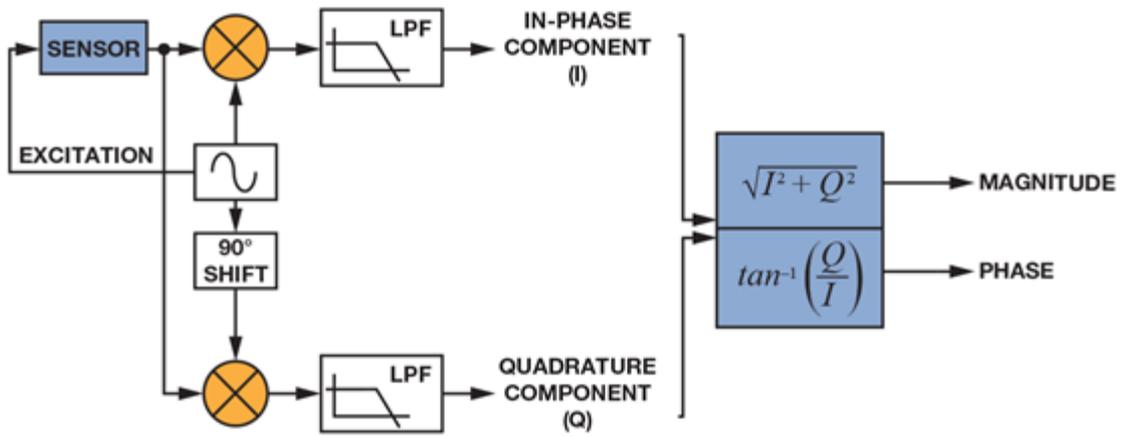


Figura 2-9 - Exemplo de um detetor de fase para extração de um sinal

Implementação de um Amplificador *Lock-In*

Para que se possa extrair as duas componentes do sinal de interesse em relação à referência, o sinal é dividido por dois canais, sendo num deles multiplicado por um sinal de referência e no outro multiplicado por um sinal de referência desfasado 90° do outro canal. Com a utilização de dois canais é possível calcular diretamente a amplitude e a relação de fase do sinal, com o sinal de referência. A saída dos dois canais é filtrada por um filtro passa baixo, obtendo assim duas componentes, uma em fase I (*In-Phase Component*) e outra em quadratura Q (*Quadrature Component*), e após isso pode-se extrair a amplitude e fase do sinal, conforme pode ser visualizado no diagrama da Figura 2-10.



$$\text{Magnitude} = \sqrt{Q^2 + I^2}$$

$$\text{Phase} = \tan^{-1}\left(\frac{Q}{I}\right)$$

Figura 2-10 - Arquitetura de um amplificador Lock-In [12]

2.3 Visão Geral do Sistema

Para o desenvolvimento desta dissertação, após análise do estado de arte dos equipamentos com capacidades idênticas, o sistema a desenvolver foi dividido em vários subsistemas, de *hardware* e não só, permitindo uma divisão lógica que se relacionam entre si através de interfaces previamente definidas. Este sistema é dividido em:

- *Hardware* de Leitura e Atuação;
- *Hardware* programável (FPGA);
- *Software* Microcontrolador;

Na Figura 2-11 é possível evidenciar os subsistemas a desenvolver, a relação e o método de comunicação entre eles.

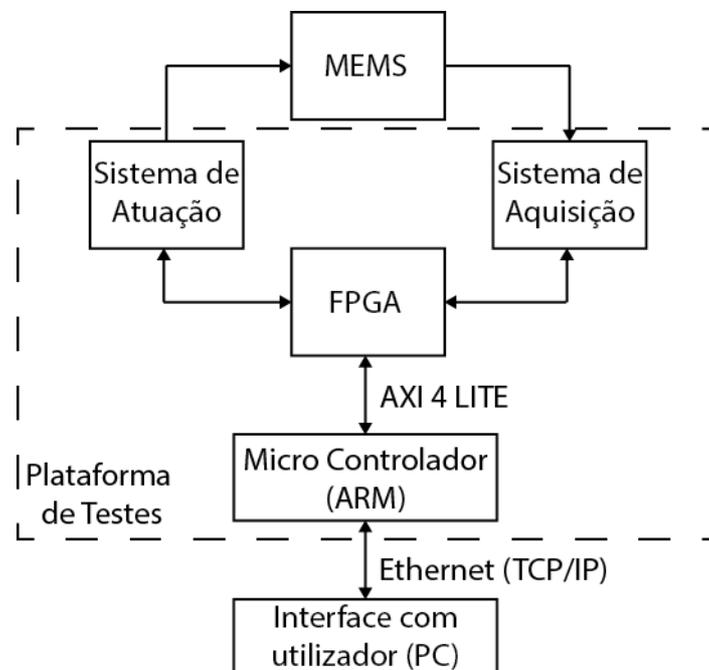


Figura 2-11 - Visão Geral do sistema a desenvolver

2.4 Requisitos do Sistema

Após análise do estado de arte, concluíram-se alguns dos requisitos funcionais e não funcionais que o sistema teria de cumprir. Nos pontos seguintes é possível evidenciar os requisitos dos vários sistemas, quer de *hardware* ou de *software*, quer de funcionalidades a implementar no sistema;

Requisitos do Sistema de Leitura

- Amplificador de carga com ganhos variáveis para leitura de capacidades;
- Entrada de alta resolução, para leitura de sensores com saída em tensão, e de frequência elevada, para que possa desmodular sinais digitalmente;
- Amplificador de ganho variável para aumentar a amplitude do sinal a ler.

Requisitos do Sistema de Atuação

- Capaz de providenciar pelo menos 4 saídas em tensão entre -10 V a 10 V para uso geral, podendo gerar ondas de vários tipos, p.e. Quadrada, Sinusoide, Dente de Serra, PWM, DC.
- Providenciar duas ondas sinusoidais desfasadas entre si 180° para que possa ser usada como referência ou portadora, de modo a ser variável em frequência e em amplitude, tendo como requisito mínimo 1 MHz de Frequência e 500 mV de amplitude;
- Interruptores analógicos de atuação rápida para que se possa fazer comutação de sinais, entre -10 V e 10 V, em alta frequência;

Requisitos Funcionais do Sistema

- Descodificação de um sinal de um sensor modulado em amplitude, conseguindo ler amplitude e fase do sinal;
- Configurável via TCP/IP, com comandos simples;
- Amplificador *lock-in* digital com filtros IIR de 6ª ordem;
- Integrado num sistema independente de outros sistemas de medição ou fontes de alimentação, permitindo assim ser transportável e independente.

3. DESENVOLVIMENTO DE *HARDWARE*

3.1 Sistema de Aquisição

Neste capítulo é descrito todo o *hardware* desenvolvido para este sistema, dando especial atenção aos componentes selecionados e aos pormenores de desenho de PCB para que todos os requisitos elencados no Capítulo 2.3 sejam cumpridos.

3.1.1 Arquitetura Sistema de Aquisição

Para que seja possível obter sinais dos dispositivos MEMS a testar, foi necessário desenvolver um sistema de aquisição de sinais elétricos. A arquitetura desse sistema foi desenvolvida tendo por base os requisitos elencados no Capítulo 2.3 e pode ser visualizada na Figura 3-1.

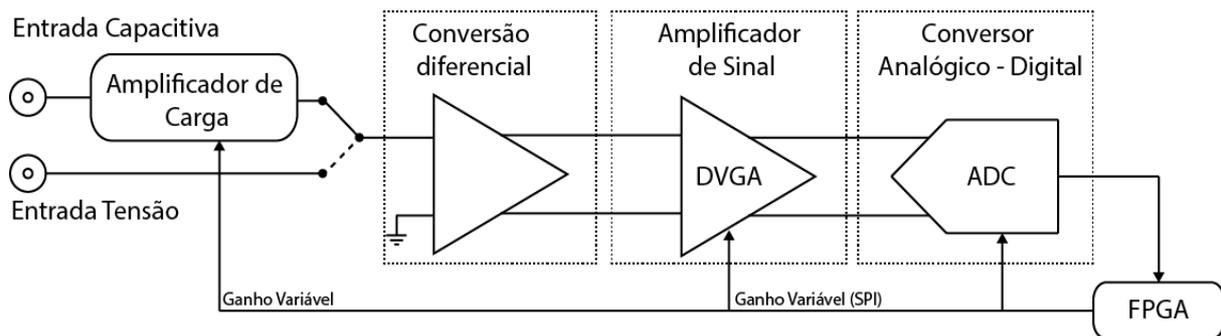


Figura 3-1 - Arquitetura Sistema de Aquisição

3.1.2 Amplificador de Carga

Transdução capacitiva é um dos métodos de transdução dos sensores e atuadores MEMS, e tal como elencado no Capítulo 2.4 esse era um dos requisitos desta plataforma. Assim, foi necessário criar um bloco amplificador de carga, para que seja possível a transdução de uma capacidade em tensão e obter assim uma leitura do sensor ou atuador. Sendo o objetivo a conversão de uma capacidade em tensão, foi utilizada uma tensão alternada de excitação nos terminais do condensador (ver Figura 3-2), variando assim a corrente ao longo do tempo, como descrito na equação 3-1 (sempre que a capacidade varia, a corrente varia também proporcionalmente).

$$I_S = \frac{dQ}{dt} = \frac{d(V_{exc} C_S)}{dt} \quad (3-1)$$

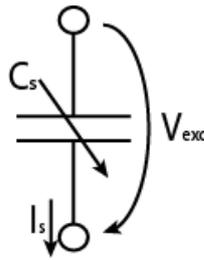


Figura 3-2 – Esquema para tradução de Capacidade em corrente

Para converter a variação de corrente, proveniente do condensador, em variação de tensão utilizamos um amplificador de transimpedância. Na Figura 3-3 pode observar-se o esquema de um circuito de transimpedância, onde a tensão de saída é calculada usando a equação 3-2, e pode-se então concluir que o ganho do amplificador de transimpedância é inversamente proporcional ao condensador da malha de realimentação.

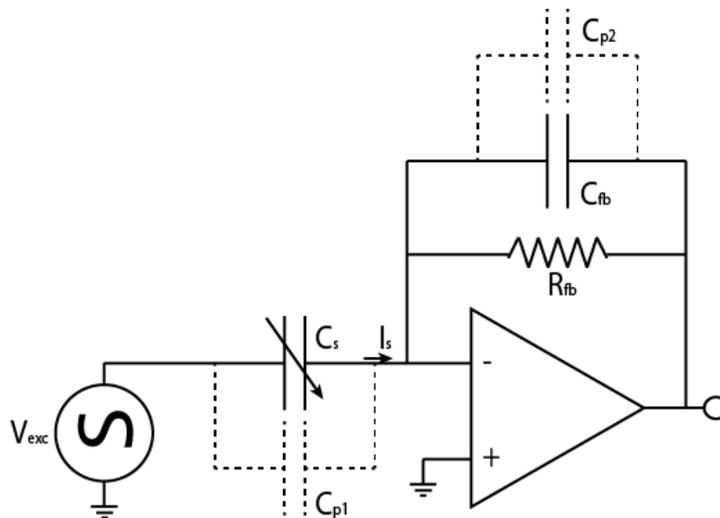


Figura 3-3 - Esquema circuito de conversão C/V

$$V_{saída} = \frac{C_s + C_{p1}}{C_{fb} + C_{p2}} * V_{exc} \quad (3-2)$$

Devido à grande variedade de dispositivos MEMS de transdução capacitiva e, tendo estes, variações de capacidades e valores de capacidades diferentes, pretendeu-se criar um amplificador de carga de ganho variável. Para isso foram utilizados alguns relés de sinal que alteram a capacidade da malha de realimentação, podendo assim ser obtida uma variedade de ganhos diferentes. Foram escolhidas 4 capacidades: 3.9 pF, 2 pF, 1 pF, 0.5 pF, sendo que através da alteração do estado dos relés é possível associar vários desses condensadores, como pode ser visualizado na Figura 3-4, criando um maior valor de ganhos possíveis. Na Tabela 1 são apresentadas algumas das capacidades possíveis e ainda os seus ganhos.

Tabela 1 - Ganhos amplificador de carga

Capacidade Total	Ganho/pF
0.5 pF	2
1 pF	1
1.5 pF	0.667
2 pF	0.5
2.5 pF	0.4
3 pF	0.333
3.9 pF	0.256
4.3 pF	0.233
4.9 pF	0.204
5.9 pF	0.169

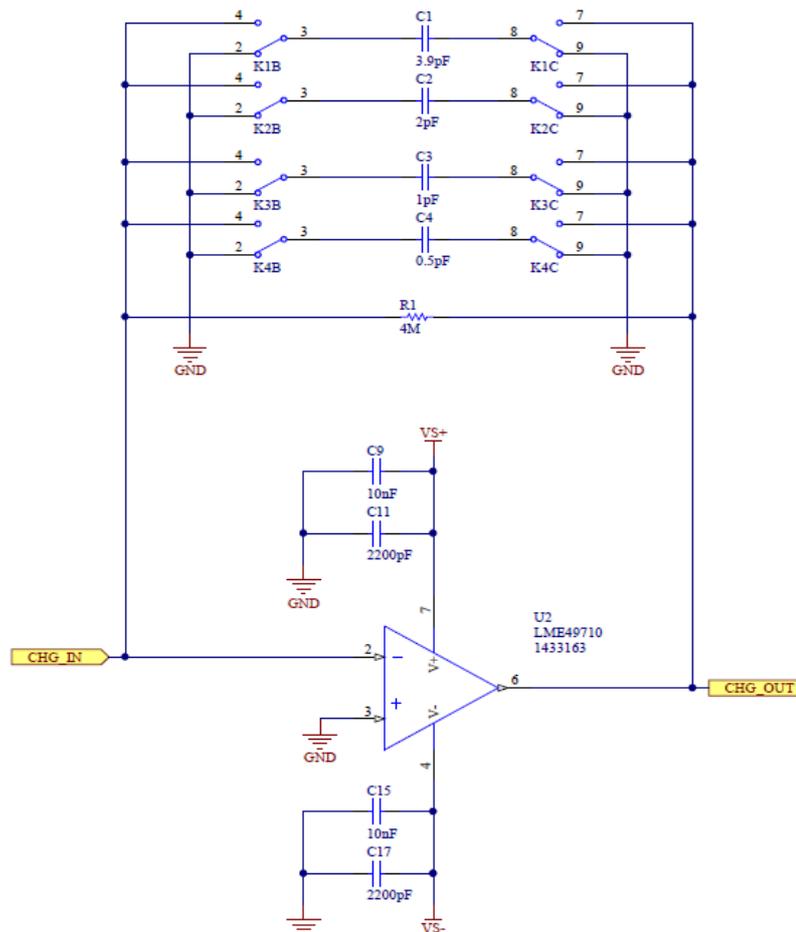


Figura 3-4 - Circuito Amplificador de Carga

Para usar como amplificador de transimpedância, foi escolhido o amplificador operacional LME4970 da Texas Instruments que tem as características necessárias para os requisitos deste circuito. O amplificador tem uma largura de banda suficiente para as portadoras geradas pela plataforma, tem uma densidade de ruído de entrada de $2,7 \text{ nV}/\sqrt{\text{Hz}}$ [13] e uma corrente de *bias* de 10 nA [13].

Tendo em conta que esta parte do circuito é especialmente crítica no que diz respeito a capacidades parasitas, e para que todas elas sejam minimizadas e tenham preferencialmente um terminal ligado à massa (para estarem em paralelo com a impedância de entrada do amplificador), esta parte do circuito está protegido por uma gaiola de Faraday. Foi tido ainda o cuidado de toda a placa de circuito impresso ter plano de massa em todas as camadas e as linhas do sinal de entrada com *shielding* através de vias sempre à massa para que as capacidades parasíticas sejam sempre o menor e mais estáveis possíveis como pode ser visualizado na Figura 3-5.

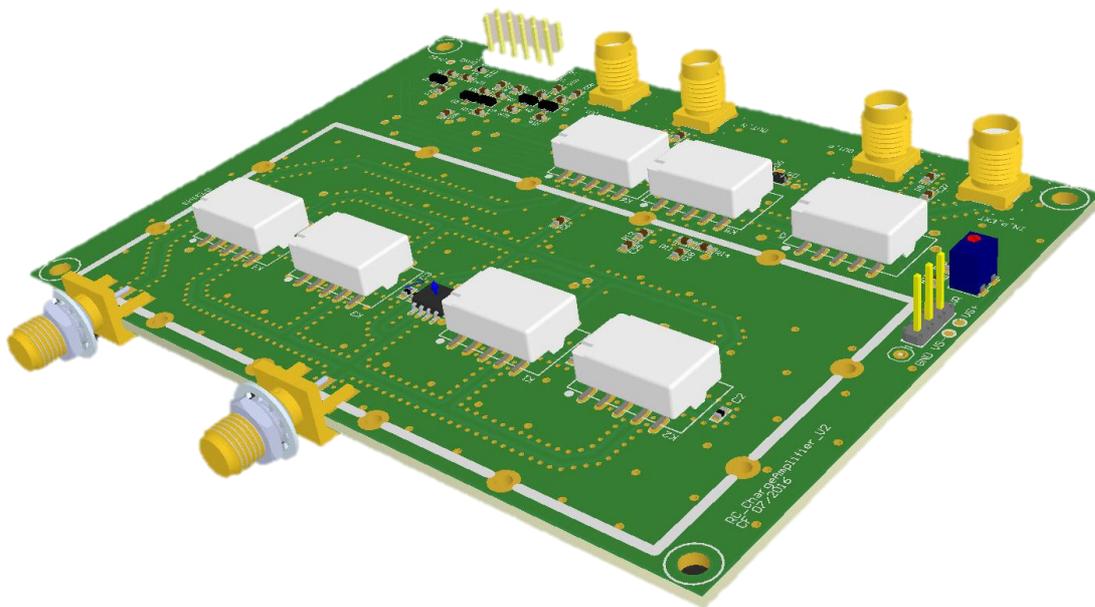


Figura 3-5 - Amplificador de Carga (PCB)

3.1.3 Conversão para Diferencial

Tal como pode ser observado na Figura 3-1, o sistema possui dois tipos de entrada, capacitiva/corrente e tensão, sendo ambas do tipo *single ended* (usam a massa do sistema como referência, normalmente), sendo necessário converter a mesma para entradas diferenciais para que fiquem compatíveis com os restantes subsistemas (ADC e DVGA) e também para que a imunidade ao ruído seja superior. Este circuito, desenhado com o amplificador diferencial LMH5401 da Texas Instruments conjuntamente com alguns relés de sinal, consegue converter sinais AC e sinais DC, *single ended* para diferenciais, com um ganho de 12 dB, aproximadamente 3.98 V/V. Na Figura 3-6 pode ver-se o esquema de entrada da plataforma, bem como a sua conversão em sinal diferencial.

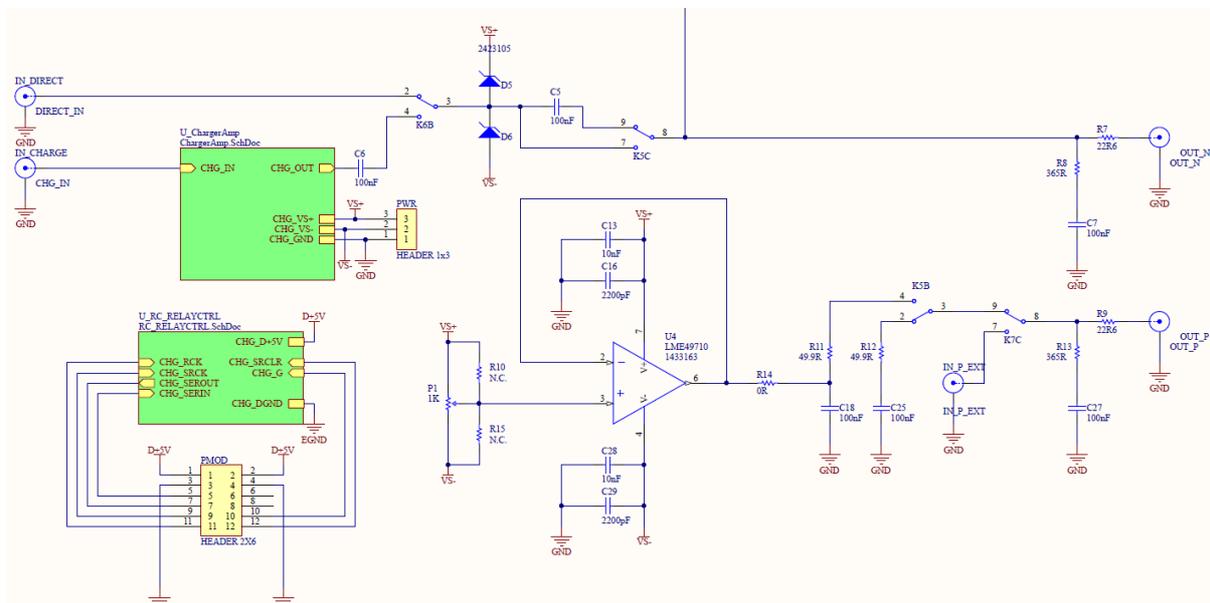


Figura 3-6 - Esquema da Entrada e conversão para diferencial

O amplificador diferencial LMH5401 foi escolhido devido ao seu baixo ruído em tensão e corrente de entrada, cerca de $1.25 \text{ nV}/\sqrt{\text{Hz}}$ e $3.5 \text{ pA}/\sqrt{\text{Hz}}$ [14] respetivamente, e por ter uma excelente linearidade entre DC e 2 GHz, para um ganho de 12 dB [14] e uma largura de banda de 8 GHz [12], bem superior aos requisitos definidos no Capítulo 2.4.

Na Figura 3-7 é possível perceber a arquitetura utilizada e também os cuidados a ter com os sinais diferenciais, sendo eles simétricos e com *shielding* à massa para garantir ao máximo a linha de transmissão balanceada.

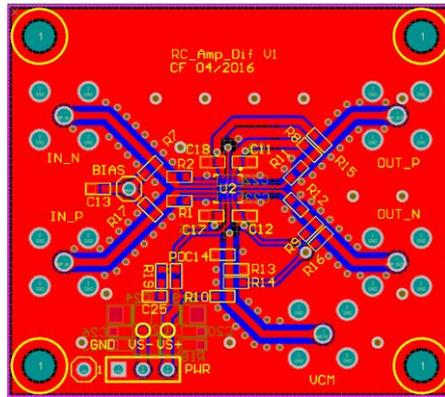


Figura 3-7 – PCB Amplificador Diferencial

3.1.4 Amplificador de Ganho Variável

Para que seja possível a medição de variação de sinais mais pequenos, este módulo foi utilizado para dinamicamente aumentar a amplitude do sinal de entrada. Assim, quando a variação do sinal é menor que a resolução do ADC, podemos amplificar o sinal analógico e assim adquiri-lo usando o ADC.

O amplificador escolhido é da Texas Instruments, com a referência LMH6401. Este amplificador tem uma largura de banda entre DC e 4.5 GHz [15], permitindo uma largura de banda largamente superior à necessária e permite também uma variação de ganho entre -6 dB e 26 dB em intervalos de 1 dB [15], sendo este ganho configurável digitalmente através da comunicação SPI com a FPGA. Na Figura 3-8 é possível visualizar o circuito do amplificador de ganho variável onde todos os pormenores para que os sinais diferenciais fossem simétricos foram tidos em conta.

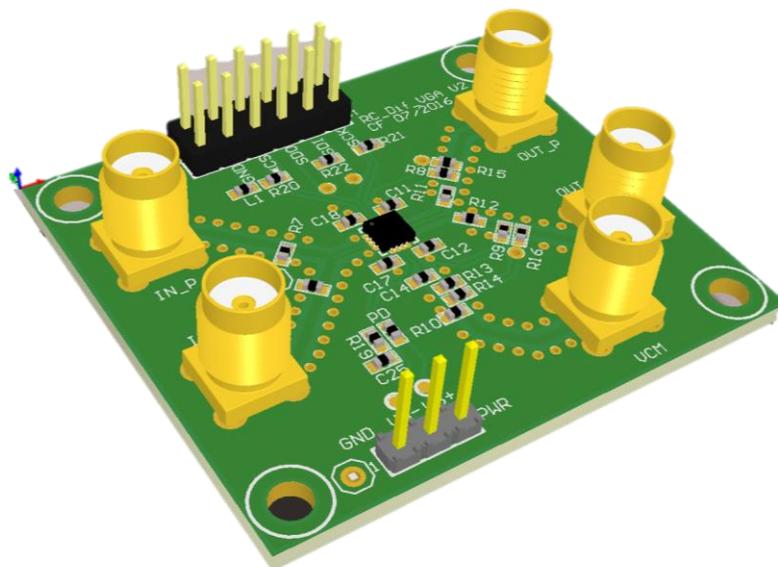


Figura 3-8 - PCB do Amplificador Diferencial de Ganho Variável

3.1.5 Conversor Analógico Digital

Um dos requisitos da plataforma de testes é a implementação de um amplificador *lock-in*, tal como descrito no Capítulo 2.4, e para isso foi necessário a escolha de um ADC com uma frequência de amostragem pelo menos 5 vezes superior às portadoras usadas, ou seja, no mínimo 5 MHz. Como será possível usar um sinal de saída de um sensor sem que este seja modelado, ou seja, apenas uma variação de tensão, era necessário também que o ADC tivesse uma elevada resolução, e assim foi escolhido o ADS5560 da Texas Instruments. Este ADC tem uma frequência máxima de amostragem de 40 MHz, o que supera largamente o desejado, tem ainda uma resolução de 16 bits [16] e entrada diferencial para uma maior imunidade ao ruído, o que faz com que os requisitos necessários sejam largamente cumpridos.

Como a saída deste ADC é no modo paralelo, foi tido um cuidado superior com as ligações digitais deste componente à FPGA, para que os requisitos temporais deste tipo de sistema fossem cumpridos. Na Figura 3-9, pode ver-se os pormenores das ligações dos dados e do *clock* do ADC todos com o mesmo tamanho, e ainda o isolamento entre a massa da parte digital do ADC e a massa da parte analógica do ADC, para minimizar o ruído o máximo possível.

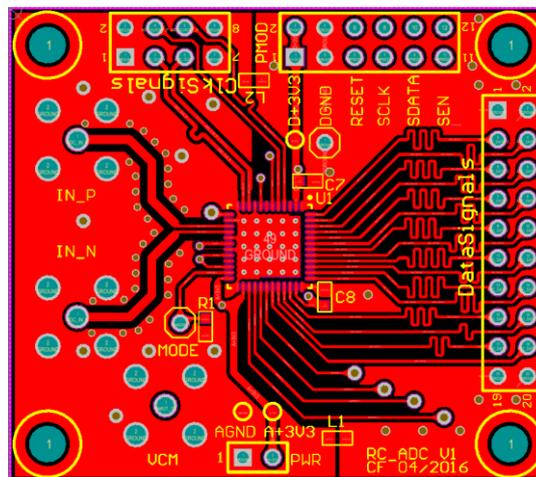


Figura 3-9 – Layout e PCB ADC

3.2 Sistema de Atuação

3.2.1 Arquitetura Sistema de Atuação

Para que seja possível atuar os dispositivos MEMS a testar, foi necessário desenvolver um sistema de atuação de sinais elétricos. Este inclui DACs (*Digital to Analog Converter*) para a geração de ondas e tensões DC de precisão, interruptores analógicos rápidos para que a atuação não esteja dependente do *slew-rate* dos DACs e ainda através de um DDS (*Digital Direct Synthesizer*) a geração de duas ondas sinusoidais de tensão e frequência variável principalmente para a geração de portadoras, embora possam ser usadas para outro fim. A arquitetura desse sistema foi desenvolvida tendo por base os requisitos elencados no Capítulo 2.4 e pode ser visualizada na Figura 3-10 .

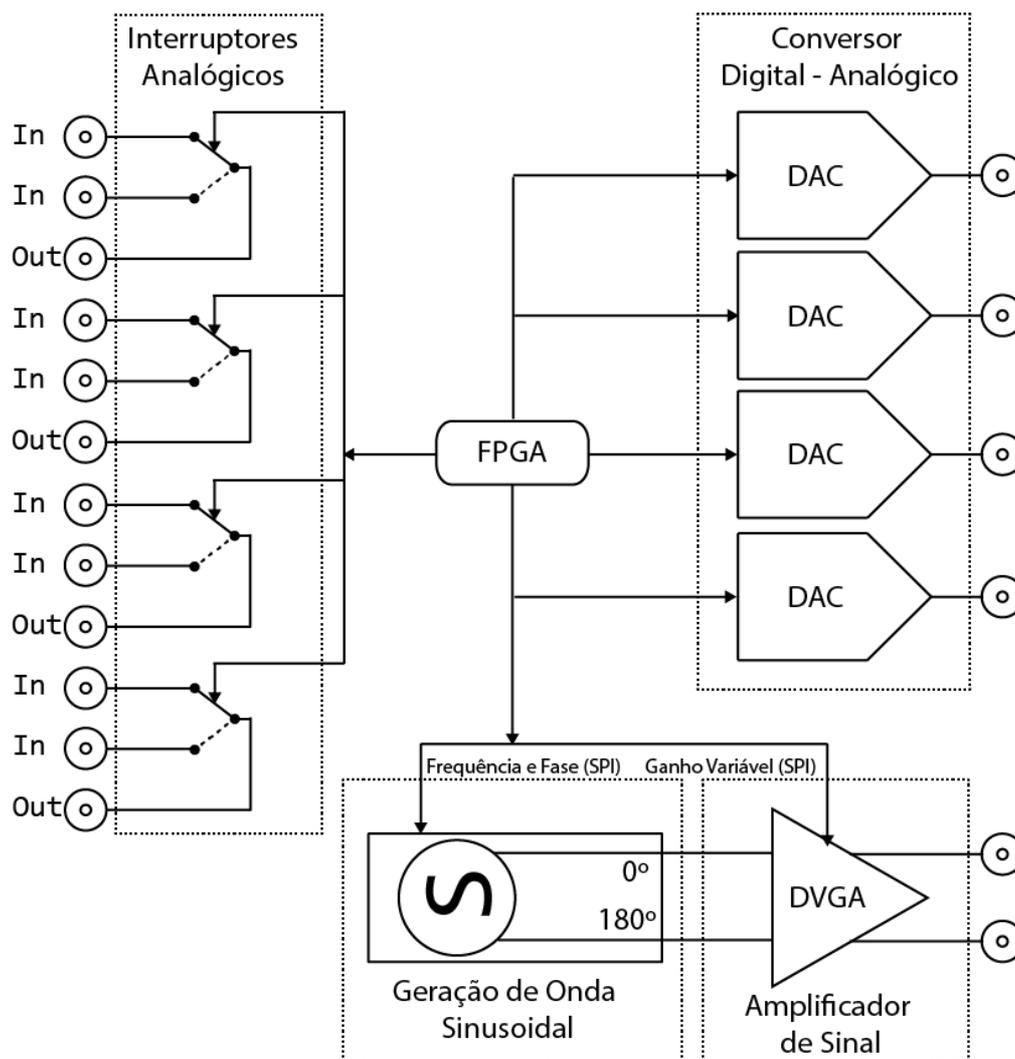


Figura 3-10 - Arquitetura do sistema de Atuação

3.2.2 Conversores Digital Analógico

Com a necessidade de geração de ondas, e/ ou tensões de alta precisão, foi criado um circuito com quatro conversores digital analógico com saídas de -10 V a 10 V. Para que todos os requisitos fossem cumpridos foi escolhido o dispositivo AD5791 da Analog Devices. Este DAC tem uma resolução de 20 bits [17] e como é alimentado com ± 15 V, e tem referências de ± 10 V, permite variar tensões entre -10 V e 10 V com intervalos de $19.07 \mu\text{V}$, de acordo com a equação 3-3. O protocolo de comunicação utilizado por este DAC é SPI, permitindo velocidades de relógio até 35 MHz, que por sua vez se traduz numa frequência de amostragem de 1.4 MHz [17], o que permite uma variação suficiente para criar ondas com frequências, que dependendo do tipo, podem ir até cerca de 700 Hz.

$$V_{\text{min_degrau}} = \frac{+V_{\text{REF}} - (-V_{\text{REF}})}{2^{N^{\circ} \text{ bits}}} = \frac{10 - (-10)}{2^{20}} = 19.07 \mu\text{V} \quad (3-3)$$

Como se pretende uma resolução elevada e baixo ruído, foi tido em atenção a geração das referências para o DAC pois quanto menor for o ruído nas mesmas, menor será o ruído à saída do DAC. Para esse efeito, foi necessário selecionar uma referência analógica de elevada precisão, para que o desempenho do DAC não seja comprometido tendo a escolha recaído sobre o circuito integrado REF102 da Texas Instruments, pois este é capaz de fornecer uma tensão de referência de 10 V com um desvio máximo de 2.5 mV [18], tendo também baixo ruído ($5 \mu\text{Vpp}$ [18]) e baixo desvio térmico ($2.5 \text{ ppm}/^{\circ}\text{C}$) [18]. Na Figura 3-11 pode ver-se a placa de circuito impresso desenhada, onde estão implementados 4 DACs, e respetivas referências.

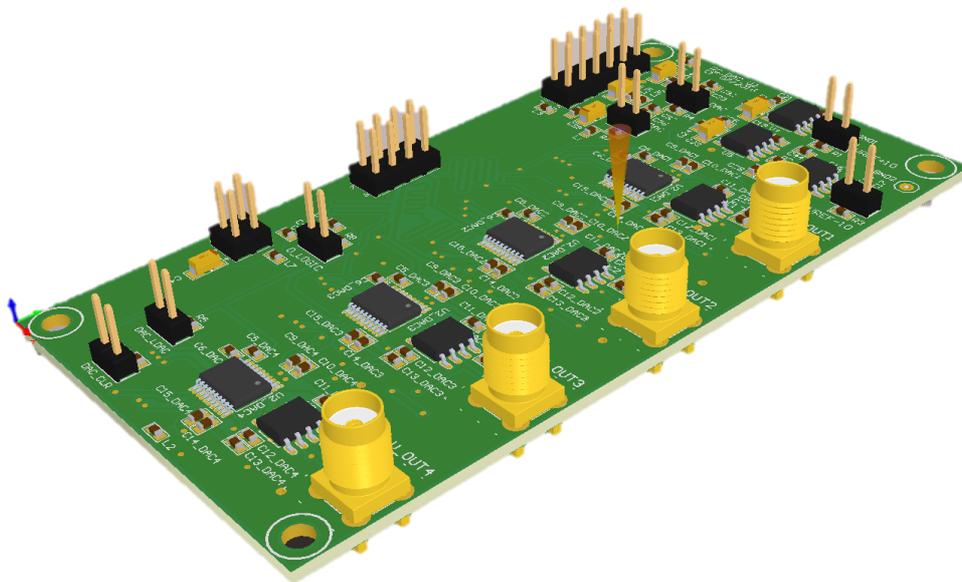


Figura 3-11 - PCB Conversores Digitais Analógico

3.2.3 Interruptores Analógicos

Muitos dos testes a dispositivos MEMS necessitam de um corte rápido na atuação, ou na alteração do sinal de atuação que apenas um interruptor analógico de controlo digital TTL é capaz de providenciar, porque um DAC tem sempre um *slew-rate* superior. Para isso foi selecionado o circuito integrado ADG1434 da Analog Devices, cujo diagrama funcional pode ser visualizado na Figura 3-12 . Este possui 4 interruptores e um tempo de transição de 140 nS [19] e uma resistência quando ligado de $4\ \Omega$ [19], cumprindo assim os requisitos elencados no Capítulo 2.4. Na Figura 3-13 pode ver-se a PCB dos 4 interruptores analógicos para uso geral.

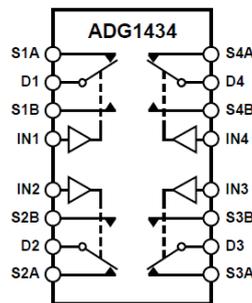


Figura 3-12 - Diagrama funcional do ADG1434 [18]

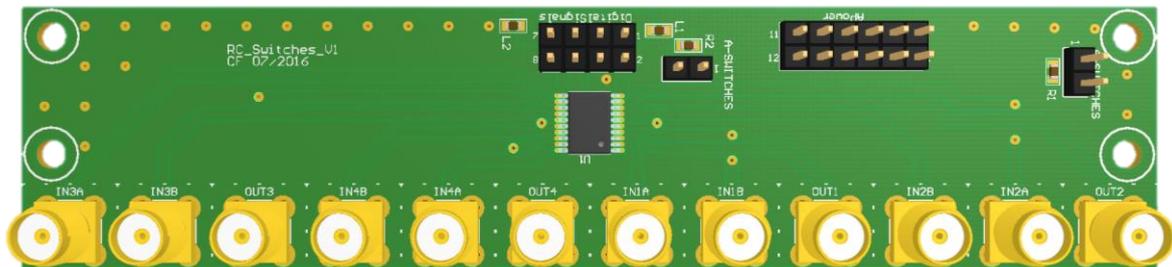


Figura 3-13 - PCB Interruptores Analógicos

3.2.4 Geração de onda sinusoidal

Este módulo cria duas ondas sinusoidais desfasadas 180° entre si, podendo assim ser usadas em circuitos de desmodulação *single ended* e diferenciais. Para a geração das ondas foi escolhido um circuito integrado DDS (*Direct Digital Synthesizer*), o AD9851 da Analog Devices. Este dispositivo é composto por uma PLL (*Phased Locked Loop*) interna, que é capaz de multiplicar seis vezes o *clock* externo [20], permitindo assim a sincronização com a FPGA com um *clock* de 17.5 MHz e mesmo assim aumentar o número de pontos por onda, tendo uma taxa de amostragem de $17.5\ \text{MHz} \times 6 = 105\ \text{MHz}$. Tendo uma resolução de 32 bits permite uma resolução de 0.024 Hz, como descrito na equação 3-4. O módulo contém ainda um filtro passa-baixo com uma frequência de corte de 70 MHz para eliminar as frequências de comutação internas do circuito integrado, e os seus harmónicos.

$$\text{IncFrequência}_{\min} = \frac{17.5 \cdot 10^6 \cdot 6}{2^{32}} = 0.024 \text{ Hz} \quad (3-4)$$

Para variar a amplitude da onda gerada, foi utilizado um amplificador diferencial de ganho variável, tal como o descrito no Capítulo 3.1.4, que variando o ganho entre -6 dB e 26 dB torna possível o ajuste da amplitude da onda de saída mantendo o desfasamento entre as ondas em 180°.

3.3 Integração de Sistemas

3.3.1 Fonte de Alimentação

Um dos objetivos da plataforma de testes é a portabilidade do sistema sem a necessidade de dispositivos de instrumentação externos, tais como fontes de alimentação, geradores de sinal, etc. Para isso foi desenvolvida uma fonte de alimentação, que a partir de 24 VDC cria todas as tensões, positivas e negativas, necessárias aos circuitos, sendo assim apenas necessário uma fonte comutada comercial, de uso genérico.

Para que o ruído fosse o menor possível, foram utilizadas apenas fontes comutadas para baixar a tensão ou para criar tensões negativas, tensões essas cujo valor era o mais perto possível da tensão mínima necessária pelos reguladores lineares, pois estes últimos tem um ruído claramente menor que as fontes comutadas. Na Figura 3-14 é possível observar o diagrama de tensões e a seleção entre fontes comutadas e reguladores lineares LDO (*Low-dropout*).

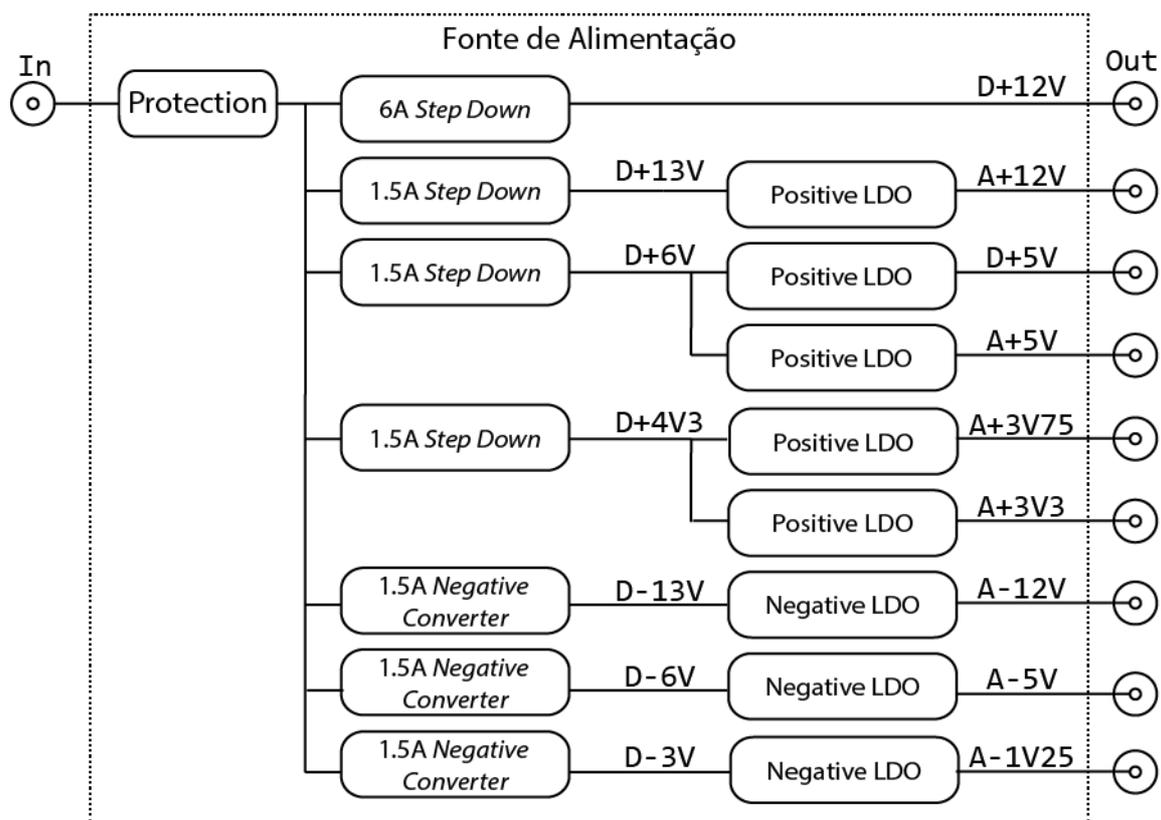


Figura 3-14 - Diagrama de Tensões

Conforme pode ser visualizado na Figura 3-14, foram escolhidas 3 tipos de fonte comutada e dois tipos de reguladores lineares, que passam a ser descritos:

Fonte Comutada *Step-Down* 1.5 A

Para que a tensão fosse adequada a cada regulador linear positivo, foram usadas fontes comutadas de elevada eficiência da Texas Instruments, mais propriamente PTN78000W, capazes de fornecer até 1.5 A [21] de corrente e uma tensão ajustável entre 2.5 V e 12.6 V [21], com apenas um valor de resistência. Essa resistência foi dimensionada de acordo com a fórmula fornecida no *datasheet* [21], para que a tensão de saída corresponda ao diagrama apresentado na Figura 3-14.

Fonte Comutada *Step-Down* 6 A

Para que a tensão para a parte digital do sistema, mais concretamente o SoC, fosse a mais adequada, foi usada uma fonte comutada da Texas Instruments, mais propriamente PTN78020H, capazes de fornecer até 6 A [22] de corrente e uma tensão ajustável entre 11.85 V e 22 V [22], com apenas um valor de resistência. Essa resistência foi dimensionada de acordo com a fórmula fornecida no *datasheet* [22], para que a tensão de saída corresponda ao diagrama apresentado na Figura 3-14.

Fonte Comutada *Step-Down Negative Converter* 1.5 A

Para que fosse possível ter uma tensão negativa a partir de uma tensão positiva e já adequada a cada regulador linear negativo que se sucedem à mesma, foram usadas fontes comutadas da Texas Instruments, mais propriamente PTN78000A, capazes de fornecer até 1.5 A [23] de corrente e uma tensão ajustável entre -3 V e -15 V [23], com apenas um valor de resistência. Essa resistência foi dimensionada de acordo com a fórmula fornecida no *datasheet* [23], para que a tensão de saída corresponda ao diagrama apresentado na Figura 3-14.

Regulador linear positivo

Para a criação de todas as tensões para alimentação quer da parte analógica, quer de alguns módulos da parte digital, foram usados reguladores lineares da Texas Instruments, mais propriamente o TPSA4701, principalmente devido ao seu baixo ruído, cerca de 4 μ V [24]. Este regulador fornece até 1 A e permite tensões de saída entre 1.4 V e 34 V [24], sendo que para ajustar esse valor contém internamente algumas resistências fixas para que a tensão de saída seja de fácil uso (*jumpers*), mas

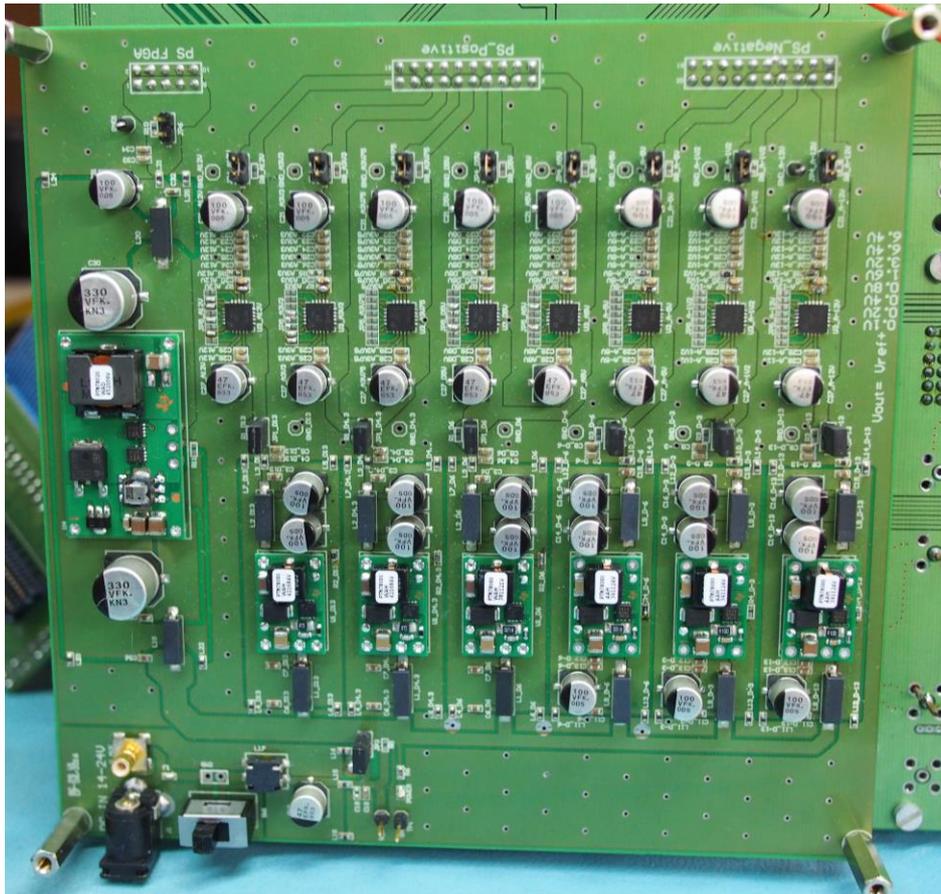


Figura 3-16 - PCB Fonte de Alimentação

3.3.2 SoC Zynq 7000

Para interligar o *hardware* e controlar o sistema foi escolhido um SoC da Xilinx® composto por uma FPGA e um microprocessador ARM Cortex-A9 de 32 bits. A necessidade de um SoC deste tipo impõe-se devido às características temporais do sistema a implementar como já descrito no Capítulo 1.

O SoC escolhido é da família Zynq 7000 da Xilinx®, tendo sido escolhida uma placa de desenvolvimento, a ZedBoard [26], que contém o SoC XC7Z020. Este SoC tem uma FPGA da família Artix-7 da Xilinx® que contém cerca de 85000 células programáveis 220 células DSP [27]. Relativamente ao processador é um ARM Cortex-A9 *dual-core* de 32 bits com unidade *floating point* que opera a uma frequência máxima de relógio de 667 MHz [27].

A arquitetura deste SoC, que pode ser visualizada na Figura 3-17, adequa-se ao desenvolvimento da plataforma de teste, visto apresentar uma fácil interoperabilidade entre o processador, que será responsável por lidar com a comunicação TCP/IP e a configuração

alto-nível de todos os registos e a FPGA que consegue em tempo real efetuar todos os cálculos e configurações necessárias.

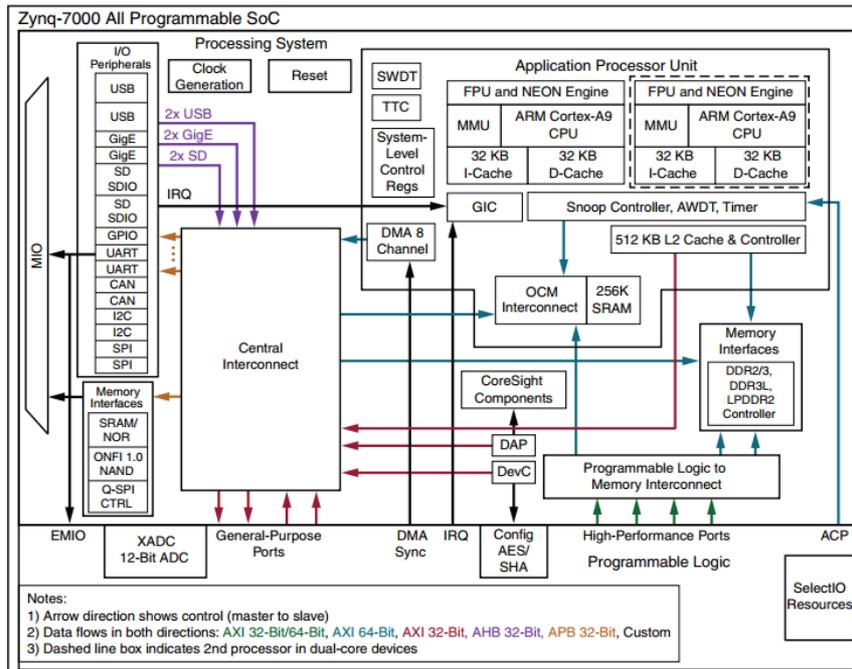


Figura 3-17 - Arquitetura Zynq 7000 [26]

A placa ZedBoard implementa todo o ecossistema necessário ao SoC como a RAM, fontes de alimentação e periféricos *Ethernet*, HDMI, entre outros [26]. Para que fosse possível usar os pinos do SoC no nosso sistema, e devido ao conector FMC da ZedBoard, foi desenvolvida uma placa de interface, de forma a ajustar-se ao restante sistema, esta pode ser visualizada na Figura 3-18.

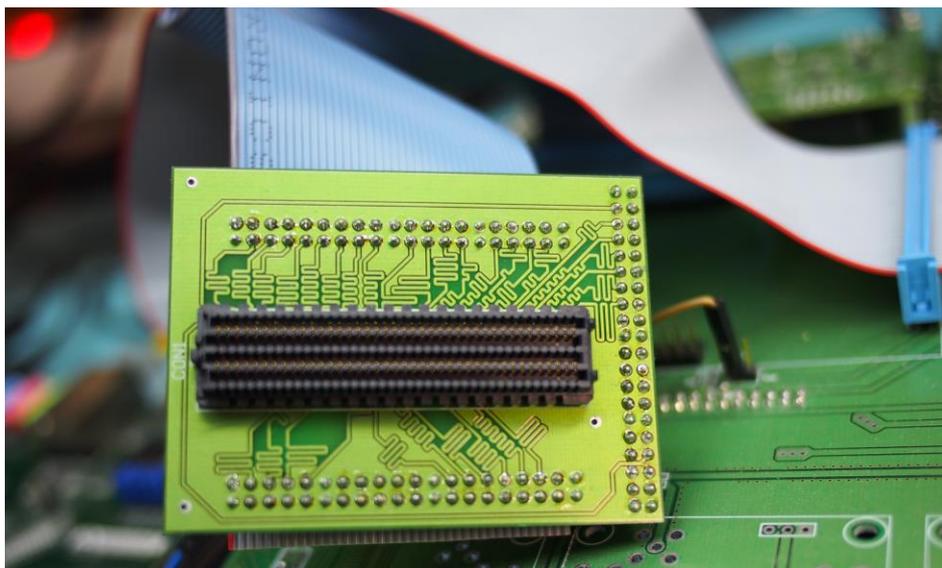


Figura 3-18 - Placa Interface ZedBoard- Plataforma de Testes

3.3.3 Placa-mãe

Os módulos descritos no Capítulo 3.1 e no Capítulo 3.2, juntamente com a fonte de alimentação descrita no ponto 3.3.1, foram todos integrados numa única placa-mãe para que o sistema ficasse robusto e portátil, evitando assim que todas as interligações necessárias entre estes módulos fossem efetuadas com cabos. Para isso foi primeiro projetado todo o circuito, como pode ser visualizado na Figura 3-19. A implementação final do circuito pode ser observada na Figura 3-21 e na Figura 3-20.

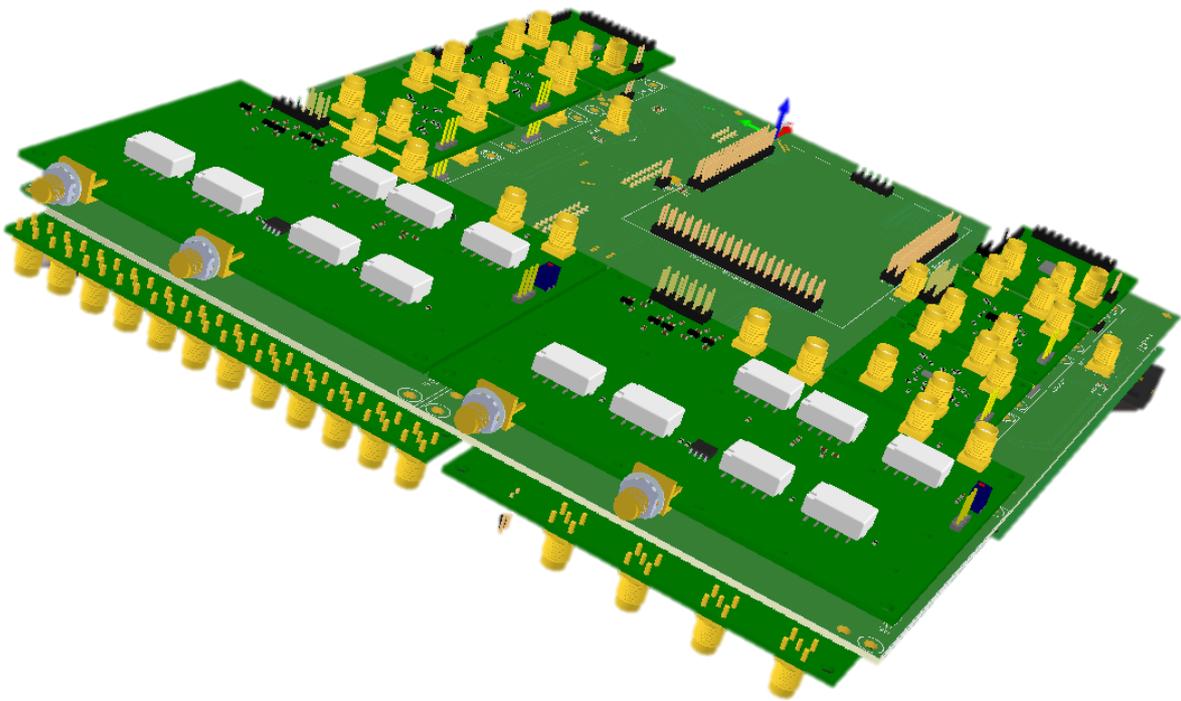


Figura 3-19 - PCB 3D Sistema final (placa-mãe)

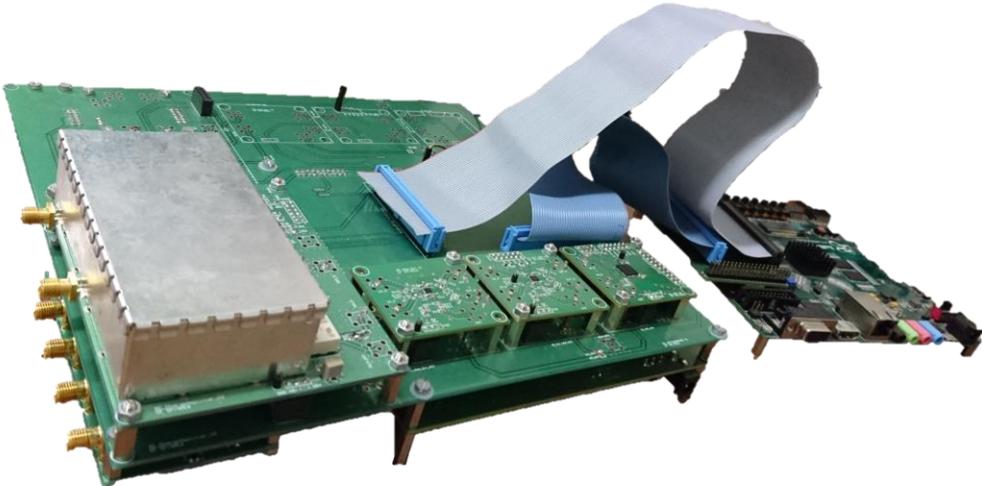


Figura 3-20 - Plataforma de testes (Vista Lateral)



Figura 3-21 - Plataforma de Testes

4. HARDWARE PROGRAMÁVEL (FPGA)

Devido à necessidade de comunicação entre os diversos periféricos em *hardware* e para implementação de funções que têm de ser executadas em paralelo e em elevada frequência, como por exemplo, o amplificador *lock-in* digital, foram desenvolvidos alguns módulos de *hardware* programável em Verilog, utilizando como ambiente de desenvolvimento e simulação o Vivado Suite da Xilinx®.

Para uma maior portabilidade e modularização do trabalho recorreu-se à criação de vários IPs (*Intellectual Property*) interligados na interface gráfica do *software*, facilitando assim a compreensão de toda a arquitetura e a organização do projeto.

Este sistema foi desenvolvido em paralelo com o todo *hardware* descrito no Capítulo 3, de modo a facilitar a validação de ambos os sistemas.

4.1 Arquitetura *Hardware* Programável

Através da arquitetura apresentada na Figura 4-1, é possível compreender toda a arquitetura implementada em *hardware* programável de modo a adquirir e processar os sinais a uma frequência de amostragem elevada que não seria possível usando um PC de uso genérico. Nos próximos tópicos, irão ser descritos todos os blocos apresentados.

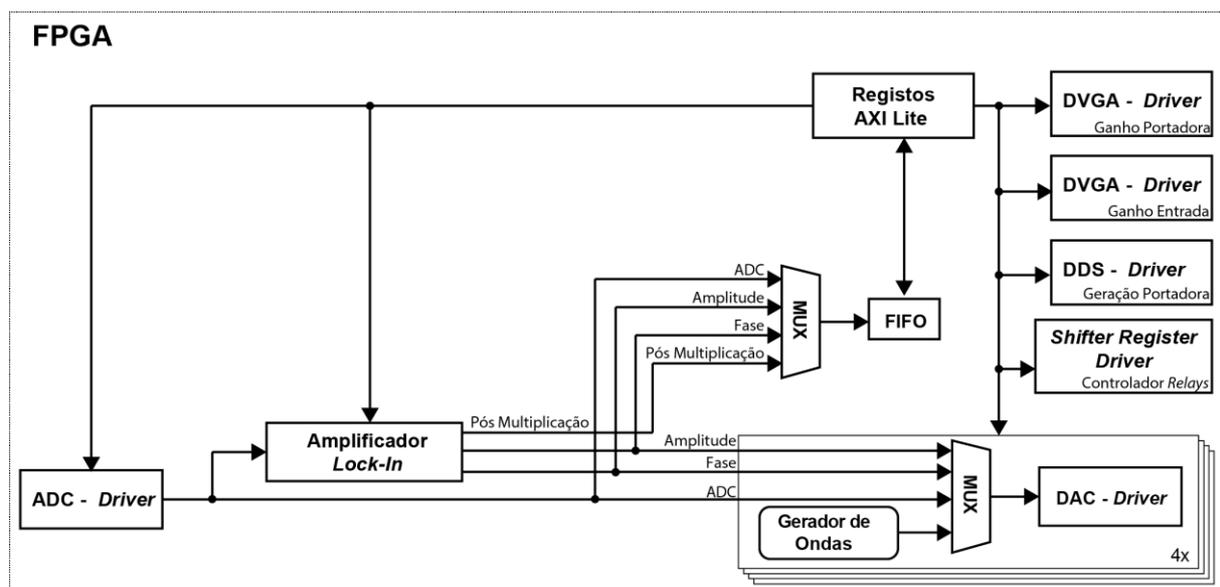


Figura 4-1 - Arquitetura hardware Programável

4.2 ADC Driver

O ADC escolhido no Capítulo 3.1.5, necessita de um *clock* para que comece a converter o valor de analógico em digital e para que o sistema fique o mais versátil possível, este módulo tem a particularidade de através de um registo alterar a frequência desse *clock*, alterando assim a frequência de amostragem. Este módulo implementado em Verilog tem ainda como função receber os 16 bits de dados do ADC, e sincronizar o *clock* externo (transição quando adquire uma nova amostra) com o *clock* da FPGA. Este módulo permite ainda a configuração de vários parâmetros deste ADC através de uma comunicação SPI, como por exemplo:

- ativar um filtro para baixas frequências;
- configurar um ganho entre 0 dB e 6 dB em intervalos de 1 dB;
- modo de frequência de amostragem baixo (<25 MHz) ou alto (até 40 MHz);
- predefinir um valor a enviar em vez da tensão lida para mais facilidade de *debug*, e verificação da implementação;

Na Tabela 2 observam-se todos os sinais de interface com o módulo criado e na Figura 4-2 visualiza-se a imagem do IP criado em IDE Vivado.

Tabela 2 - Interface do módulo ADC driver

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo e cria a frequência de amostragem baseada no mesmo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>data_in</i>	Valor para enviar através de SPI para configurar o ADC (32 bits)
<i>ADC_data_in</i>	16 bits de dados provenientes da leitura do ADC (16 bits)
<i>freq_in</i>	Registo de 32 bits onde deve ser escrita a frequência de amostragem requerida (32 bits)
<i>clk_in</i>	<i>Clock</i> assíncrono enviado pelo ADC quando tem uma nova amostra (1 bit)
Saídas	Função
<i>RST_out</i>	Sinal de <i>Reset</i> para o ADC, permitindo assim reinicializar o mesmo (1 bit)
<i>SCLK_out</i>	Sinal de <i>clock</i> para a comunicação SPI do ADC (1 bit)
<i>SEN_out</i>	Sinal de ativação da comunicação no ADC (1 bit)
<i>SDATA_out</i>	Sinal de dados para a comunicação SPI (1 bit)
<i>data_out</i>	Dados lidos do ADC já síncronos com <i>clock</i> interno de FPGA (16 bits)
<i>clk_out</i>	<i>Clock</i> à frequência de amostragem requerida (1 bit)

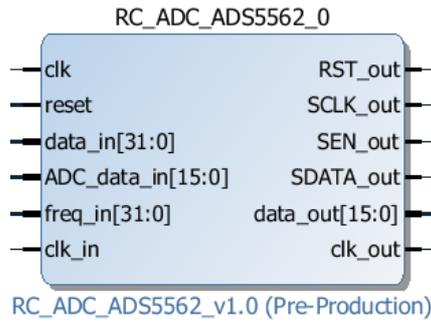


Figura 4-2 - IP ADC Driver

4.3 DAC Driver

Este módulo tem como função estabelecer toda a comunicação série com os DACs, configurando os mesmos após o Reset, e é também responsável por colocar à sua frequência máxima de utilização (1.4 MHz) um novo valor para posterior saída em tensão. Na Tabela 3 estão descritos todos os sinais de interface com este módulo e na Figura 4-3 pode visualizar-se a imagem do IP criado no IDE Vivado.

Tabela 3 - Interface do módulo DAC Driver

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo e determina a frequência de comunicação do DAC (máx. 35 MHz) (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>dataN</i>	Valor a colocar em cada um dos 4 DACs (20 bits)
Saídas	Função
<i>dac_rst</i>	Sinal de Reset para os DACs (1 bit)
<i>dac_sync</i>	Sinal de sincronismo para os DACs, também usado para manter sincronismos entre módulos na FPGA (1 bit)
<i>dac_sclk</i>	Sinal de <i>clock</i> para os DACs (1 bit)
<i>dac_sdinN</i>	Sinal de Dados (Série) para cada um dos DACs (1 bit)

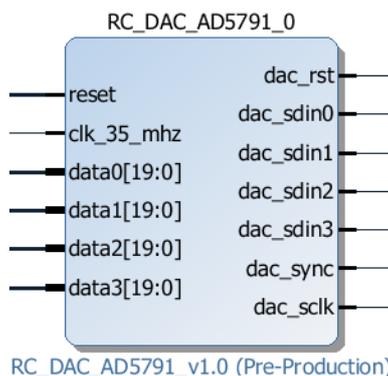


Figura 4-3 - IP DAC Driver

4.4 Amplificador *Lock-In*

4.4.1 Arquitetura Amplificador *Lock-In*

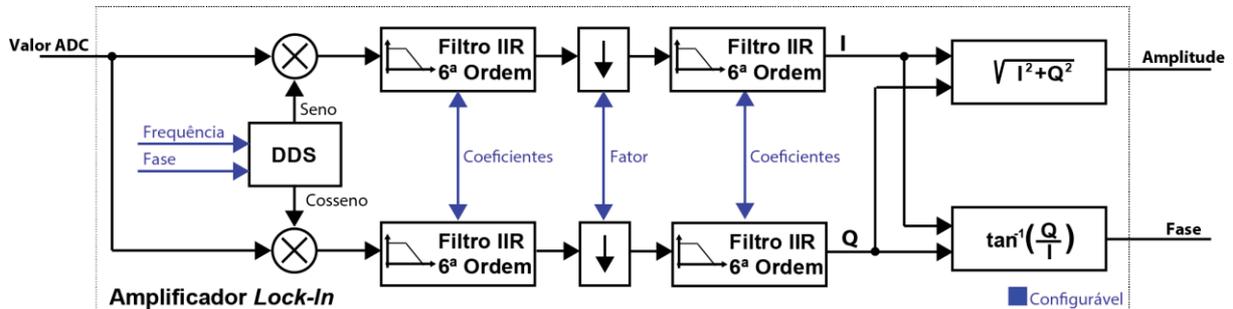


Figura 4-4 - Arquitetura Amplificador *Lock-In*

A arquitetura do amplificador *lock-in* desenvolvido é apresentada na Figura 4-4, onde se podem observar os blocos mais importantes do mesmo. Optou-se por esta configuração para que a versatilidade do mesmo fosse grande, podendo o utilizador configurar os filtros, o fator de decimação, bem como a frequência e fase do sinal.

Este módulo foi implementado usando o standard IEEE-754 *floating point*, e para isso foram utilizados vários IP LogiCORE™ Floating Point Operator v 7.1 [28] da Xilinx® que é altamente versátil podendo implementar várias funções usando apenas lógica, ou, para que seja possível utilizar frequências de *clock* mais elevadas, através de latência programável entre 1 e o limite do IP para cada função aritmética a implementar. Este módulo, que é compatível com o protocolo AXI4-Stream implementa diversas funções aritméticas [28], tais como:

- Conversão inteiro em *floating point* e vice-versa;
- Adição e subtração, Resultado = $A \pm B$;
- Absoluto de um valor, Resultado = $|A|$;
- Multiplicação, Resultado = $A * B$;
- Divisão, Resultado = $\frac{A}{B}$;
- Raiz Quadrada, Resultado = \sqrt{A} ;
- Somador, Resultado = $\sum \pm A[i]$;
- Multiplicador e somador/subtrator (no mesmo bloco), Resultado = $(A * B) \pm C$;

4.4.2 Filtro

O filtro implementado para filtrar a portadora e o ruído do sinal adquirido, foi um filtro IIR de 6ª ordem usando 3 seções de segunda ordem e usando a segunda forma direta transposta do filtro para otimização dos módulos aritméticos em *floating point* a usar. Para ajudar na implementação e validação do filtro em *hardware* programável foi implementado em Simulink (pode visualizar-se a implementação na Figura 4-5) uma seção do filtro simulando assim o seu comportamento. Enquanto que o primeiro filtro é utilizado para remoção da portadora, o segundo é usado para definir a largura de banda do sinal modulado, e como para baixas frequências não seria possível ter um filtro estável devido à elevada frequência de amostragem do ADC, foi implementado um decimador para que através de *downsampling* fosse possível ter o segundo filtro estável.

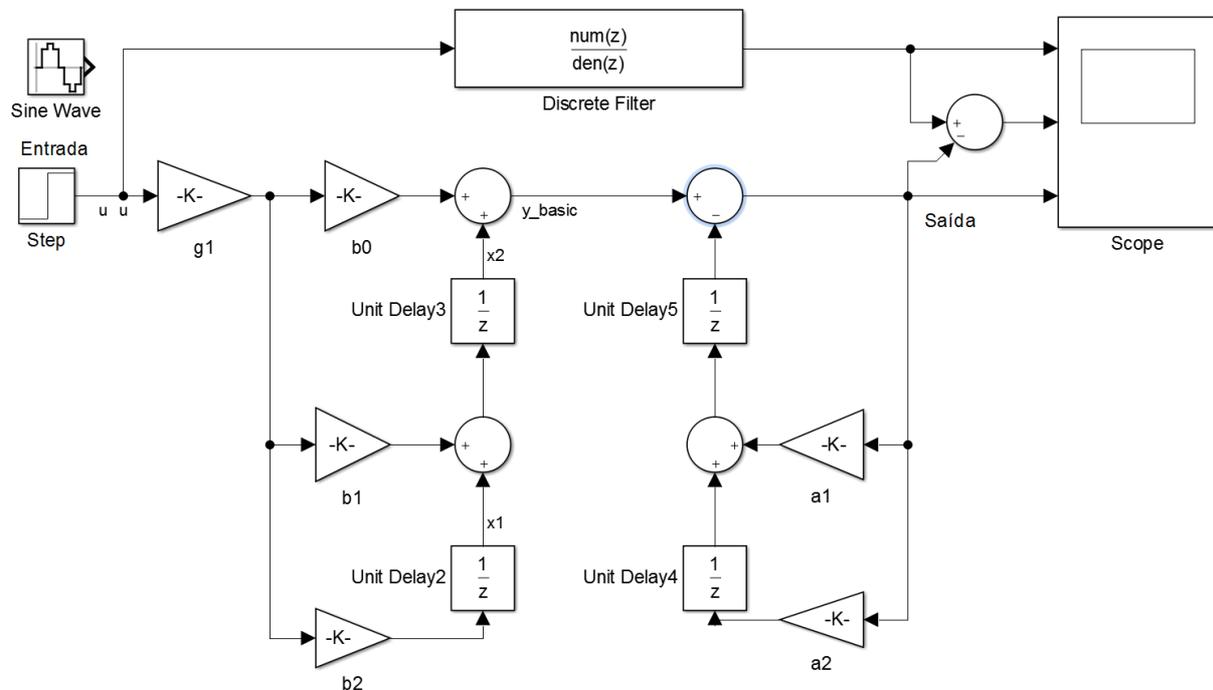


Figura 4-5 - Implementação filtro em Simulink

Por uma questão de otimização de sinais, foi implementado no mesmo módulo que o filtro um decimador de fator configurável e foi ainda implementado um método *shifter register* para configuração dos coeficientes do filtro. Na Tabela 4 estão descritos todos os sinais de interface com este módulo e na Figura 4-6 pode visualizar-se a imagem do IP criado no IDE Vivado.

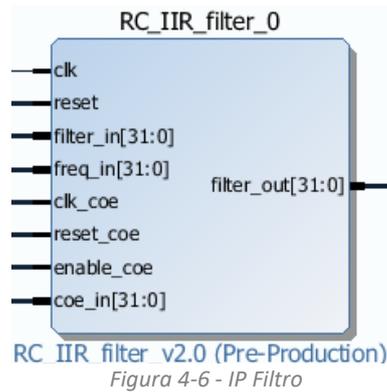


Tabela 4 - Interface do módulo filtro

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>filter_in</i>	Valor de entrada do filtro (32 bits)
<i>freq_in</i>	Fator de decimação (32 bits)
<i>clk_coe</i>	Aquisição de um novo coeficiente a cada transição positiva (1 bit)
<i>reset_coe</i>	Mantém todos os coeficientes com o valor zero (1 bit)
<i>enable_coe</i>	Ativa a aquisição de novos coeficientes (1 bit)
<i>coe_in</i>	Valor do coeficiente a adquirir em <i>floating point</i> (32 bits)
Saídas	Função
<i>filter_out</i>	Saída do sinal já filtrado (32 bits)

4.4.3 Arco Tangente

Para proceder ao cálculo da função matemática arco-tangente foi utilizado um IP LogiCORE™ CORDIC v 6.0 [29] da Xilinx® que implementa um algoritmo de computação digital de coordenadas rotacionais generalizadas CORDIC (*COordinate Rotational Digital Computer*). O algoritmo CORDIC foi inicialmente desenvolvido por Volder [30] para que iterativamente resolva equações trigonométricas e mais tarde foi generalizado por Walther [31] para resolver um maior tipo de equações e funções tais como hiperbólico e raiz quadrada. Este tipo de algoritmo faz com que seja possível rapidamente e com a utilização de funções aritméticas simples calcular funções complexas utilizando baixos recursos, tornando-se assim o ideal para

implementação em *hardware* programável. Na Tabela 5 estão descritos todos os sinais de interface com este módulo e na Figura 4-7 pode visualizar-se a imagem do IP criado no IDE Vivado.

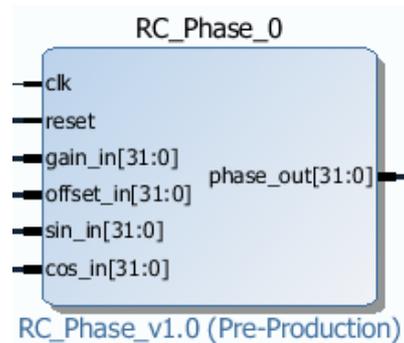


Figura 4-7 - IP Fase

Tabela 5 - Interface do módulo fase

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>gain_in</i>	Valor de ganho para conversão graus em tensão (DAC p.e.) (32 bits)
<i>offset_in</i>	Valor a somar ao sinal para conversão graus em tensão (DAC p.e.) (32 bits)
<i>sin_in</i>	Valor de entrada proveniente da multiplicação por seno do sinal (32 bits)
<i>cos_in</i>	Valor de entrada proveniente da multiplicação por cosseno do sinal (32 bits)
Saídas	Função
<i>phase_out</i>	Saída do cálculo do arco-tangente (32 bits)

4.4.4 DDS

Para a criação das ondas de referência seno e cosseno à mesma frequência da portadora, e para ajuste da fase do sinal de desmodulação interna recorreu-se a um IP LogiCORE™ IP *Direct Digital Synthesizer (DDS) Compiler* da Xilinx® que implementa um gerador de senoide otimizado e de alta performance compatível com o protocolo AXI4-Stream [32], o mesmo protocolo usado nos outros módulos descritos no Capítulo 4.4.1. Este DDS é capaz de gerar a fase de um sinal e através duma tabela *lookup* converter a mesma em seno e cosseno e tem uma resolução de frequência de 0.0407 Hz tal como descrito pela equação 4-1 calculada a partir de [32].

$$\text{IncFrequência}_{\min} = \frac{\text{Frequência}}{2^{\text{Resolução}}} = \frac{17.5 \cdot 10^6}{2^{32}} = 0.0407\text{Hz} \quad (4-1)$$

Na Tabela 6 estão descritos todos os sinais de interface com este módulo e na Figura 4-8 pode visualizar-se a imagem do IP criado no IDE Vivado.

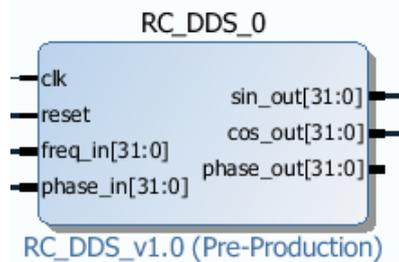


Figura 4-8 - IP DDS

Tabela 6 - Interface do módulo DDS

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>freq_in</i>	Frequência do sinal a gerar (32 bits)
<i>phase_in</i>	Fase do sinal a gerar (32 bits)
Saídas	Função
<i>phase_out</i>	Saída da fase gerada (32 bits)
<i>sin_out</i>	Saída do seno gerado (32 bits)
<i>cos_out</i>	Saída do cosseno gerado (32 bits)

4.5 Gerador de Ondas

Este módulo em *hardware* é caracterizado por uma memória RAM de 1024 posições que é preenchida através do microprocessador usando um registo que contém o endereço e o valor a colocar no mesmo. O *hardware* fica continuamente a percorrer essa tabela e a enviar os valores para o DAC, síncronos com o sinal *out_sync* gerado pelos DAC, gerando assim ondas de qualquer tipo. Para que a versatilidade deste módulo fosse superior e fosse possível gerar ondas de menor frequência e maior precisão, é também possível seleccionar qual o incremento no endereço da memória para cada palavra a colocar na saída e também qual a primeira posição na memória a ser lida, podendo assim configurar-se a fase do sinal. Na Tabela 7 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-9 pode ver-se a imagem do IP criado no IDE Vivado.

Tabela 7 - Interface do módulo gerador de ondas

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo e determina a frequência de atualização do valor de saída (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e reinicia o endereço de início da RAM (1 bit)
<i>out_sync</i>	Usado para criar sincronismo com os DACs (1 bit)
<i>dac_addr_value</i>	Registo de 32 bits onde deve ser escrita o endereço da RAM nos 12 bits mais significativos e o valor de tensão nos bits menos significativos (32 bits)
<i>offset</i>	Registo de 31 bits em que os 16 bits mais significativos são o endereço de início da RAM e os menos significativos o endereço final da RAM (32 bits)
Saídas	Função
<i>dac_dout</i>	Valor a atualizar no DAC (20 bits)

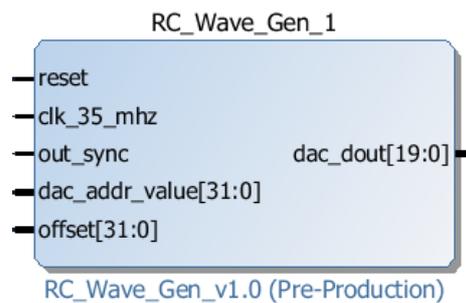


Figura 4-9 - IP do gerador de ondas em hardware

4.6 MUX – Multiplexer

O módulo *multiplexer* de sinais é um módulo que consoante um sinal de controlo escolhe uma das quatro entradas disponíveis e coloca esse valor na sua saída. Este módulo é necessário para podermos ter vários caminhos para o mesmo sinal, sendo este módulo controlado através dos registos AXI de configuração do sistema. Na Tabela 8 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-10 pode ver-se a imagem do IP criado no IDE Vivado.

Tabela 8 - Interface do módulo multiplexer

Entradas	Função
<i>MUX_inN</i>	Entradas a selecionar [0:3] (nº de bits configurável)
<i>MUX_select</i>	Sinal de controlo que seleciona a entrada a por no registo de saída (2 bits)
Saídas	Função
<i>MUX_out</i>	Saída com o valor da entrada selecionada (nº de bits configurável)

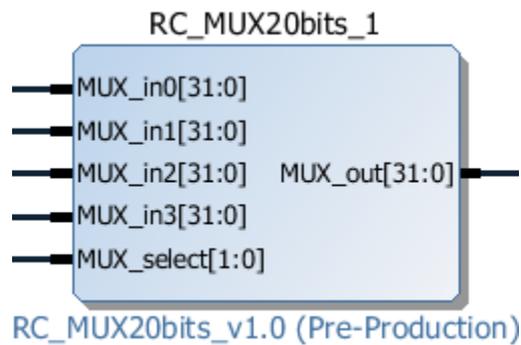


Figura 4-10 - IP do multiplexer de 4 entradas

4.7 DVGA Driver

O circuito integrado descrito no Capítulo 3.1.4 varia o ganho digitalmente, após a configuração de um registo por SPI. Este módulo implementa a comunicação SPI necessária para a comunicação com o mesmo. Através de um registo de configuração, este módulo deteta a alteração do valor e escreve novamente para o dispositivo. Na Tabela 9 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-11 - IP do DVGA driver pode ver-se a imagem do IP criado no IDE Vivado.

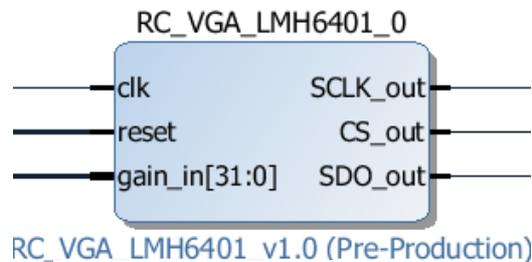


Figura 4-11 - IP do DVGA driver

Tabela 9 - Interface do módulo DVGA driver

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>gain_in</i>	Valor para enviar o ganho através de SPI para configurar o DVGA (32 bits)
Saídas	Função
<i>SCLK_out</i>	Sinal de <i>clock</i> para a comunicação SPI do DVGA (1 bit)
<i>CS_out</i>	Sinal de ativação da comunicação no DVGA (1 bit)
<i>SDO_out</i>	Sinal de dados para a comunicação SPI (1 bit)

4.8 Shift Register Driver

Este módulo permite gerir toda a comunicação com o circuito integrado (TPIC6A596 da Texas Instruments [33]) que atua sobre os relés de sinal do circuito de atuação. Este módulo através de um registo atualiza o estado das saídas do *shifter register* gerindo assim toda a comunicação série com este dispositivo. Na Tabela 10 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-12 pode ver-se a imagem do IP criado no IDE Vivado.

Tabela 10 - Interface do módulo shifter register

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>data_in</i>	Valor para enviar através de série para colocar na saída do C.I. (32 bits)
Saídas	Função
<i>SRCK</i>	Sinal de <i>clock</i> para a comunicação série do C.I. (1 bit)
<i>G</i>	Sinal para inibição das saídas da comunicação no DVGA (1 bit)
<i>SEROUT</i>	Sinal de dados para a comunicação série (1 bit)
<i>RCK</i>	Sinal de <i>Latch</i> para colocar o valor interno nas saídas do C.I. (1 bit)
<i>SRCLR</i>	Sinal par que o valor das saídas do C.I. sejam zero (1 bit)

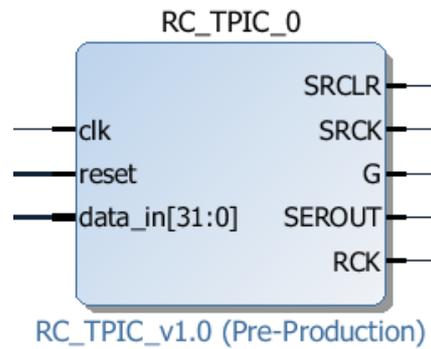


Figura 4-12 - IP do Shift Register driver

4.9 DDS Driver

Para controlo do DDS externo, AD9851 da Analog Devices, foi implementado este módulo que envia uma trama de 40 bits para configurar a PLL, a fase e a frequência do DDS externo. Este circuito integrado necessita de um *clock* de referência externo, que também é providenciado por este módulo, mantendo assim o sincronismo face ao *clock* interno. Na Tabela 11 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-13 pode ver-se a imagem do IP criado no IDE Vivado.

Tabela 11 - Interface do módulo DDS driver

Entradas	Função
<i>clk</i>	Cria sincronismo em todo o módulo principalmente para máquina de estados interna (1 bit)
<i>reset</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>freq_in</i>	Valor de frequência para enviar através de série (32 bits)
<i>phase_in</i>	Valor de desvio de fase para enviar através de série (32 bits)
Saídas	Função
<i>W_CLK_out</i>	Sinal de <i>clock</i> para a comunicação série do C.I. (1 bit)
<i>REF_CLK_out</i>	Sinal de <i>clock</i> para parte funcional do C.I. (1 bit)
<i>data_out</i>	Sinal de dados para a comunicação série (1 bit)
<i>FQ_UD_out</i>	Sinal de <i>Latch</i> para colocar o valor interno nas saídas do C.I. (1 bit)
<i>Reset_out</i>	Sinal para que o valor das saídas do C.I. sejam zero (1 bit)

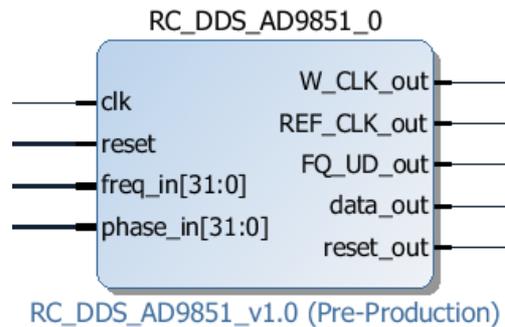


Figura 4-13 - IP DDS driver

4.10 Data FIFO

Para que fosse possível adquirir os sinais de interesse por comunicação TCP/IP, tal como as amostras provenientes do ADC, a saída de amplitude e fase do amplificador *lock-in*, entre outros, foi necessário a implementação de uma FIFO em *hardware*. Apesar da comunicação com o microcontrolador funcionar a uma velocidade de relógio superior à velocidade de aquisição do ADC (o sinal com maior frequência de amostragem do sistema), o microcontrolador nem sempre está disponível para leitura. Para isso foi necessário usar um LogiCORE™ IP da Xilinx® o FIFO Generator v 13.1 [34] que é uma FIFO já completamente implementada e caracterizada, que consegue guardar até 65536 valores de 32 bits, tendo sido necessário ajustar a mesma ao sistema, para que nunca se perdesse uma amostra, mantendo assim a integridade dos dados. Foi implementada ainda uma máquina de estados para sempre que o sinal *ready_bit* (bit 31 do Config_Reg) tenha uma transição positiva um novo conjunto de amostras é colocado nos registos de saída do módulo com os valores sequenciais para posterior envio para o microcontrolador através do mapeamento de memória. Na Tabela 12 podem-se ver todos os sinais de interface com o módulo criado. Na Figura 4-14 pode ver-se a imagem do IP criado no IDE Vivado.

Tabela 12 - Interface do módulo Data FIFO

Entradas	Função
<i>hb_ack</i>	Cria sincronismo em todo o módulo principalmente para máquina de estados interna (1 bit)
<i>hb_aresetn</i>	Mantém saídas com valor lógico zero e força máquina de estados ao estado inicial (1 bit)
<i>Data_Value</i>	Valor a guardar na FIFO (32 bits)
<i>Config_Reg</i>	Registo para configurar tipo de entrada (16/32 bits), frequência de amostragem e <i>trigger</i> para colocar na saída novas amostras (32 bits)
Saídas	Função
<i>HB_full</i>	Sinal usado para sinalizar quando a FIFO não tem mais memória disponível (1 bit)
<i>Data_Interrupt</i>	Sinal que indica que as amostras os registos já estão preenchidos com um novo conjunto de amostras (1 bit)
<i>data_fifoN</i>	Saídas dos N Valores a ser lidos (1 bit)

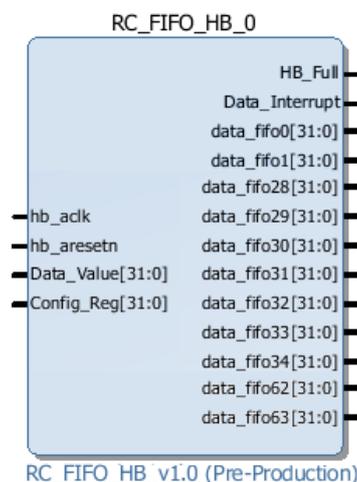


Figura 4-14 - IP Data FIFO

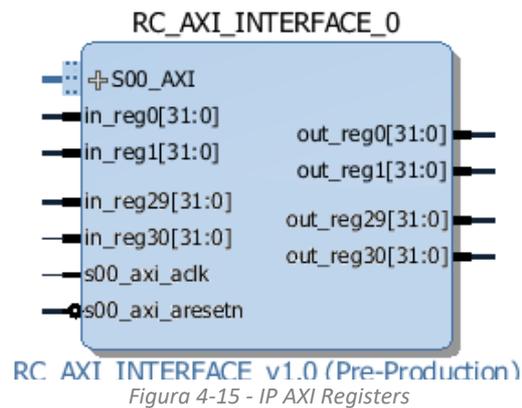
4.11 AXI Registers

Para controlo do *hardware* descrito no Capítulo 4.1, foram criados registos de configuração de todos os parâmetros para que a plataforma não fique dependente do processador, mas sim de um bloco de registos que podem ser configurados através de qualquer protocolo, tornando fácil a reutilização ou integração do *hardware* desenvolvido.

Para aceder aos registos através do microprocessador foi utilizado o protocolo AMBA AXI4 da

ARM, neste caso a vertente AXI-lite do mesmo, que para o fluxo e velocidade de dados a trocar entre processador e *hardware* é suficiente [35].

Para lidar com toda a comunicação foi necessário criar um IP que estabelecesse essa comunicação mapeando todos os registos de entrada e saída no mesmo. Na Figura 4-15 pode-se ver o IP criado para o efeito, sendo que a interface do mesmo são apenas 31 registos para ler ou escrever valores de 32 bits e todos os sinais do barramento AXI-Lite.



5. SOFTWARE MICROPROCESSADOR

Para criar a abstração necessária para que esta plataforma fosse fácil e intuitiva para o utilizador, e para a fácil implementação da comunicação através de TCP/IP, foi utilizado um microprocessador ARM Cortex-A9, como já descrito no Capítulo 3.3.2. Utilizou-se um sistema operativo em tempo real para que todos os requisitos temporais do sistema fossem mais facilmente cumpridos, isto aliado a uma pilha de comunicação TCP/IP que utiliza poucos recursos quer de memória quer de processador, para que o sistema estivesse o maior tempo possível apto à transferência de dados entre FPGA e PC.

5.1 FreeRTOS

O FreeRTOS é um sistema operativo em tempo real fornecido pela Real Time Engineers, Ltd, que devido ao escalonador desenvolvido é possível garantir que as tarefas são executadas num determinado período de tempo exato e previsível, essencial em sistemas com requisitos temporais como este. Uma vez que já existe uma implementação deste sistema operativo para a plataforma Zynq [36] escolhida, este foi o sistema operativo adotado.

Com este sistema operativo é possível implementar multitarefas já que é oferecida uma vasta gama de ferramentas de comunicação e sincronização entre as tarefas. Com a implementação de um sistema operativo com estas características, a arquitetura de *software* a implementar torna-se mais simples sendo assim possível particionar as tarefas a executar.

5.2 lwIP

Para a implementação da pilha de comunicação TCP/IP, foi escolhida a pilha lwIP desenvolvida por Adam Dunkels, ocupando apenas algumas dezenas de kilobytes de memória RAM e apenas 40 kB de memória ROM [37]. Estas características fazem com que se torne ideal para a plataforma de testes pois não são necessários todos os serviços e *overhead* da comunicação TCP/IP, implementando assim os serviços básicos para comunicação. Foi utilizado a implementação fornecida pela Xilinx® através de uma nota de aplicação, disponível em [38].

5.3 Funcionamento do sistema

Para que fosse um código de execução simples e para fácil utilização da plataforma recorreu-se à criação de um servidor para TCP/IP, sendo os clientes os dispositivos que pretendem configurar ou adquirir dados da mesma. Para que o funcionamento fosse o mais lógico possível foi criada uma tarefa para cada pedido/criação de conexão ao servidor na porta selecionada, assim, a plataforma é capaz de servir mais que um cliente em paralelo.

A tarefa *Main* é responsável pela inicialização de toda a plataforma e criação do servidor, para responder a todos os pedidos de conexão. Na Figura 5-1 apresenta-se o fluxograma da tarefa principal do sistema, a tarefa *Main*.

Sempre que haja um pedido para uma nova conexão, é criada uma tarefa *Run* para interpretar e responder a todos os pedidos da mesma. A tarefa espera pela chegada de uma nova mensagem, interpreta a mesma (*parse*) e após, caso a mensagem siga a sintaxe correta, executa o comando pedido.

Existem 3 tipos de mensagens essenciais:

- Tipo Envio – Mensagens destinadas à aquisição de um determinado número de amostras;
- Tipo Set – Mensagens destinadas à configuração dos parâmetros da plataforma, configurando os registos necessários a esse efeito;
- Tipo Get – Para que o utilizador possa ter conhecimento de como a plataforma está configurada naquele instante, o mesmo pode requisitar à plataforma o valor de qualquer parâmetro.

Na Figura 5-2 apresenta-se o fluxograma da tarefa *Run*.

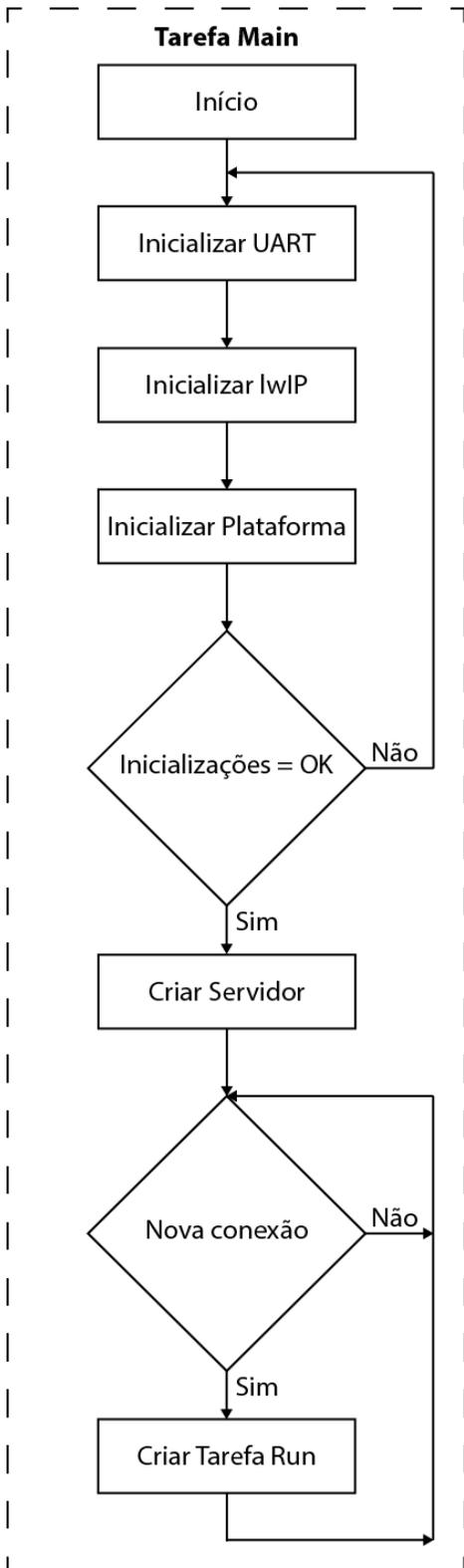


Figura 5-1 - Fluxograma Tarefa Principal

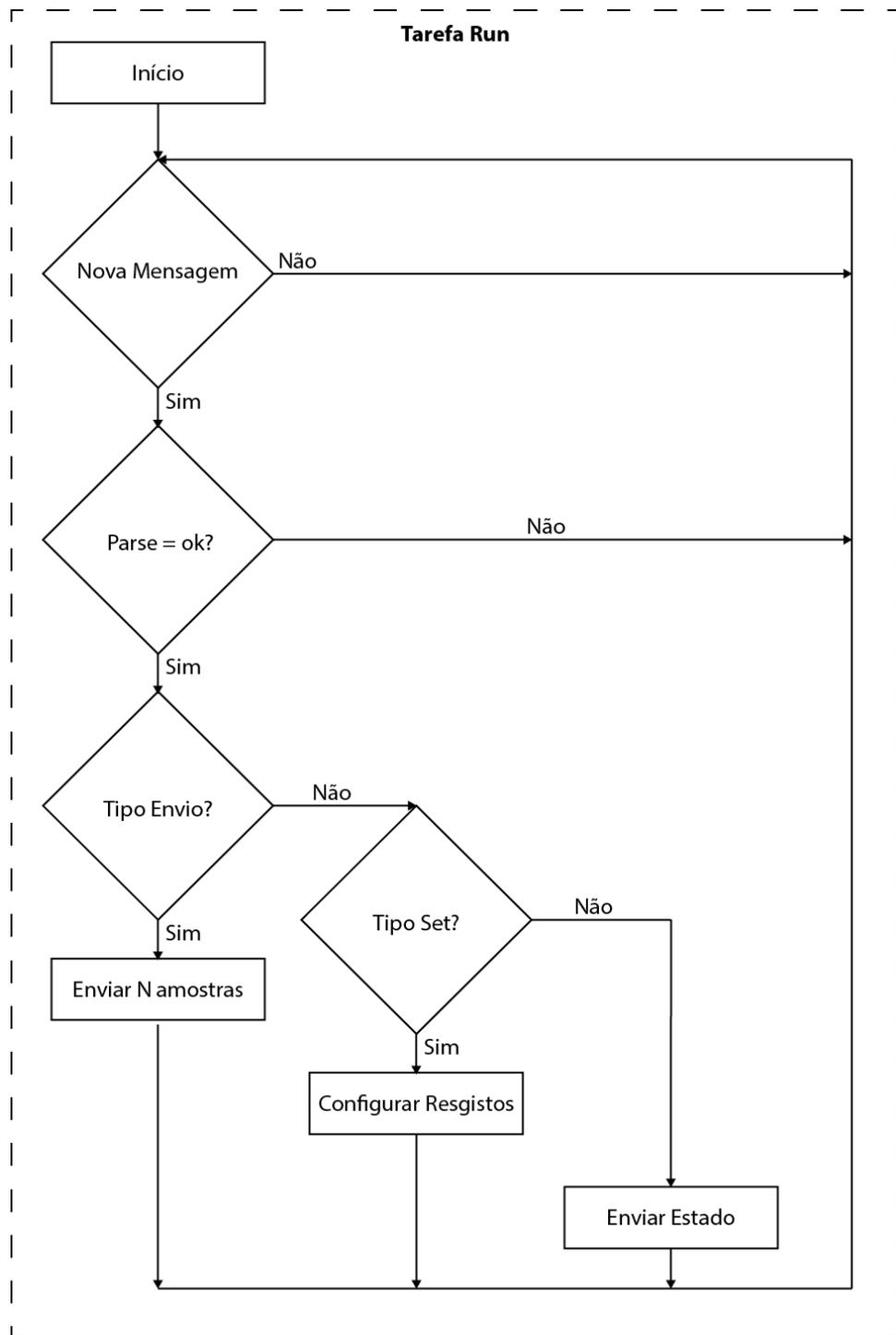


Figura 5-2 - Fluxograma tarefa Run

5.4 Mapeamento Registos AXI

Como descrito anteriormente, no Capítulo 4.11, os registos configurados em *hardware* são mapeados na memória do ARM, utilizando apenas um valor de offset para poder aceder aos mesmos. Neste caso o valor base dos registos mapeados é o endereço de base 0x43C00000 (XPAR_RC_AXI_INTERFACE_0_S00_AXI_BASEADDR), por exemplo. É através destas posições de memória que se consegue comunicar entre o *hardware* programável e o microcontrolador, configurando assim todo o *hardware* e adquirindo os sinais de interesse para o processador poder enviar por TCP/IP. Na Figura 5-3 pode observar-se o conjunto de registos de escrita e na Figura 5-4 pode observar-se o conjunto de registos de leitura.

Nº de Registo	Registos de Escrita																																Descrição
	bits																																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	Frequência dos dois sinais																																Bloco gerador da portadora
1	Fase entre os dois sinais																																Bloco gerador da portadora
2	Frequência de amostragem																																Bloco ADC Driver
3	Tensão de comparação para o Lado Direito																																Bloco de medição de tempos de Pull-In
4	Tensão de comparação para o Lado Esquerdo																																Bloco de medição de tempos de Pull-In
5	Endereço da memória																Valor para o DAC																Bloco gerador de ondas 0
6	Endereço Inicial																Endereço Final																Bloco gerador de ondas 0
7	Endereço da memória																Valor para o DAC																Bloco gerador de ondas 1
8	Endereço Inicial																Endereço Final																Bloco gerador de ondas 1
9	Endereço da memória																Valor para o DAC																Bloco gerador de ondas 2
10	Endereço Inicial																Endereço Final																Bloco gerador de ondas 2
11	Endereço da memória																Valor para o DAC																Bloco gerador de ondas 3
12	Endereço Inicial																Endereço Final																Bloco gerador de ondas 3
13	Use Futuro																																Bloco de Reset
14	Use Futuro																ACTUADOR1	ACTUADOR0	CTRL	TP1	PORT	DAC	ADC	2G3	WG2	WG1	WGO	Bloco de Controlo de Mux's					
15	Tensão de referência																																Bloco de Controlo
16	Tensão de actuação a "High"																																Bloco de Controlo
17	Tensão de actuação a "Low"																																Bloco de Controlo
18	Use Futuro																																
19	Use Futuro																																
20	Use Futuro																																
21	Use Futuro																																
22	Use Futuro																																
23	Use Futuro																																
24	Use Futuro																																
25	Use Futuro																																
26	Use Futuro																																
27	Use Futuro																																
28	Use Futuro																																
29	Use Futuro																																
30	Use Futuro																																
31	Use Futuro																																

Figura 5-3 - Registos da escrita da plataforma de testes

Nº de Registro	Registos de Leitura																																Descrição
	bits																																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	Tempo medido para a Esquerda																																Bloco de medição de tempos de Pull-In
1	Tempo medido para a Direita																																Bloco de medição de tempos de Pull-In
2	Valor do ADC em 16 bit's Signed																																Bloco ADC Driver (signed)
3	Uso Futuro																																
4	Valor do ADC em 16 bit's Signed amostra N																Valor do ADC em 16 bit's Signed amostra N-1																Bloco ADC Driver buffer 0
5	Valor do ADC em 16 bit's Signed amostra N-2																Valor do ADC em 16 bit's Signed amostra N-3																Bloco ADC Driver buffer 1
6	Valor do ADC em 16 bit's Signed amostra N-4																Valor do ADC em 16 bit's Signed amostra N-5																Bloco ADC Driver buffer 2
7	Valor do ADC em 16 bit's Signed amostra N-6																Valor do ADC em 16 bit's Signed amostra N-7																Bloco ADC Driver buffer 3
8	Valor do ADC em 16 bit's Signed amostra N-8																Valor do ADC em 16 bit's Signed amostra N-9																Bloco ADC Driver buffer 4
9	Valor do ADC em 16 bit's Signed amostra N-10																Valor do ADC em 16 bit's Signed amostra N-11																Bloco ADC Driver buffer 5
10	Valor do ADC em 16 bit's Signed amostra N-12																Valor do ADC em 16 bit's Signed amostra N-13																Bloco ADC Driver buffer 6
11	Valor do ADC em 16 bit's Signed amostra N-14																Valor do ADC em 16 bit's Signed amostra N-15																Bloco ADC Driver buffer 7
12	Valor do ADC em 16 bit's Signed amostra N-16																Valor do ADC em 16 bit's Signed amostra N-17																Bloco ADC Driver buffer 8
13	Valor do ADC em 16 bit's Signed amostra N-18																Valor do ADC em 16 bit's Signed amostra N-19																Bloco ADC Driver buffer 9
14	Valor do ADC em 16 bit's Signed amostra N-20																Valor do ADC em 16 bit's Signed amostra N-21																Bloco ADC Driver buffer 10
15	Valor do ADC em 16 bit's Signed amostra N-22																Valor do ADC em 16 bit's Signed amostra N-23																Bloco ADC Driver buffer 11
16	Valor do ADC em 16 bit's Signed amostra N-24																Valor do ADC em 16 bit's Signed amostra N-25																Bloco ADC Driver buffer 12
17	Valor do ADC em 16 bit's Signed amostra N-26																Valor do ADC em 16 bit's Signed amostra N-2																Bloco ADC Driver buffer 13
18	Uso Futuro																																
19	Uso Futuro																																
20	Uso Futuro																																
21	Uso Futuro																																
22	Uso Futuro																																
23	Uso Futuro																																
24	Uso Futuro																																
25	Uso Futuro																																
26	Uso Futuro																																
27	Uso Futuro																																
28	Uso Futuro																																
29	Uso Futuro																																
30	Uso Futuro																																
31	Uso Futuro																																

Figura 5-4 - Registos de leitura da plataforma de testes

5.5 Protocolo de Comunicação

O protocolo de comunicação entre a plataforma de testes e a interface com o utilizador possibilita que todos os parâmetros configuráveis na plataforma de testes sejam alterados pelo utilizador.

Este protocolo foi definido com o objetivo de proporcionar uma comunicação simples, eficiente e intuitiva sendo até possível configurar a plataforma de testes apenas com acesso à mesma rede do sistema, sem a necessidade de uma interface gráfica.

O protocolo teve como base protocolos profissionais como o GPIB, garantindo-se assim que seria eficiente e sem falhas, sendo de fácil interpretação para o utilizador, por exemplo:

- Para alterar a frequência do DDS externo e do módulo *lock-in* para 100 kHz, é necessário enviar **LI:FREQ:100000**;
- Para configurar qual a saída de um dos 4 DAC é preciso escolher no *multiplexer* entre gerador de ondas, amplitude ou replicar a entrada do ADC, sendo as mensagens **DAC0:SEL:WG**, **DAC0:SEL:AMP** e **DAC0:SEL:ADC** respetivamente;
- Caso seja necessário alterar a frequência de amostragem do ADC para 1MHz basta enviar **RC:ADC:FREQ:1000000**.

Foram apresentados alguns exemplos de mensagens, para ver a tabela completa, consultar o Anexo II deste documento.

6. TESTES E RESULTADOS

Neste capítulo são apresentados os testes efetuados à plataforma de testes de forma a proceder à caracterização da mesma, validando assim o seu funcionamento.

6.1 Sistema de Leitura

6.1.1 Caracterização Canal de entrada

Excursão de entrada

O canal de entrada permite sinais de entrada de +/- 4 V, necessitando para isso de ajuste de ganho para que o ADC não sature.

Ruído da eletrónica

O ruído medido na plataforma usando o canal de entrada é caracterizado pela equação 6-1. Assim, e para que fosse possível a caracterização do ruído introduzido pelo canal de entrada, procedeu-se à medição do ruído total do sinal, e do ruído do sinal injetado no sistema.

$$\sigma_{\text{Sinal Medido}}^2 = \sigma_{\text{sinal_injetado}}^2 + \sigma_{\text{Eletrónica}}^2 \quad (6-1)$$

Para realizar os testes de caracterização do ruído de eletrónica da plataforma foi utilizado um gerador de sinal Keysight 33600 A, configurado para gerar uma onda sinusoidal de 10 kHz e 100 mVpp. O ruído do sinal medido foi extraído através do cálculo do SNR (*Signal to Noise Ratio*) em MATLAB (equação 6-2).

$$\text{SNR}_{\text{dB}} = 20 \log_{10} \frac{\text{Amplitude Sinal}}{\text{Amplitude Ruído}} \quad (6-2)$$

A amplitude do sinal foi medida através de uma FFT (*Fast Fourier Transform*), obtendo-se assim a amplitude do sinal de interesse (10 kHz). Manipulando a equação 6-2 obtém-se a equação 6-3, podendo assim proceder-se ao cálculo do ruído medido. Para que a largura de banda do sinal adquirido fosse conhecida, o sinal foi filtrado, usando um filtro IIR passa baixo de ordem 4, com frequência de corte de 100 kHz.

$$\text{Amplitude Ruído} = \sigma = \frac{\text{Amplitude Sinal}}{10^{\frac{\text{SNR}_{\text{dB}}}{20}}} \quad (6-3)$$

Para que as medições fossem mais ponderadas, foram executadas 10 medições, tendo sido realizada a média do ruído:

$$\sigma_{\text{Sinal Medido}} = 97.480 \mu\text{V a } 100 \text{ kHz}$$

Medição ruído Gerador de sinais

Para caracterizar o ruído do gerador de sinais utilizado, utilizou-se uma placa de aquisição (DAQ) da National Instruments, modelo USB 6281 com um ruído de $2 \mu\text{V}_{\text{RMS}}$ [39] a uma largura de banda de 20 kHz. Como todos os ruídos medidos foram para uma largura de banda de 100 kHz, obtemos o ruído do DAQ a 100 kHz através da equação 6-5.

$$\sigma_{\text{DAQ}} = \frac{2\mu * \sqrt{2}}{\sqrt{20000}} * \sqrt{100000} = 6.325 \mu\text{V a } 100 \text{ kHz} \quad (6-5)$$

O ruído do gerador é calculado através da equação 6-6.

$$\sigma_{\text{medido DAQ}}^2 = \sigma_{\text{Gerador Sinais}}^2 + \sigma_{\text{DAQ}}^2 \quad (6-6)$$

Após medições, e cálculo do SNR, obteve-se, através da equação 6-3, o seguinte resultado:

$$\sigma_{\text{medido DAQ}} = 90.765 \mu\text{V a } 100 \text{ kHz}$$

Pode-se então, usar a equação 6-7 para calcular o ruído do gerador de sinais

$$\sigma_{\text{Gerador Sinais}} = 90.542 \mu\text{V a } 100 \text{ kHz}$$

$$\sigma_{\text{Gerador Sinais}} = \sqrt{\sigma_{\text{medido DAQ}}^2 - \sigma_{\text{DAQ}}^2} \quad (6-7)$$

Tendo agora todos os dados, e considerando que $\sigma_{\text{Gerador Sinais}} = \sigma_{\text{sinal_injetado}}$ e sabendo que $\sigma_{\text{Sinal Medido}} = 97.480 \mu\text{V a } 100 \text{ kHz}$, é possível manipular a equação 6-1, e obter a equação 6-8. Após calcular conclui-se que o ruído da eletrónica de entrada da plataforma de testes é $\sigma_{\text{Eletrónica}} = 36.116 \mu\text{V a } 100 \text{ kHz}$, que normalizando dá $\sigma_{\text{Eletrónica}} = 114.2 \text{ nV}/\sqrt{\text{Hz}}$

$$\sigma_{\text{Eletrónica}} = \sqrt{\sigma_{\text{Sinal Medido}}^2 - \sigma_{\text{sinal_injetado}}^2} \quad (6-8)$$

6.1.2 Caracterização do ganho do canal de entrada

Para verificar o funcionamento do amplificador de ganho, foi colocado um sinal de 70 mV à entrada da plataforma de testes e foi adquirido esse sinal, variando o ganho entre -6 dB e 26 dB, obtendo o gráfico apresentado na Figura 6-1.

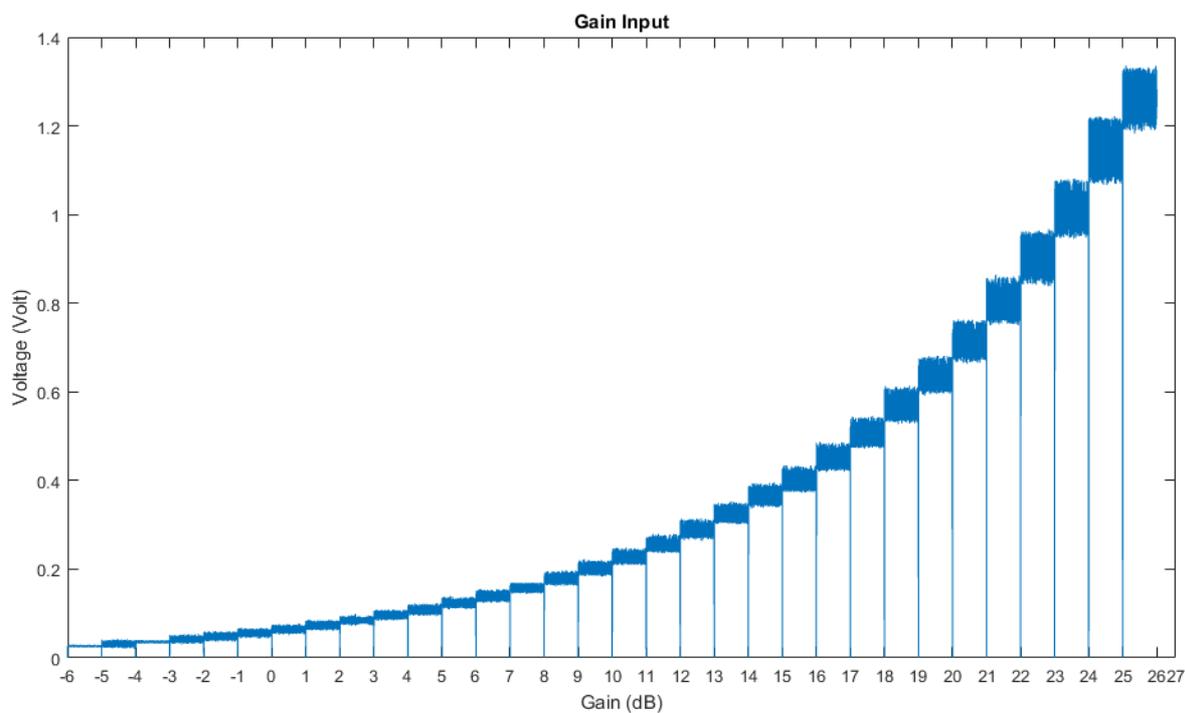


Figura 6-1 - Ganho de entrada

6.1.3 Caracterização Ganhos Amplificador de Carga

O amplificador de carga foi testado e caracterizado colocando uma onda sinusoidal de 250 mV de amplitude e um condensador de 1 pF em série na entrada do mesmo, obtendo para as diferentes variações de capacidade da malha de *feedback*, tal como explicado no Capítulo 3.1.2, diferentes níveis de amplitude à saída do mesmo. Após o uso do amplificador *lock-in*, extraímos o valor dessa amplitude, como é mostrado no gráfico da Figura 6-2.

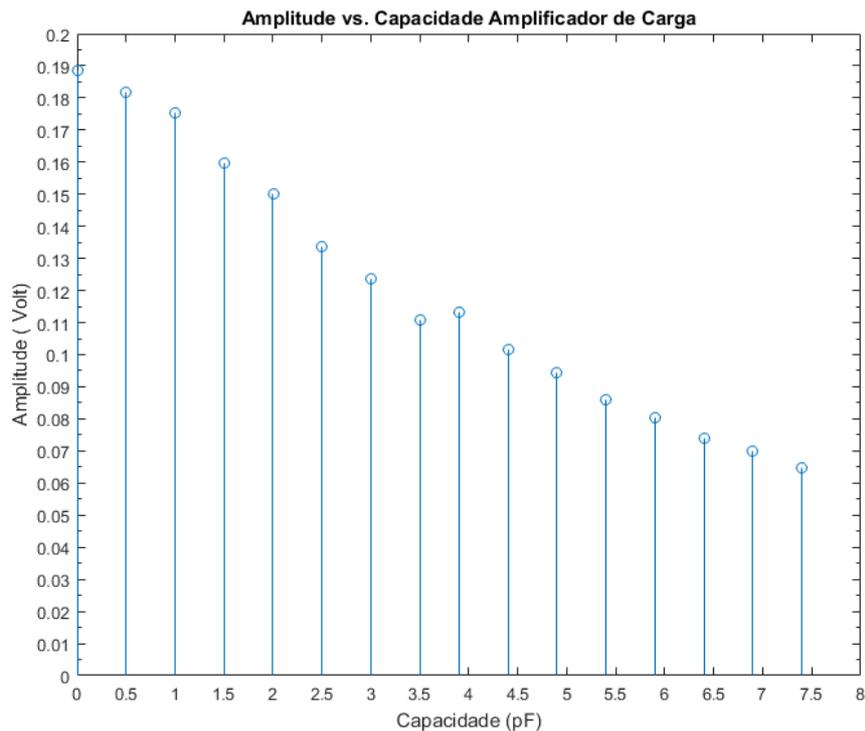


Figura 6-2 - Variação da amplitude para diferentes ganhos do amplificador de carga

Uma das medições (valor 0 no gráfico) foi efetuada sem nenhum condensador na malha de *feedback*, podendo assim estimar-se a capacidade parasítica em paralelo com o condensador na realimentação do circuito recorrendo à manipulação da equação 3-2, obtendo a equação 6-9. Na Tabela 13 pode ainda visualizar-se a diferença entre os ganhos estimados e os ganhos medidos, onde a maior causa para a diferença entre eles é a capacidade parasítica em paralelo anteriormente calculada e uma eventual capacidade parasítica em série nos contactos dos relés que justifica os ganhos superiores ao estimado para condensadores maiores.

$$C_{p2} = \frac{V_{exc} * (C_s)}{V_{saída}} - C_{fb} = 1.32 \text{ pF} \quad (6-9)$$

Tabela 13 - Ganhos reais amplificador de carga

Capacidade Total	Ganho/pF Estimado	Ganho/pF Medido
0.5 pF	2	0.727
1 pF	1	0.701
1.5 pF	0.667	0.638
2 pF	0.5	0.601
2.5 pF	0.4	0.535
3 pF	0.333	0.495
3.9 pF	0.256	0.452
4.4 pF	0.233	0.406
4.9 pF	0.204	0.377
5.9 pF	0.169	0.322

6.2 Sistema de Atuação

6.2.1 Geração de Portadoras

Para caracterização do DDS implementado para criação das portadoras foi medida a amplitude do sinal e efetuou-se uma média das medições para cada frequência, caracterizando assim a amplitude do sinal para o espectro de frequências que o mesmo é capaz de gerar. Na Figura 6-3 pode visualizar-se a relação entre amplitude e frequência do mesmo. A baixas frequências devido ao filtro passa-alto criado por o condensador de desacoplamento DC e a resistência de entrada do equipamento de leitura, o sinal é atenuado, considerando-se como trabalho futuro a remoção da componente DC usando um amplificador operacional, diminuindo assim esse problema.

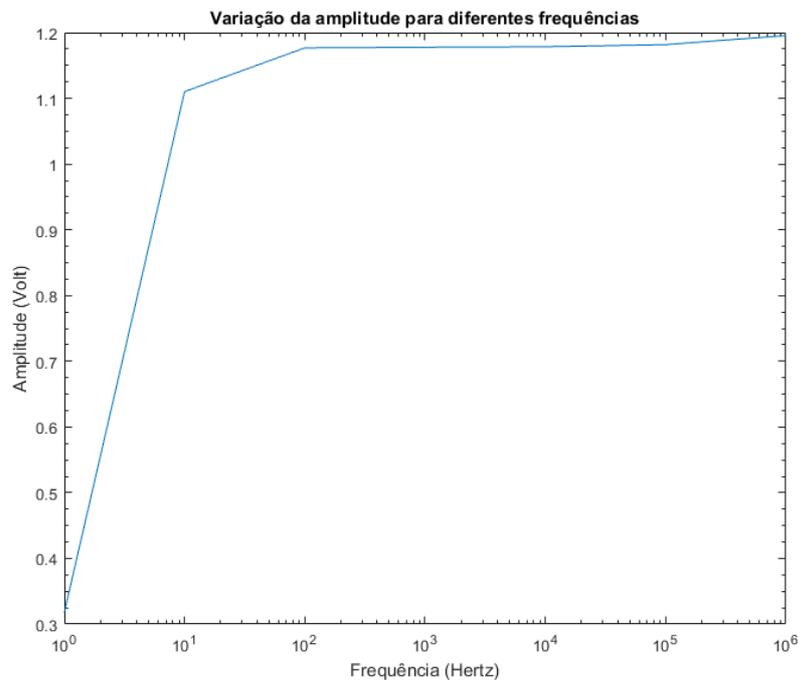


Figura 6-3 - Variação da amplitude para diferentes frequências

6.2.2 DAC

Frequência de amostragem

Na Figura 6-4 pode visualizar-se uma onda gerada pelos DAC à sua frequência máxima de amostragem 1.4 MHz.



Figura 6-4 - Frequência de Amostragem DAC

Ondas geradas através do DAC

Para validar o funcionamento dos blocos geradores de ondas foram colocados os 4 DACs a gerar ondas diferentes para validação dos mesmos. Na Figura 6-5 e na Figura 6-6 pode visualizar-se os vários tipos de ondas descritos no Capítulo 4.5 a serem gerados.

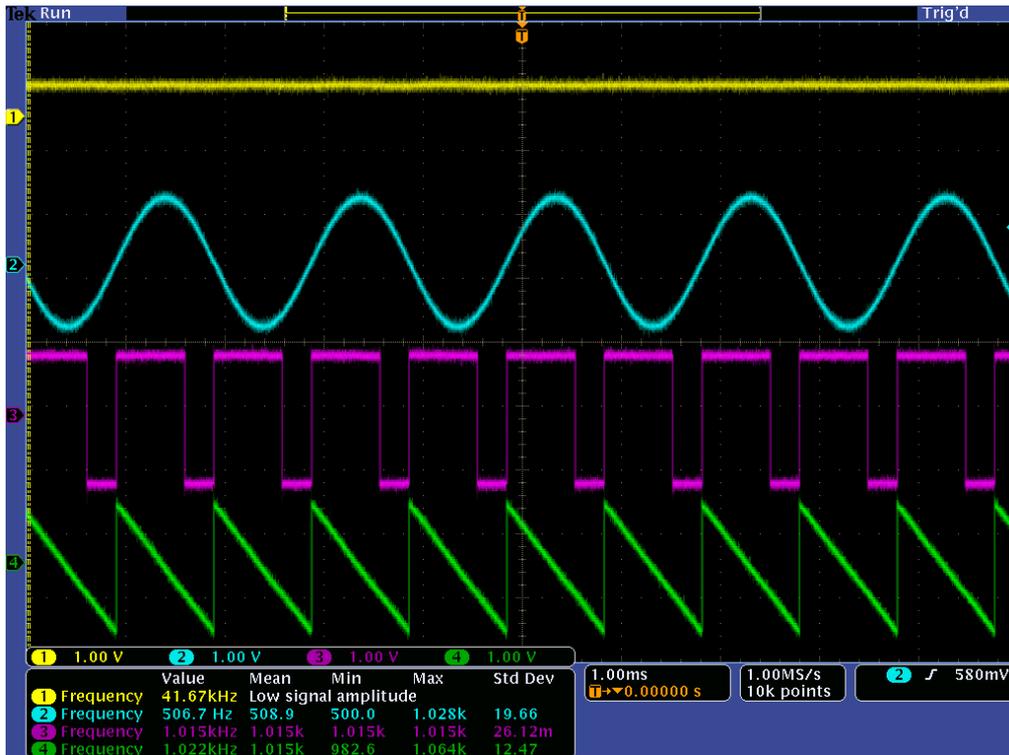


Figura 6-5 - Sinais Geradas pelos DACs

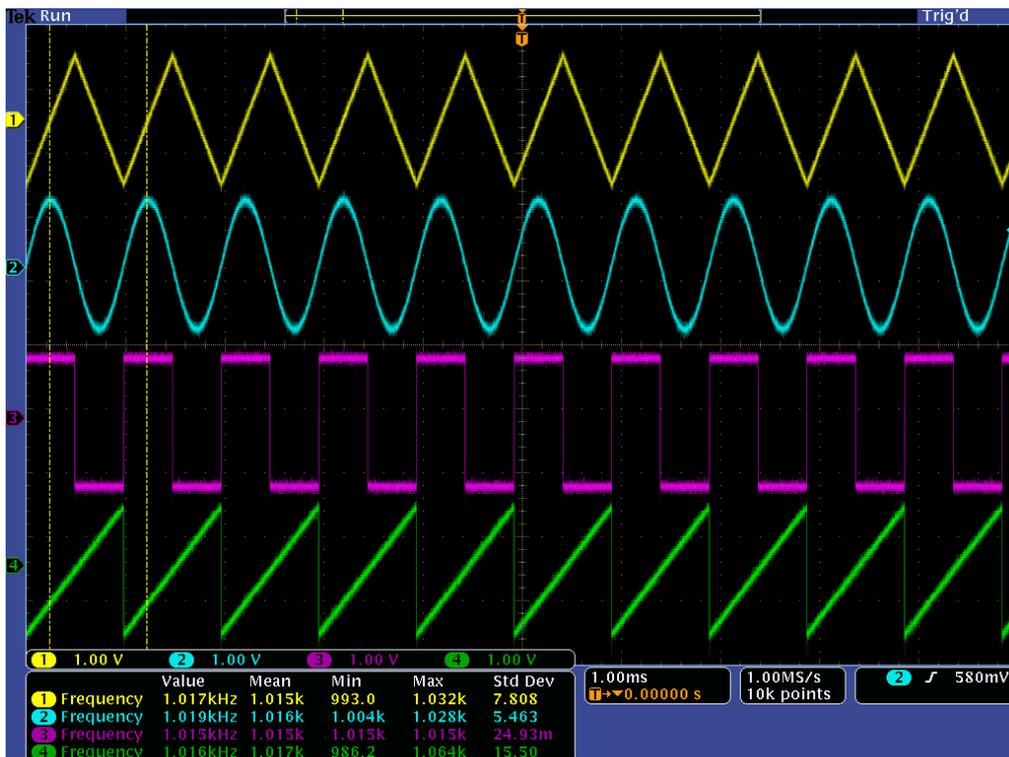


Figura 6-6 - Sinais Geradas pelos DACs

6.3 Teste Amplificador *Lock-In*

6.3.1 Teste a todos os pontos do sistema

Para validação do funcionamento do amplificador *lock-in* digital e da aquisição de sinais de alta frequência através da interface *Ethernet* foram adquiridos vários pontos de funcionamento internos do sistema do amplificador *lock-in*. Na Figura 6-7 e na Figura 6-8 podem ser visualizados os sinais de saída do amplificador *lock-in* digital.

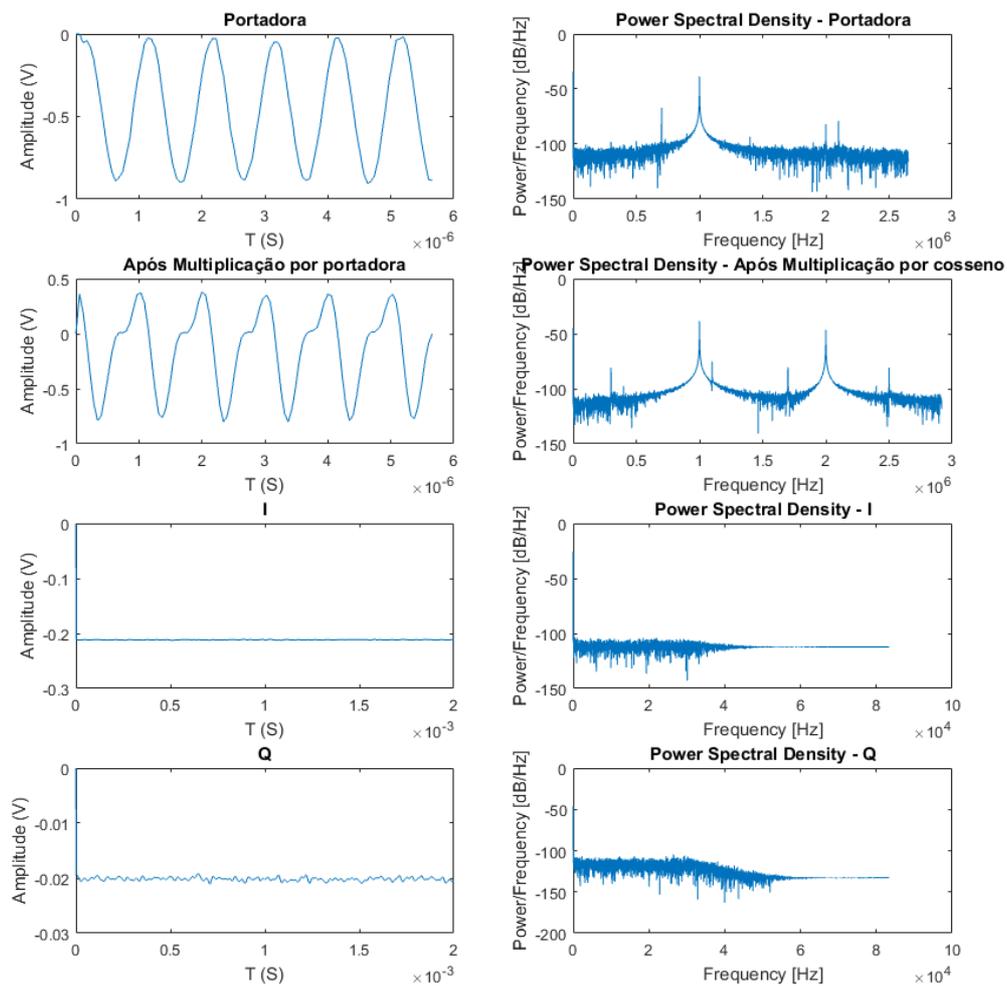


Figura 6-7 - Vários Pontos de Funcionamento do Amplificador Lock-In

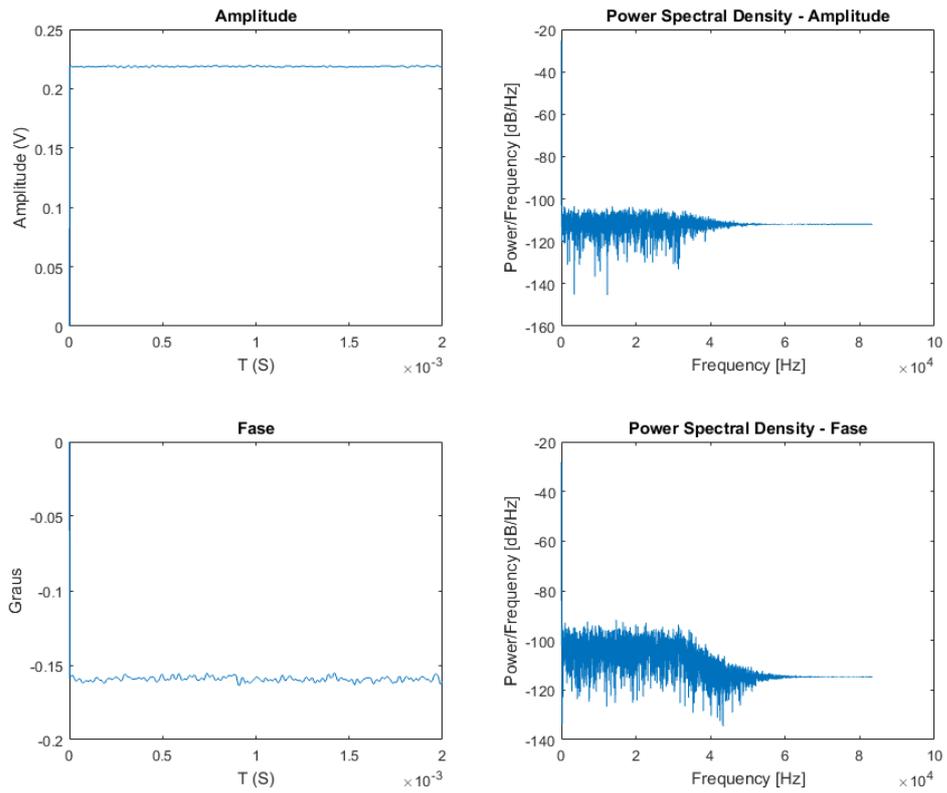


Figura 6-8 - Sinais Provenientes do Lock-In

6.3.2 Leitura da posição de um sensor MEMS (Acelerómetro)

A plataforma foi testada utilizando um dispositivo MEMS, mais concretamente um acelerómetro, tendo sido criadas acelerações de 0 g, 1 g e -1 g, e essa leitura gravada através da transmissão de dados *Ethernet* implementada na plataforma, podendo ser visualizado na Figura 6-9.

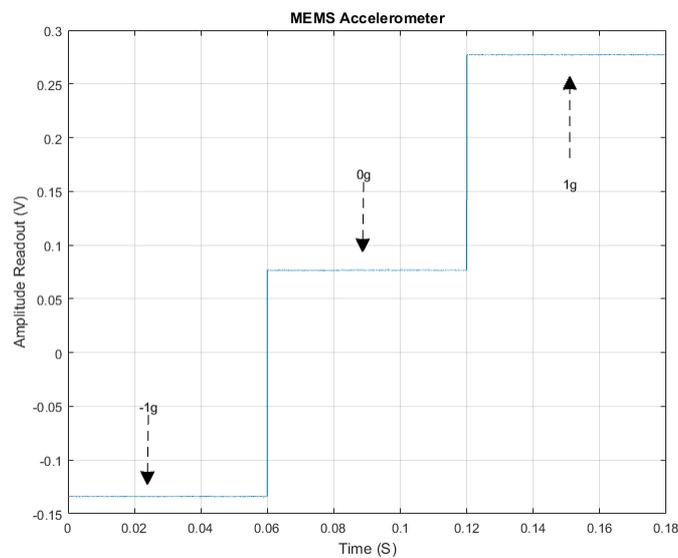


Figura 6-9 - Medição de um dispositivo MEMS

6.3.3 Medição Frequência de Ressonância

Um dos testes possíveis de efetuar com esta plataforma é a medição da resposta do dispositivo MEMS a determinada frequência aplicada. Para isso dois geradores de ondas foram configurados para gerarem uma onda sinusoidal, cuja frequência varia ao longo do teste, e medida a resposta da estrutura MEMS, neste caso um acelerômetro. Através de um *script* em MATLAB, foram percorridas várias frequências e medida a resposta para cada um desses pontos, obtendo o gráfico da Figura 6-10, e concluindo que a frequência de resposta da estrutura se situa nos 550 Hz.

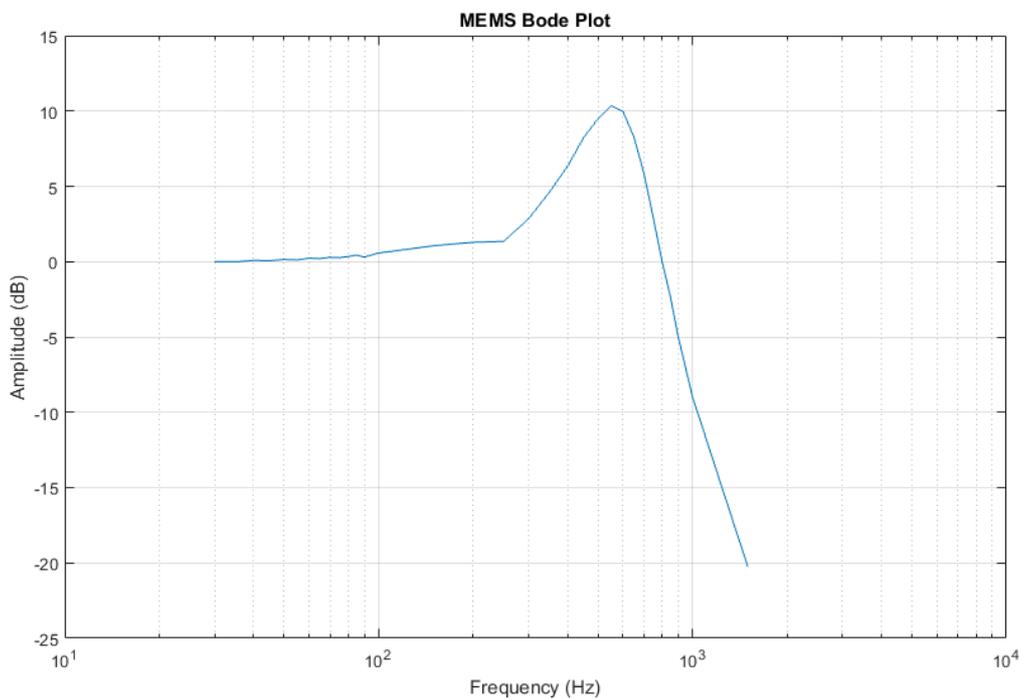


Figura 6-10 - Diagrama de Bode da resposta de uma estrutura MEMS

7. CONCLUSÃO E TRABALHO FUTURO

Nesta dissertação foi apresentado o desenvolvimento de uma plataforma de teste para MEMS, com o objetivo de integrar num único sistema uma completa gama de ferramentas de uso comum no teste de sensores e atuadores deste tipo. O nível de integração do sistema e da facilidade de uso, faz com que os principais objetivos tenham sido atingidos. A implementação do amplificador ruído *lock-in* digital com filtros configuráveis e decimação aumenta a versatilidade do sistema, não sendo assim necessário recorrer a eletrónica de precisão, que apenas introduziria mais ruído no sinal original proveniente dos dispositivos em teste. A plataforma pode também ser utilizada como placa de aquisição de elevada frequência e resolução pois devido à caracterização da mesma, pode-se ter em conta vários aspetos como nível de ruído, variação do ganho de entrada, bem como ainda filtrar esse sinal em tempo real e colocar o mesmo numa saída, através de um DAC para integração com o restante sistema do utilizador, por exemplo. Com a possibilidade de alterar o ganho do amplificador de carga, e com a capacidade em alterar a amplitude e frequência do sinal de referência (portadora), faz com esta plataforma seja ainda capaz de medir uma gama alargada de capacidades, criando assim mais uma funcionalidade útil neste tipo de dispositivos.

Comparando com os dispositivos de teste existentes atualmente, a versatilidade da mesma, a possibilidade de geração de ondas de vários tipo e amplitudes e a fácil interação através de uma comunicação TCP/IP faz com que não se foque apenas num reduzido tipo de dispositivos MEMS, podendo assim ser usada de forma mais abrangente, tendo ainda como aspeto diferenciador não ser necessário a utilização de outra instrumentação laboratorial, como fontes de alimentação, geradores, multímetros, etc. devido a já estar tudo integrado.

No desenho desta plataforma ficou ainda contemplado o uso de dois canais de aquisição para aumentar a performance em termos quantitativos, e para poder fazer medições diferenciais, sendo como trabalho futuro a implementação do mesmo. Isso, e com a integração do módulo de processamento, num SoM (System on Module) industrial, que contemple o SoC e as interfaces de comunicação *Ethernet* (que agora estão a ser implementado recorrendo à placa de desenvolvimento ZedBoard) tornaria esta plataforma mais capaz e mais robusta para a criação de um produto comercial.

Para aumentar as capacidades de aquisição por *Ethernet* desta plataforma, e como trabalho futuro, ficaria a implementação de um *buffer* duplo para conseguir adquirir mais que um sinal de interesse sincronizados, podendo assim ser possível fazer gráficos de amplitude e fase para o mesmo momento de medição, por exemplo. Um outro passo importante, para uma maior facilidade de interação com a plataforma, principalmente para utilizadores que estão na fase de desenho e teste de novos dispositivos MEMS, seria a implementação de uma interface gráfica com o utilizador em MATLAB, ou noutro tipo de sistema gráfico.

8. BIBLIOGRAFIA

- [1] Yole Développement, “Status of the MEMS Industry,” Yole, França, 2015.
- [2] B. Moyer, “The MEMS Testing Quagmire,” *Journal Electronic Engineering*, 2015.
- [3] Beyeler, F.; Muntwyler, S.; Nelson, B.J., “Wafer-level inspection system for the automated testing of comb drive based MEMS sensors and actuators,” em *IEEE Conference in Automation Science and Engineering (CASE)*, Aug 2010.
- [4] Ramadoss, R.; Dean, R.; Xoing, X., “System on Chip Test Architectures,” *Elsevier Inc*, p. Chapter 13, 2008.
- [5] Polytec, “TMS500 High-precision, non-contact topography measurement system,” [Online]. Available: <http://www.polytec.com/eu/products/surface-metrology/tms-500/>;
- [6] Beyeler, Felix, Mechanical MEMS Testing for R&D” FEMTO tools Presentation, 2015.
- [7] Instrumentation and technology for MEMS and Sensors, “MEMS Characterization Platform, Solutions for Microsystems Characterization.,” [Online]. Available: <http://www.itmems.it>.
- [8] N. Brito, F.S. Alves, J. Cabral, J. Gaspar, J. Monteiro, L.A. Rocha, “Embedded MEMS Platform for Structure Test and Characterization,” *Procedia Engineering*, vol. 120, pp. 67-70, 2015.
- [9] D. Xia, C. Yu, and Y. Wang, “A digitalized silicon microgyroscope based on embedded FPGA,” *Sensors (Basel)*., vol. 12, pp. 13150-66, 2012.
- [10] D. Keymeulen, C. Peay, D. Foor, T. Trung, A. Bakhshi, P. Withington, K. Yee, and R. Terrile, “Control of MEMS Disc Resonance Gyroscope (DRG) using a FPGA platform,” *IEEE Aerospace Conference Proceedings*, 2008.

- [11] F. S. Alves, R. A. Dias, J. Cabral, L. A. Rocha, and J. Monteiro, "FPGA controlled MEMS inclinometer," *IEEE International Symposium on Industrial Electronics*, 2013.
- [12] L. Orozco, "Synchronous Detectors Facilitate Precision, Low-Level Measurements," *Analog Dialogue*, Novembro 2014. [Online]. Available: <http://www.analog.com/media/en/analog-dialogue/volume-48/number-4/articles/synchronous-detectors-facilitate-precision.pdf>. [Acedido em 2016].
- [13] Texas Instruments, "Datasheet LME49740," Abril 2013. [Online]. Available: <http://www.ti.com/lit/ds/symlink/lme49740.pdf>. [Acedido em 2016].
- [14] Texas Instruments, "Datasheet LMH5401," Janeiro 2015. [Online]. Available: <http://www.ti.com/lit/ds/symlink/lmh5401.pdf>. [Acedido em 2016].
- [15] Texas Instruments, "Datasheet LMH6401," Maio 2015. [Online]. Available: <http://www.ti.com/lit/ds/symlink/lmh6401.pdf>. [Acedido em 2016].
- [16] Texas Instruments, "Datasheet ADS5560," 2012. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ads5560.pdf>.
- [17] Analog Devices, "Datasheet AD5791," 2013. [Online]. Available: http://www.analog.com/static/imported-files/data_sheets/AD5791.pdf. [Acedido em 2016].
- [18] Texas Instruments, "Datasheet REF102," 2009. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ref102.pdf>.
- [19] Analog Devices, "Datasheet ADG1434," 2009. [Online]. Available: http://www.analog.com/static/imported-files/data_sheets/ADG1433_1434.pdf. [Acedido em 2016].
- [20] Analog Devices, "Datasheet AD9851," Janeiro 2004. [Online]. Available: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9851.pdf>. [Acedido em 2016].
- [21] Texas Instruments, "Datasheet PTN78000W," Setembro 2008. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ptn78000h.pdf>. [Acedido em 2016].

- [22] Texas Instruments, "Datasheet PTN78020H," Agosto 2011. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ptn78020h.pdf>. [Acedido em 2016].
- [23] Texas Instruments, "Datasheet PTN78000A," Janeiro 2006. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ptn78000a.pdf>. [Acedido em 2016].
- [24] Texas Instruments, "Datasheet TPS7A4701," Setembro 2014. [Online]. Available: <http://www.ti.com/lit/ds/symlink/tps7a47.pdf>. [Acedido em 2016].
- [25] Texas Instruments, "Datasheet TPS7A33," Abril 2015. [Online]. Available: <http://www.ti.com/lit/ds/symlink/tps7a33.pdf>. [Acedido em 2016].
- [26] AVNET, "Avnet Product Brief ZedBoard," 2014. [Online]. Available: http://zedboard.org/sites/default/files/product_briefs/PB-AES-Z7EV-7Z020_G-v12.pdf. [Acedido em 2016].
- [27] Xilinx, "Zynq-7000 All Programmable SoC Overview," Setembro 2016. [Online]. Available: https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf. [Acedido em 2016].
- [28] Xilinx, "Floating-Point Operator v7.1 LogiCORE IP Product Guide," Novembro 2015. [Online]. Available: http://www.xilinx.com/support/documentation/ip_documentation/floating_point/v7_1/pg060-floating-point.pdf. [Acedido em 2016].
- [29] Xilinx, "CORDIC v6.0 LogiCORE IP Product Guide," Outubro 2016. [Online]. Available: http://www.xilinx.com/support/documentation/ip_documentation/cordic/v6_0/pg105-cordic.pdf. [Acedido em 2016].
- [30] J. Volder, The CORDIC Trigonometric Computing Technique IRE Trans. Electronic Computing, Setembro, 1959, pp. 330-334.
- [31] J. Walther, A Unified Algorithm for Elementary Functions, Spring Joint computer conf., 1971, pp. 379-385.

- [32] Xilinx, “DDS Compiler v6.0 LogiCORE IP Product Guide,” Novembro 2015. [Online]. Available: http://www.xilinx.com/support/documentation/ip_documentation/dds_compiler/v6_0/pg141-dds-compiler.pdf. [Acedido em 2016].
- [33] Texas Instruments, “Datasheet TPIC6A596,” Maio 2005. [Online]. Available: <http://www.ti.com/lit/ds/sl1s094a/sl1s094a.pdf>. [Acedido em 2016].
- [34] Xilinx, “FIFO Generator v13.1 LogiCORE IP Product Guide,” Outubro 2016. [Online]. Available: http://www.xilinx.com/support/documentation/ip_documentation/fifo_generator/v13_1/pg057-fifo-generator.pdf. [Acedido em 2016].
- [35] Xilinx, “Vivado AXI Reference,” Junho 2015. [Online]. Available: https://www.xilinx.com/support/documentation/ip_documentation/axi_ref_guide/latest/ug1037-vivado-axi-reference-guide.pdf. [Acedido em 2016].
- [36] Real Time Engineers Ltd., “Xilinx Zynq-7000 (dual core ARM Cortex-A9) SoC Port,” 2016. [Online]. Available: <http://www.freertos.org/RTOS-Xilinx-Zynq.html>. [Acedido em 2016].
- [37] Free Software Foundation, Inc. , “lwIP - A Lightweight TCP/IP stack,” Outubro 2002. [Online]. Available: <http://savannah.nongnu.org/projects/lwip/>. [Acedido em 2016].
- [38] S. M. U. C. Anirudha Sarangi, “LightWeight IP Application Examples,” Xilinx - Application Note: Embedded Processing, 2014.
- [39] National Instruments, “Datasheet NI 6281,” Junho 2016. [Online]. Available: <http://www.ni.com/pdf/manuals/375218c.pdf>. [Acedido em 2016].

9. ANEXO I – ESQUEMAS E LAYOUT PCBs

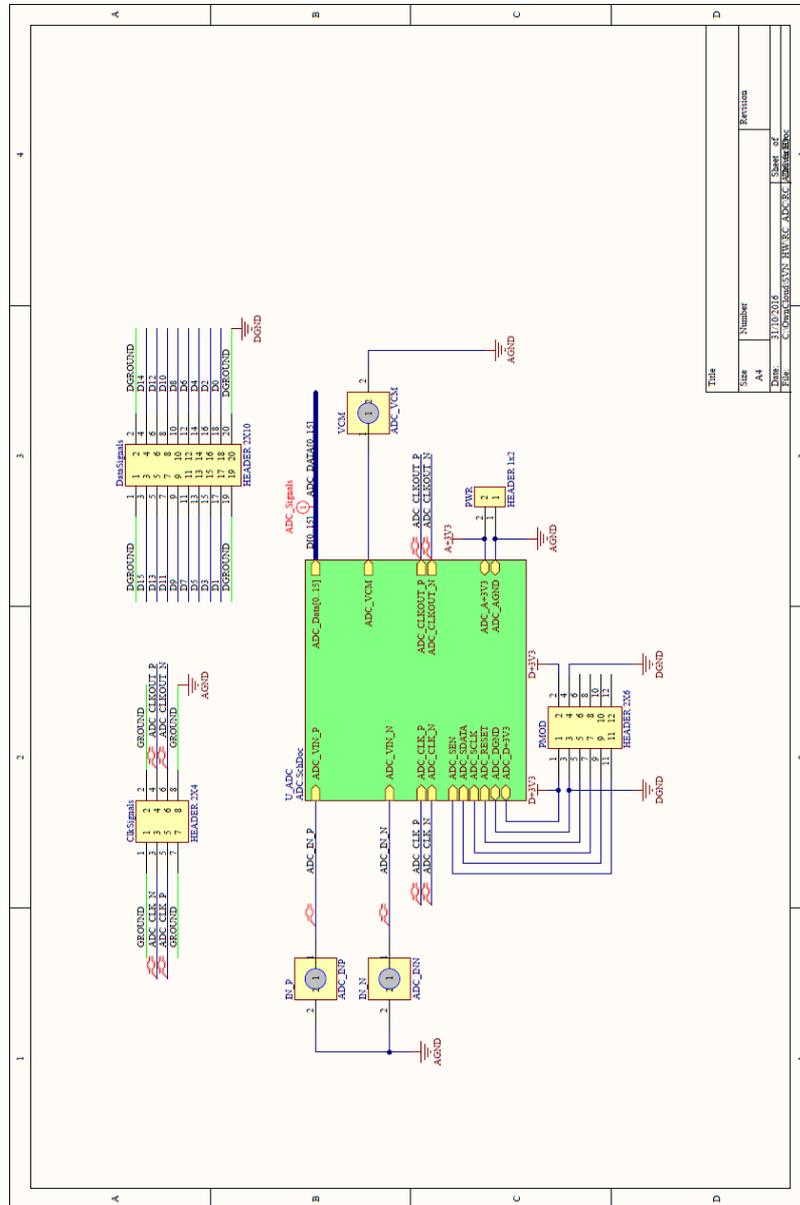


Figura 9-1 - Esquema Interligações ADC

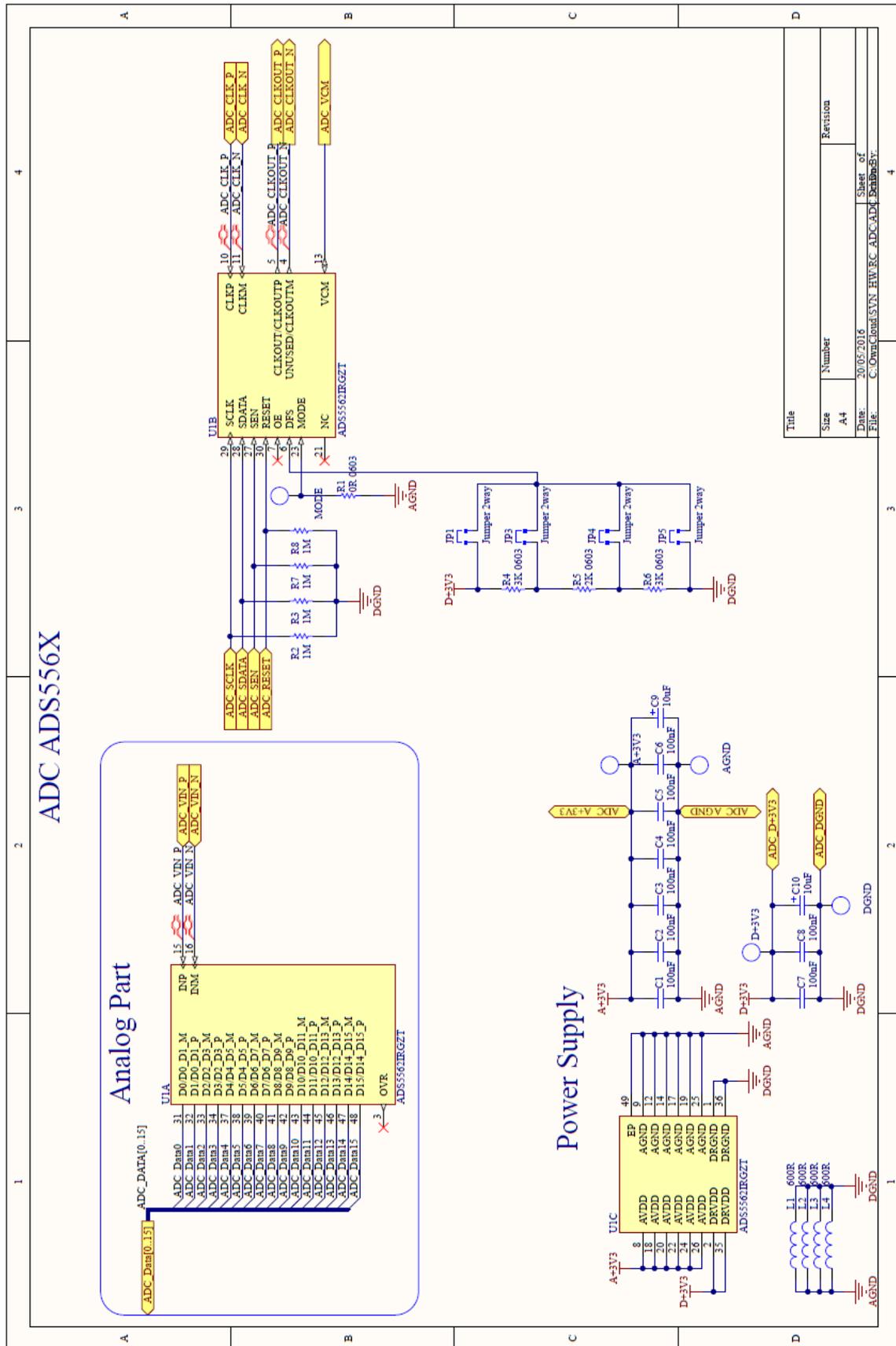


Figura 9-2 - Esquema ADC

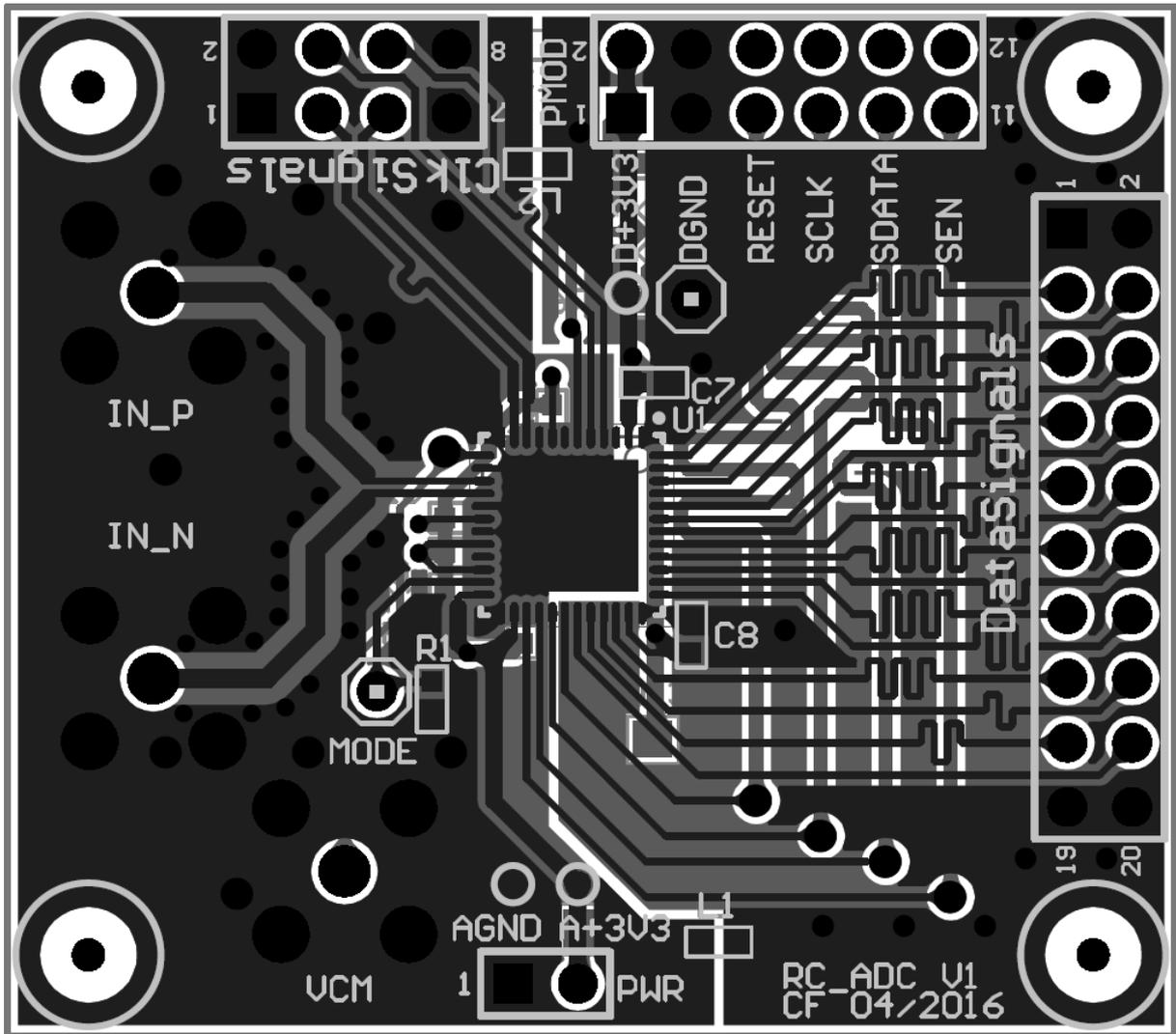


Figura 9-3 - Layout PCB ADC

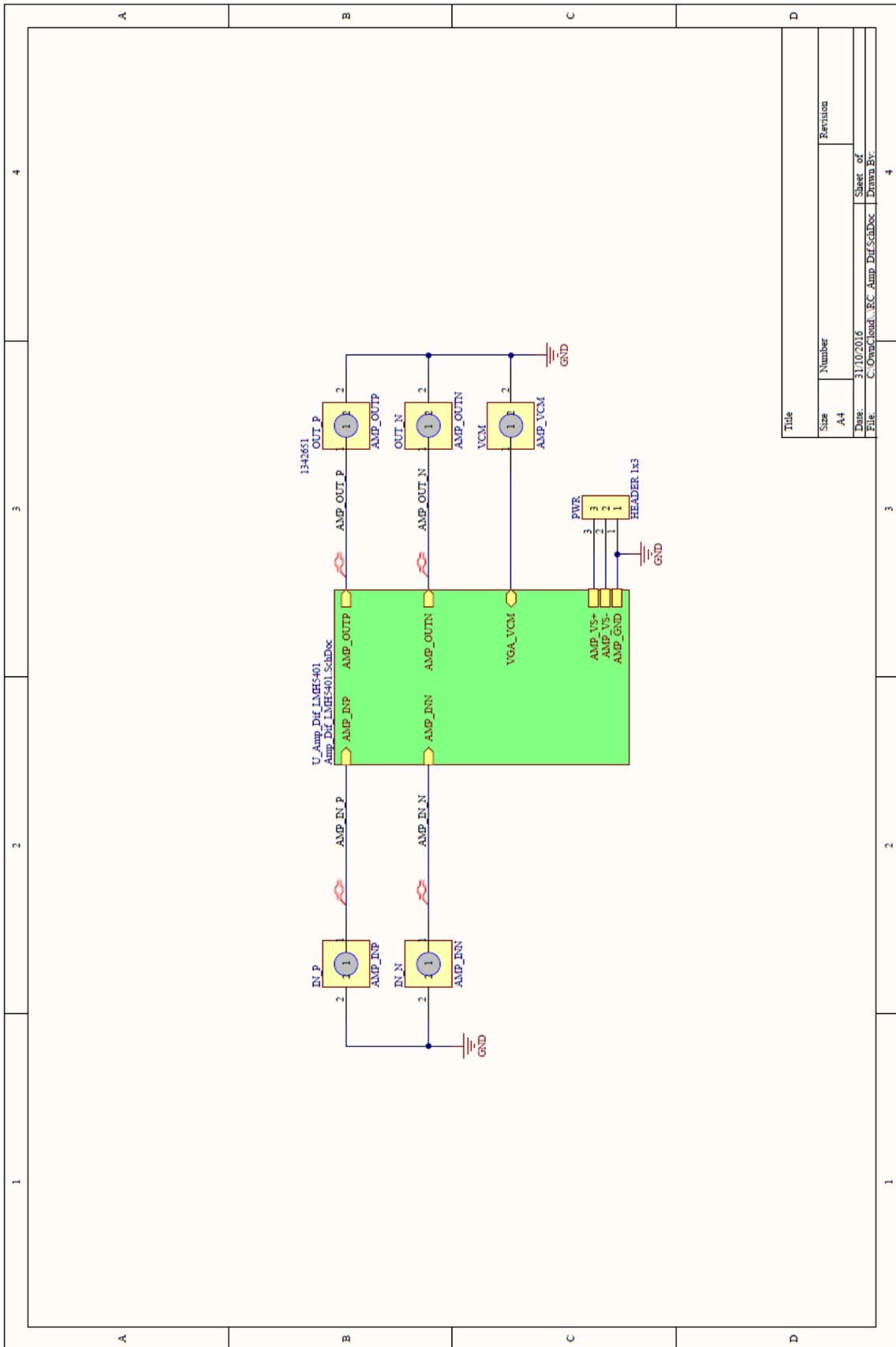


Figura 9-4 - Interligações Amplificador Diferencial

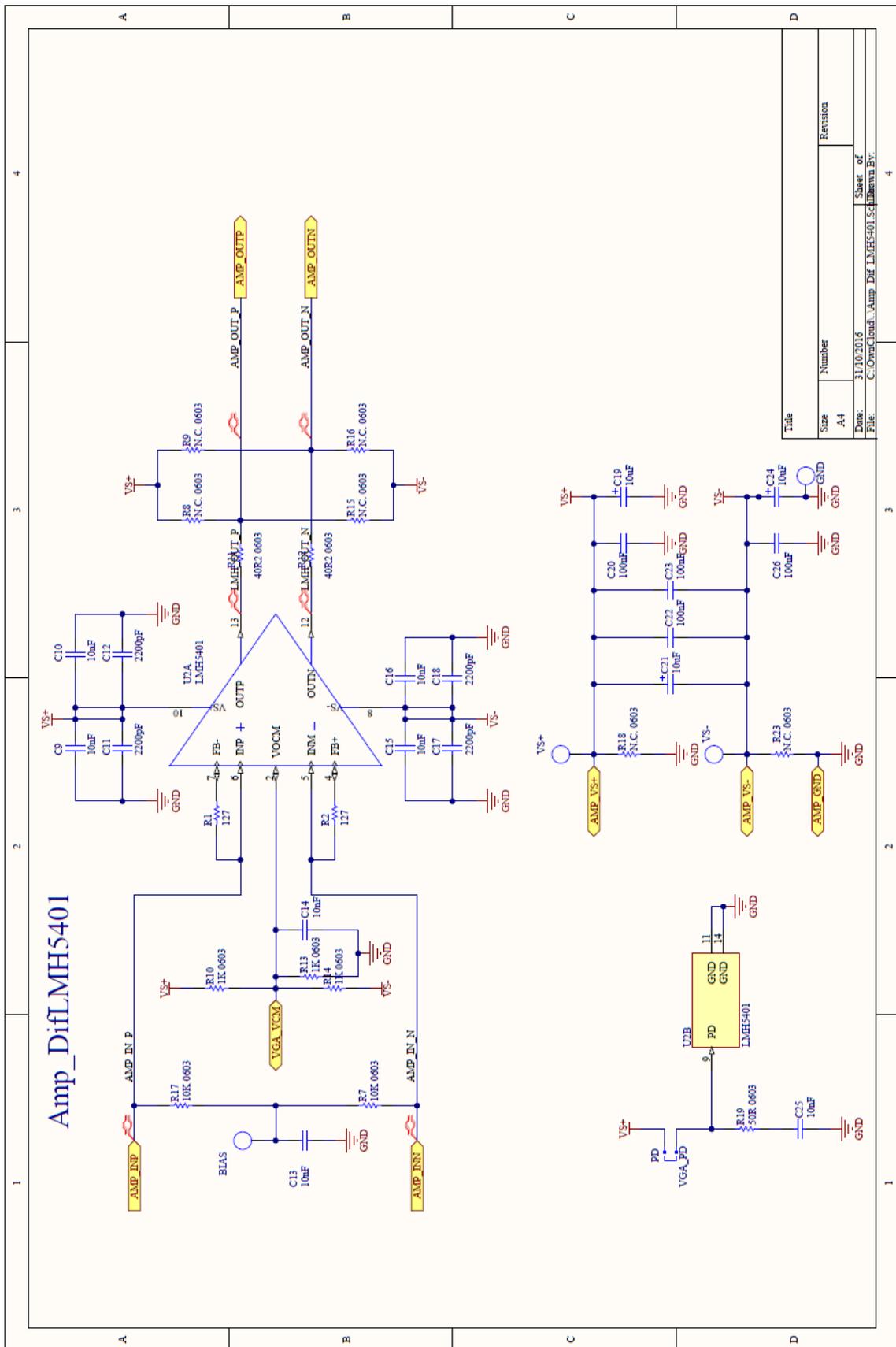


Figura 9-5 - Esquema Amplificador Diferencial

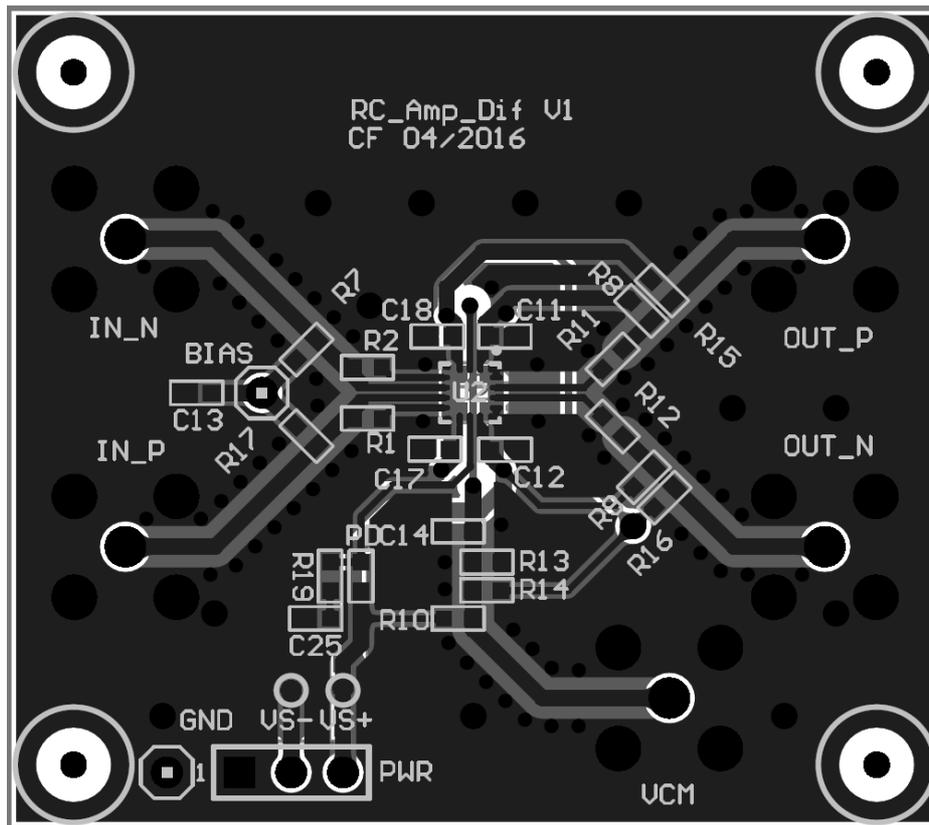


Figura 9-6 - Layout Placa Diferencial

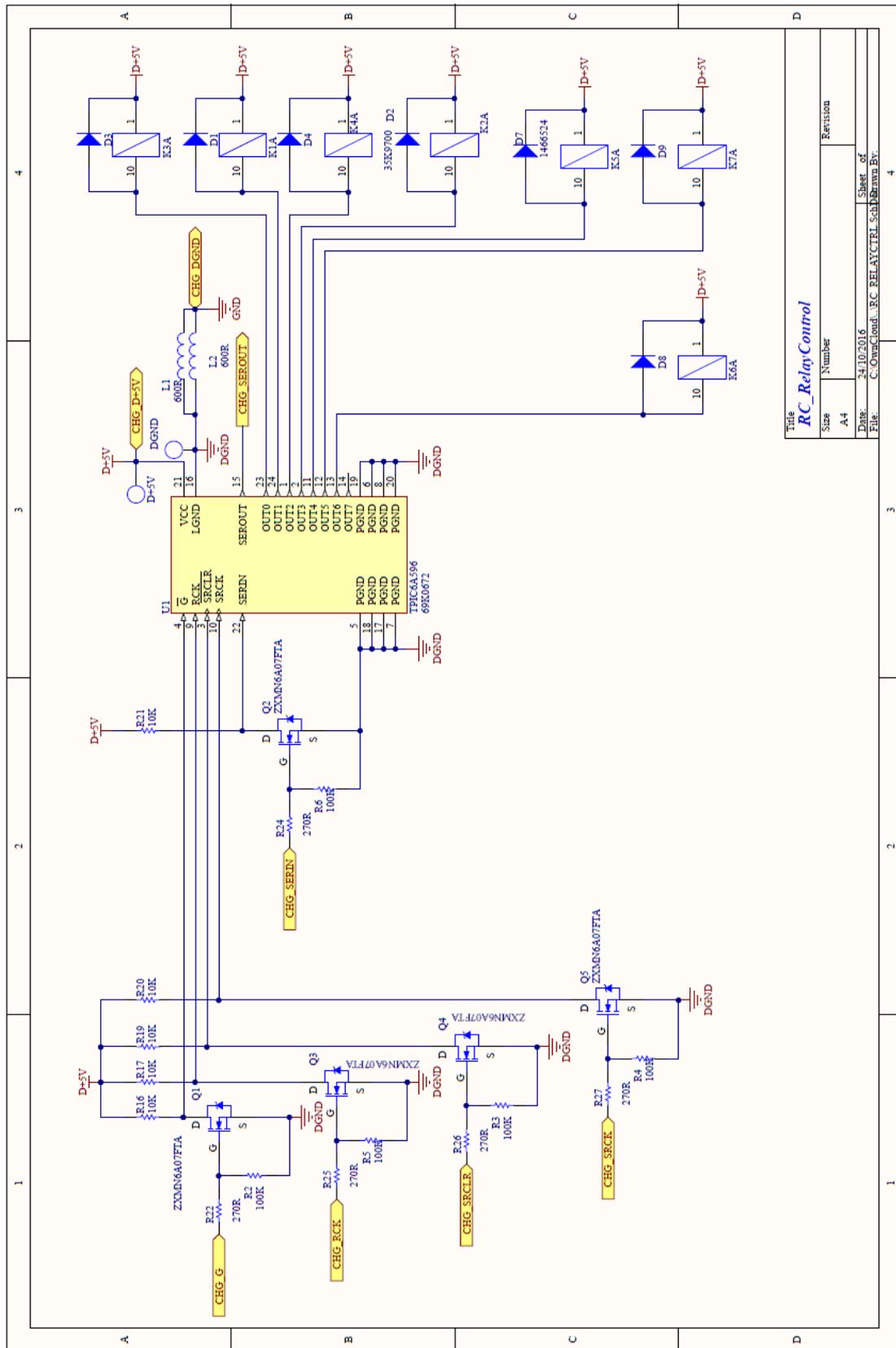


Figura 9-8 - Controlo De Relés de sinal

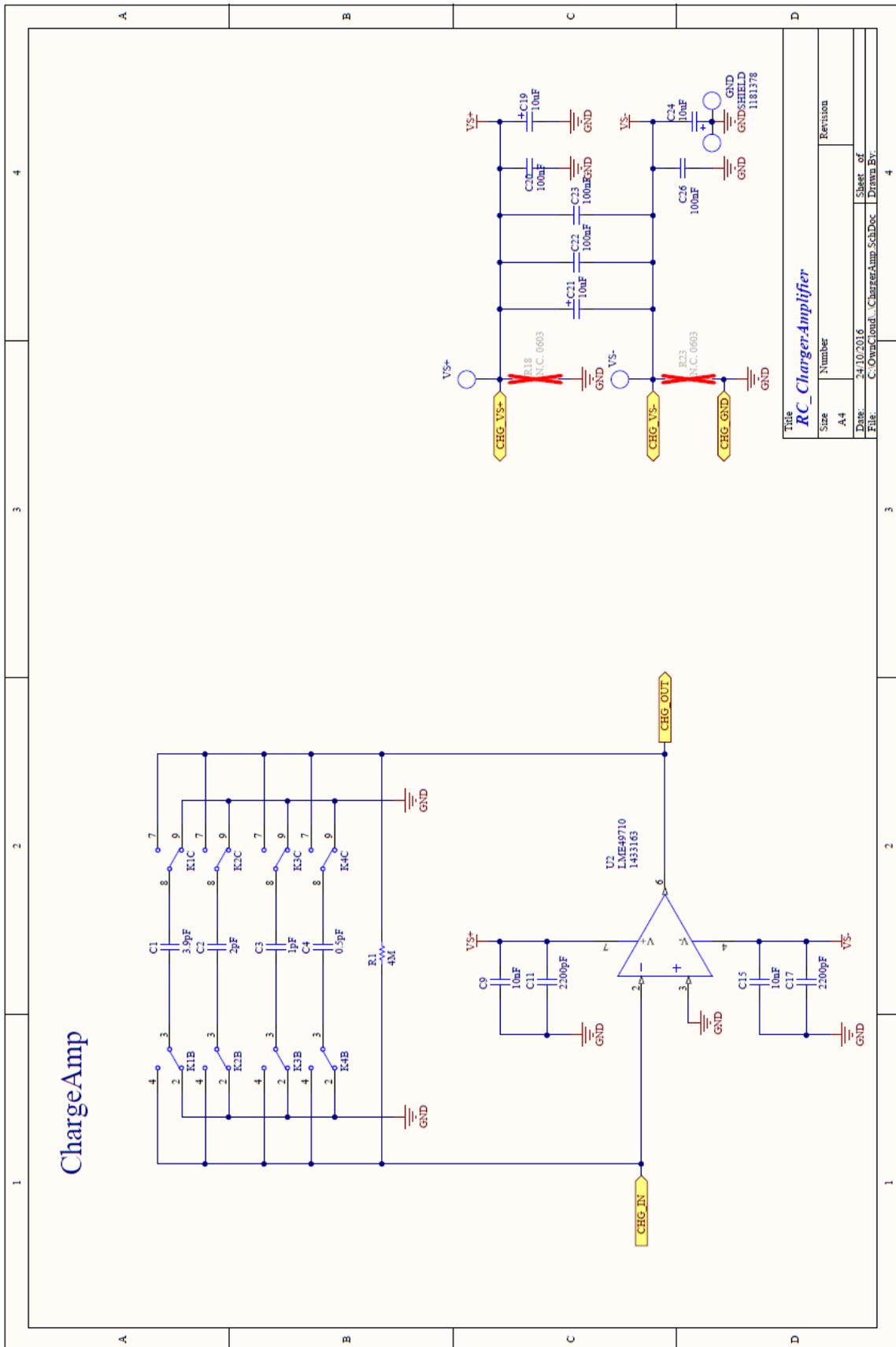


Figura 9-9 - Esquema Amplificador de Carga

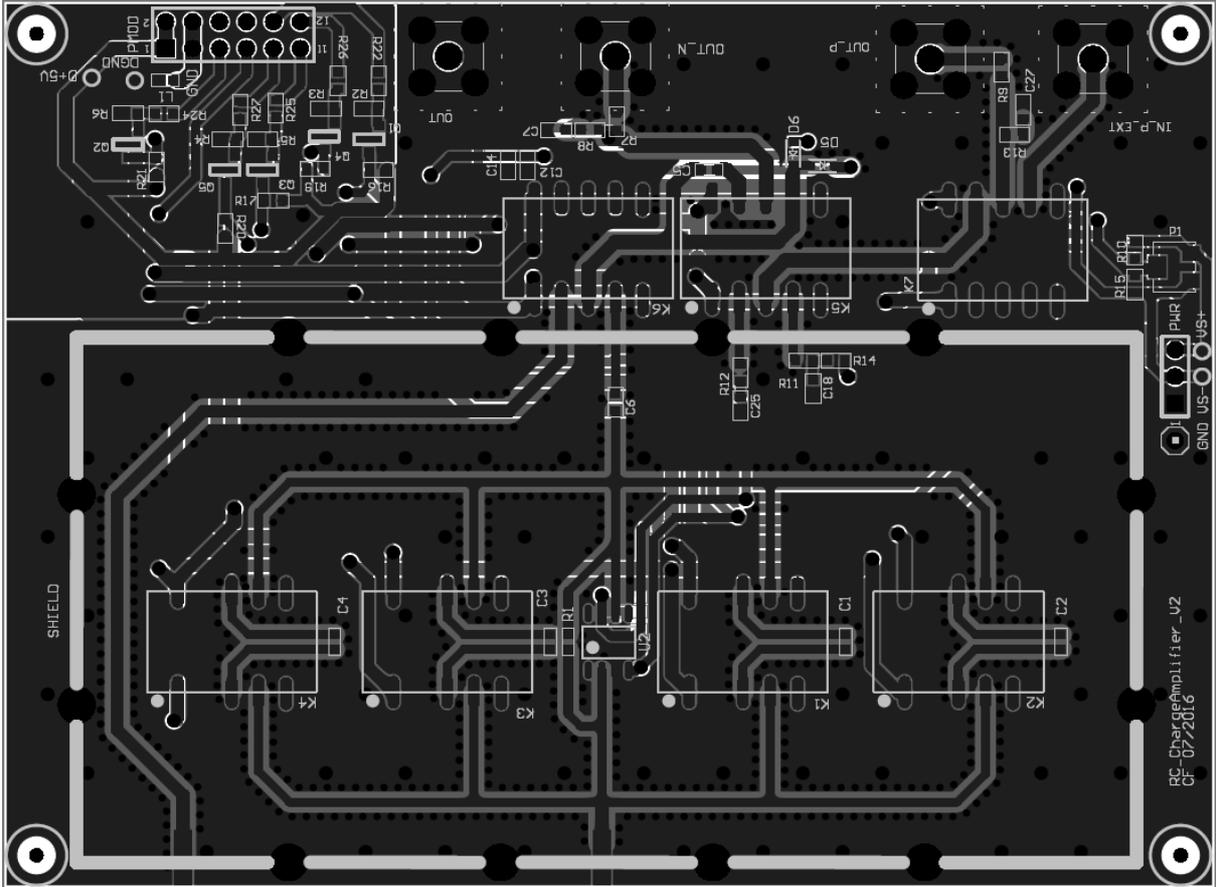


Figura 9-10 - Layout PCB Amplificador de Carga

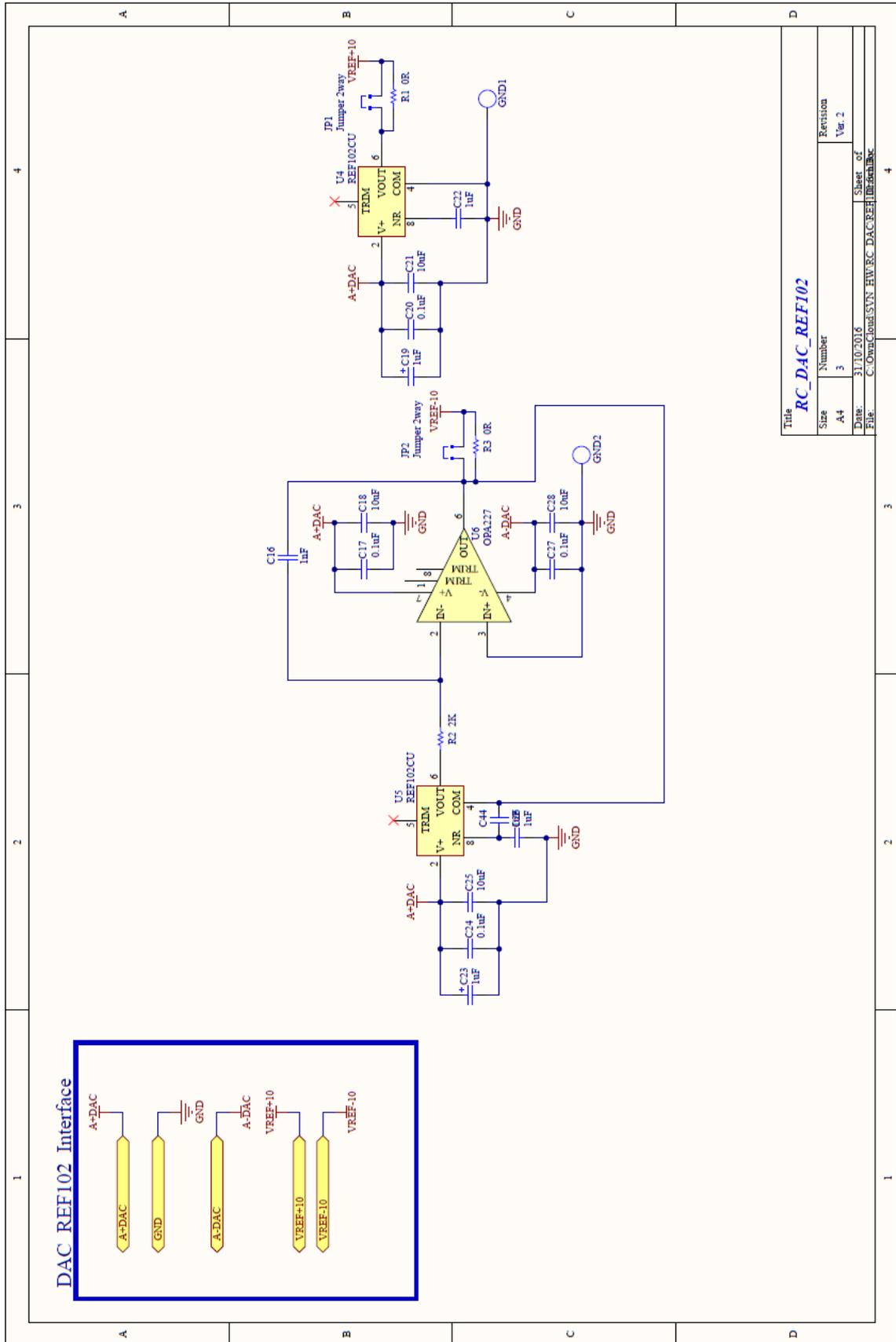


Figura 9-11 - Esquema Referências DACs

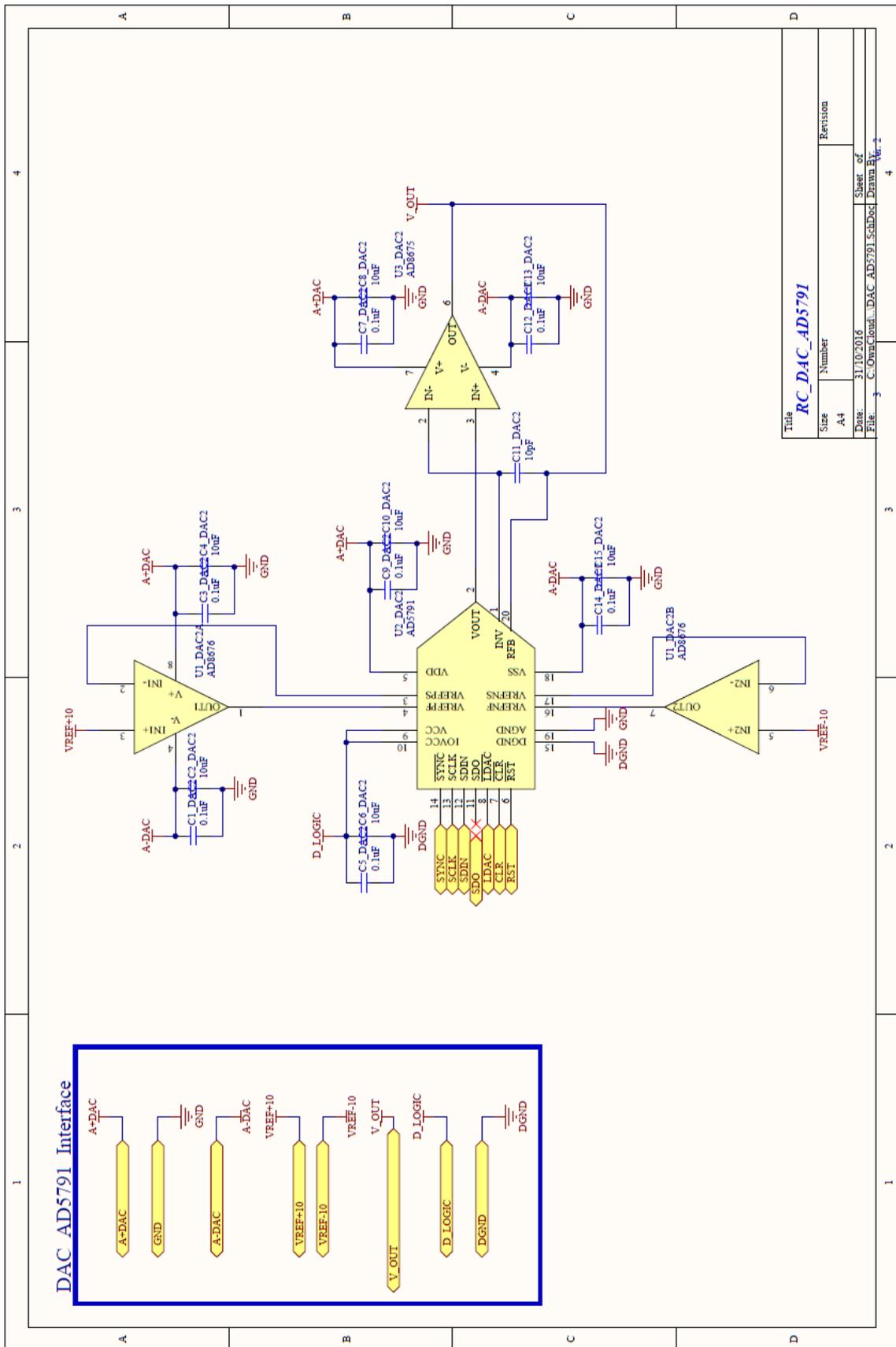


Figura 9-13 - Esquema DAC2

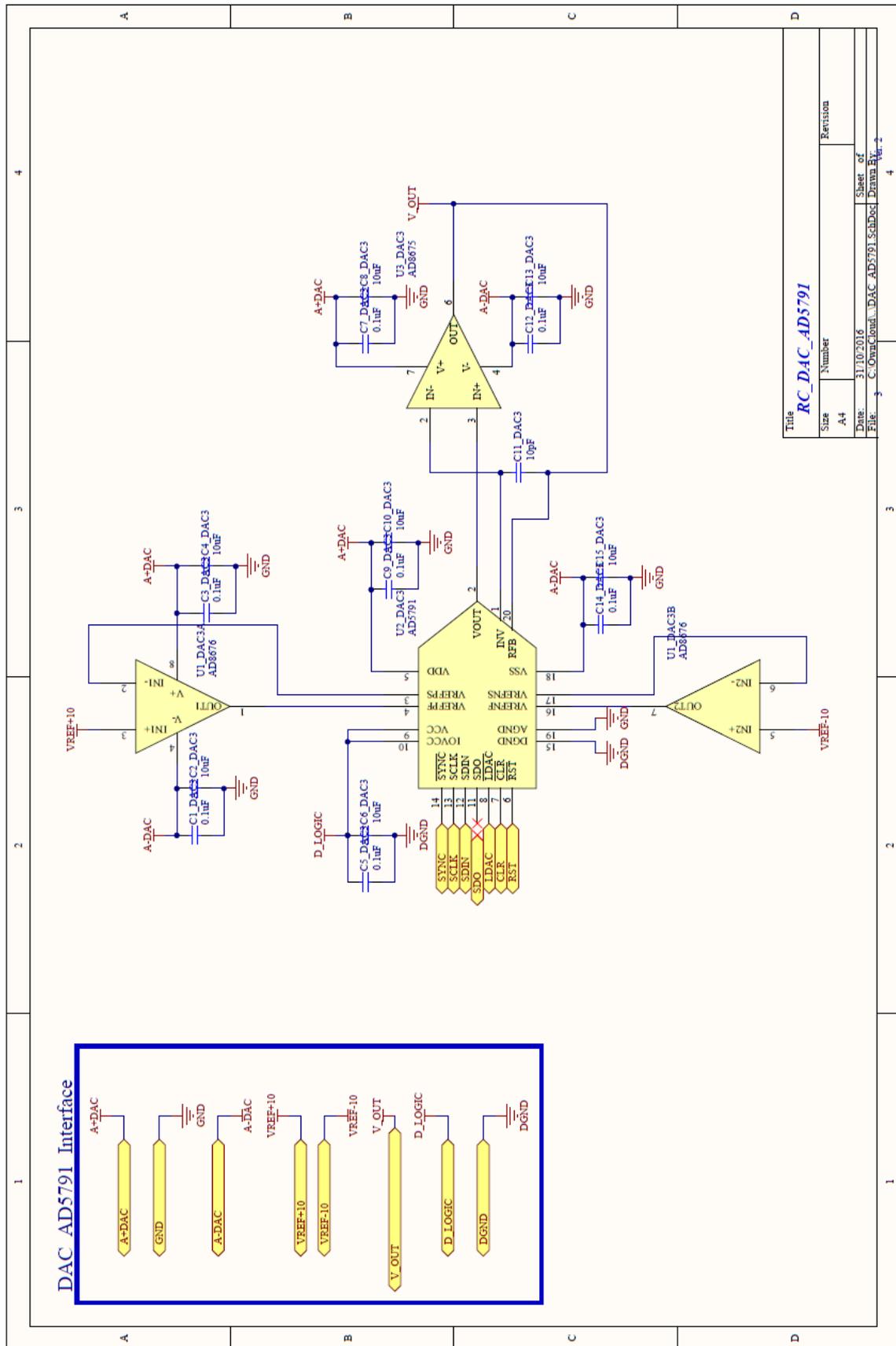


Figura 9-14 - Esquema DAC3

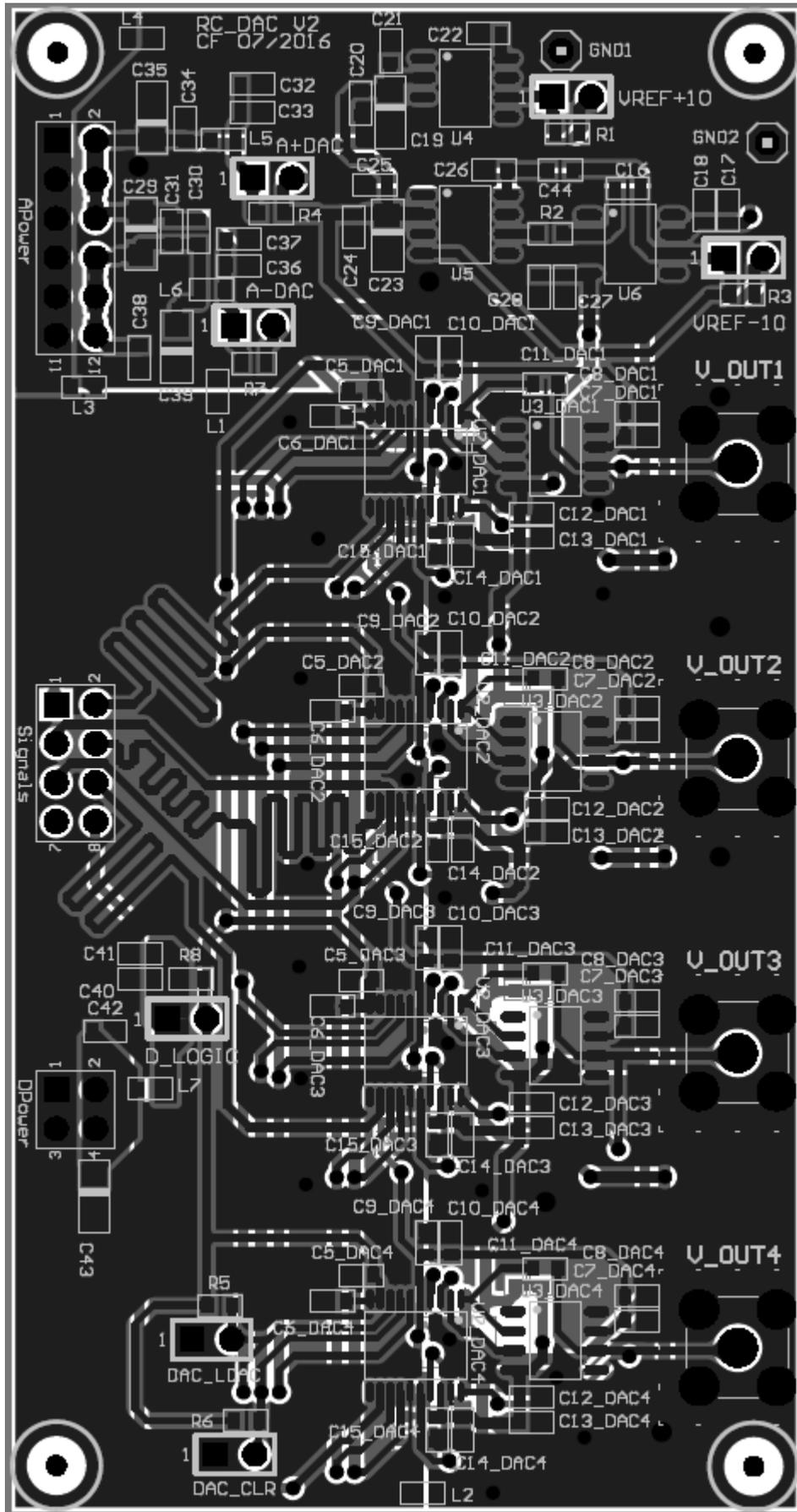


Figura 9-16 - Layout PCB DACs

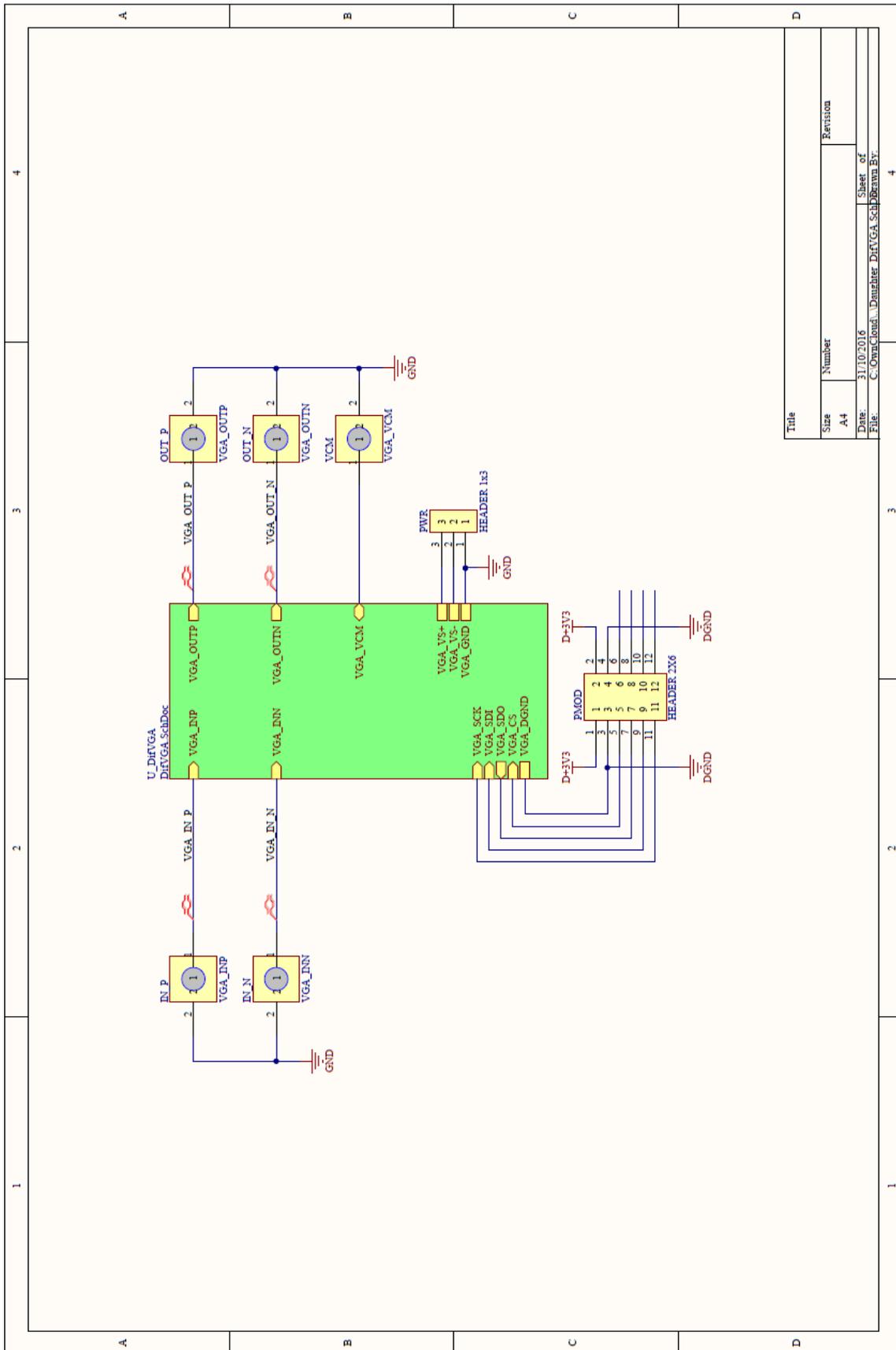


Figura 9-17 - Esquema Interligações Amplificador Diferencial de Ganho Variável

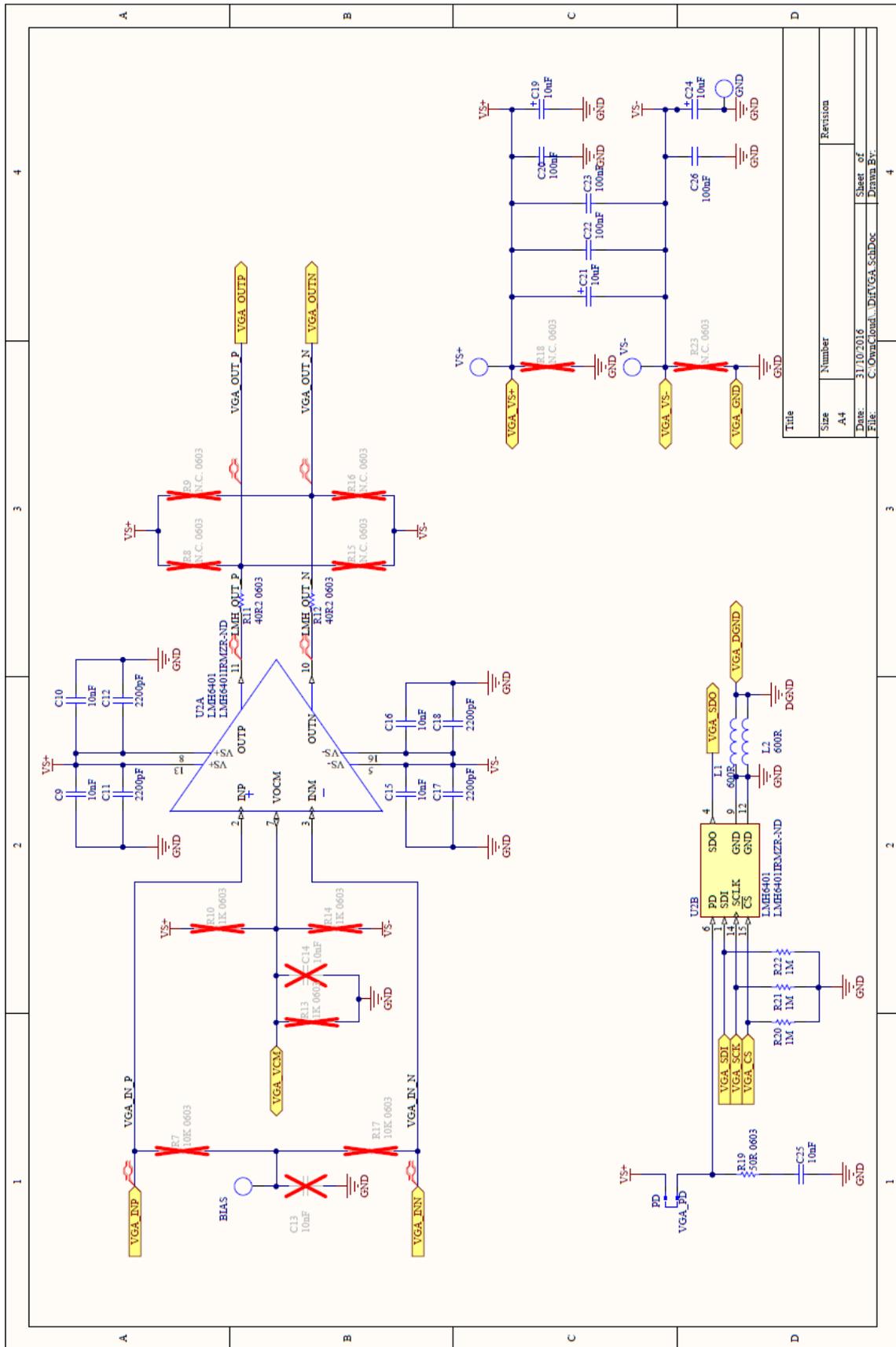


Figura 9-18 - Esquema Amplificador Diferencial de Ganho Variável

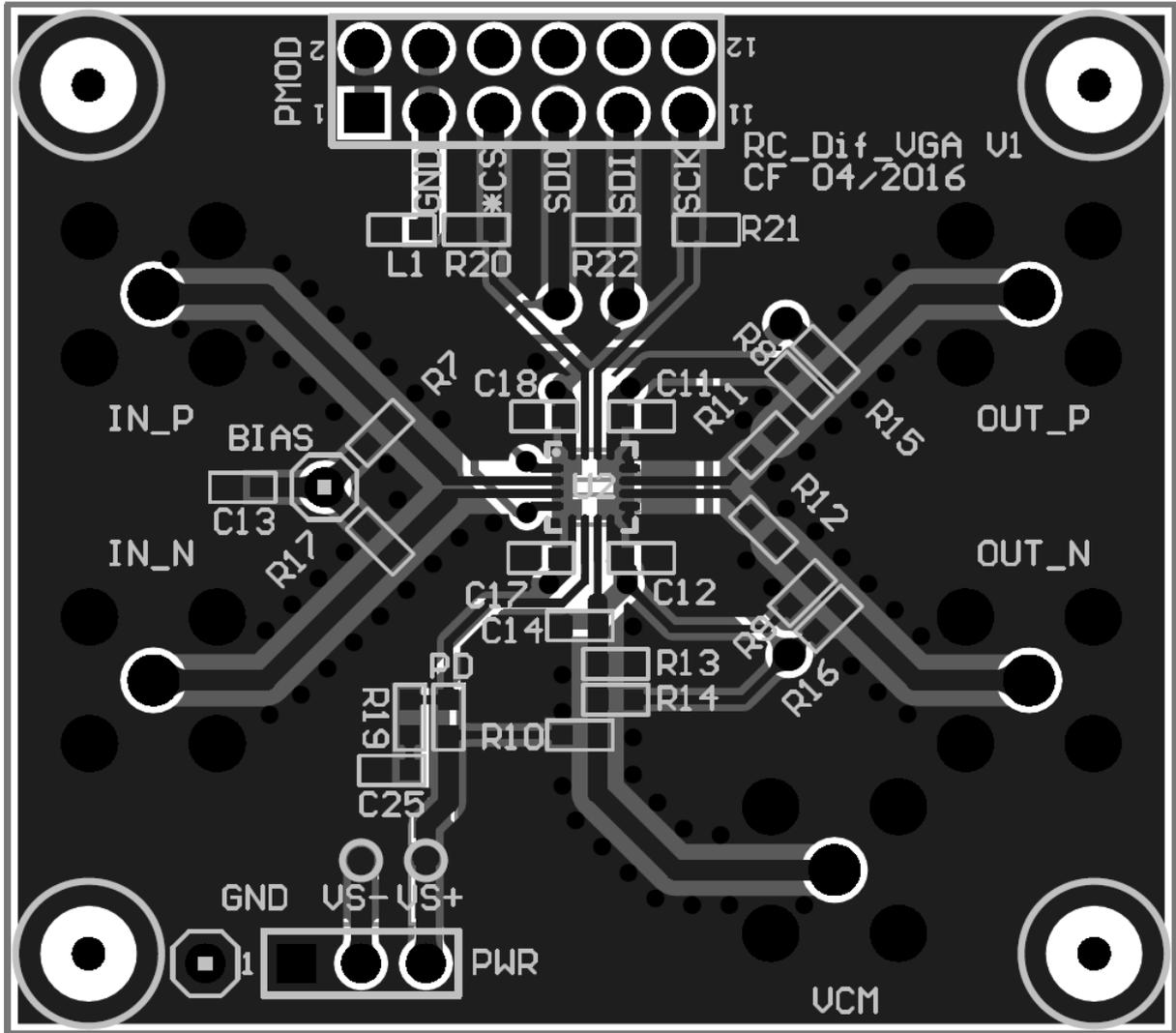


Figura 9-19 - Layout PCB Amplificador Diferencial de Ganho Variável

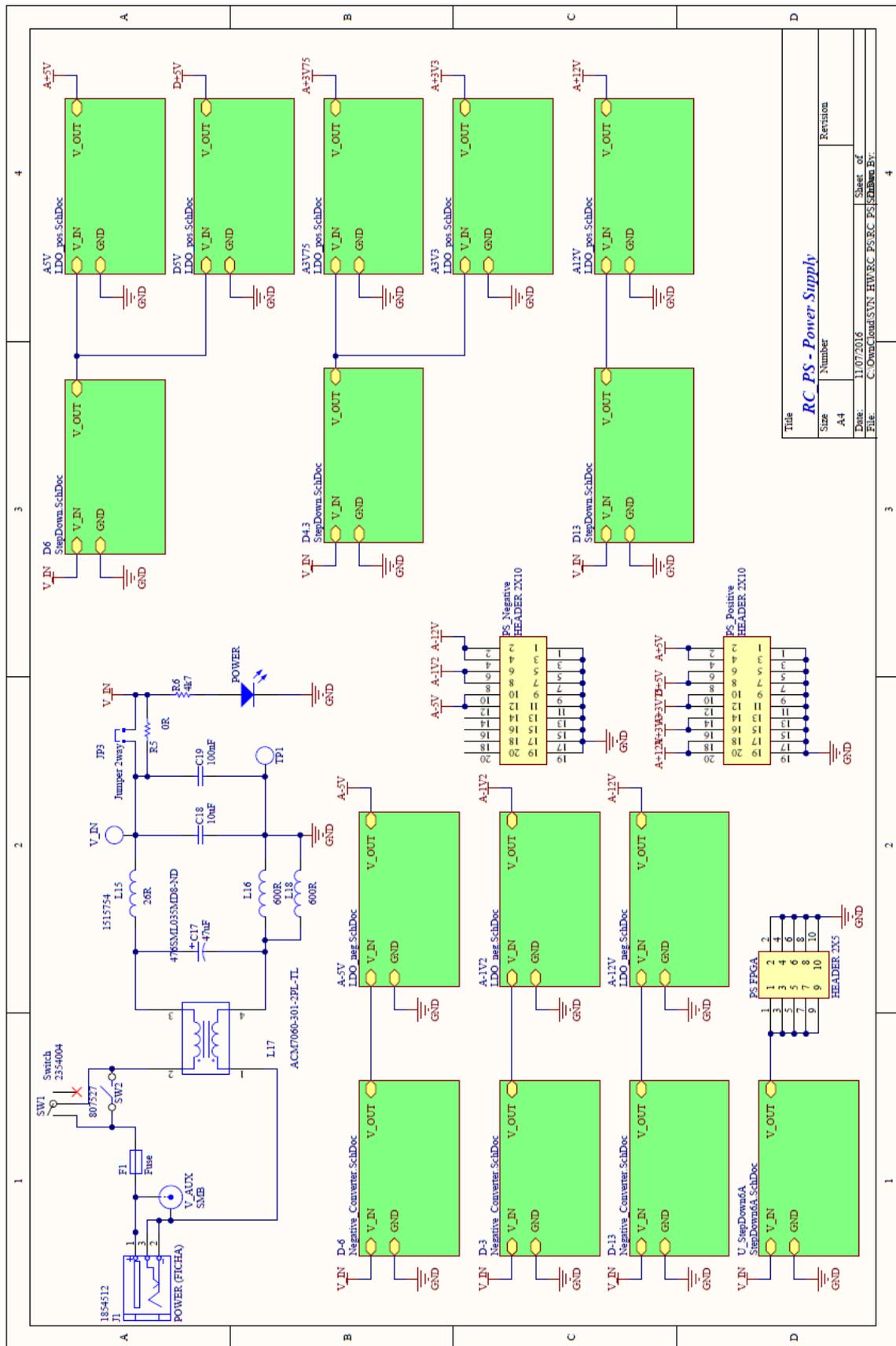


Figura 9-20 - Esquema de Interligações Fonte de Alimentação

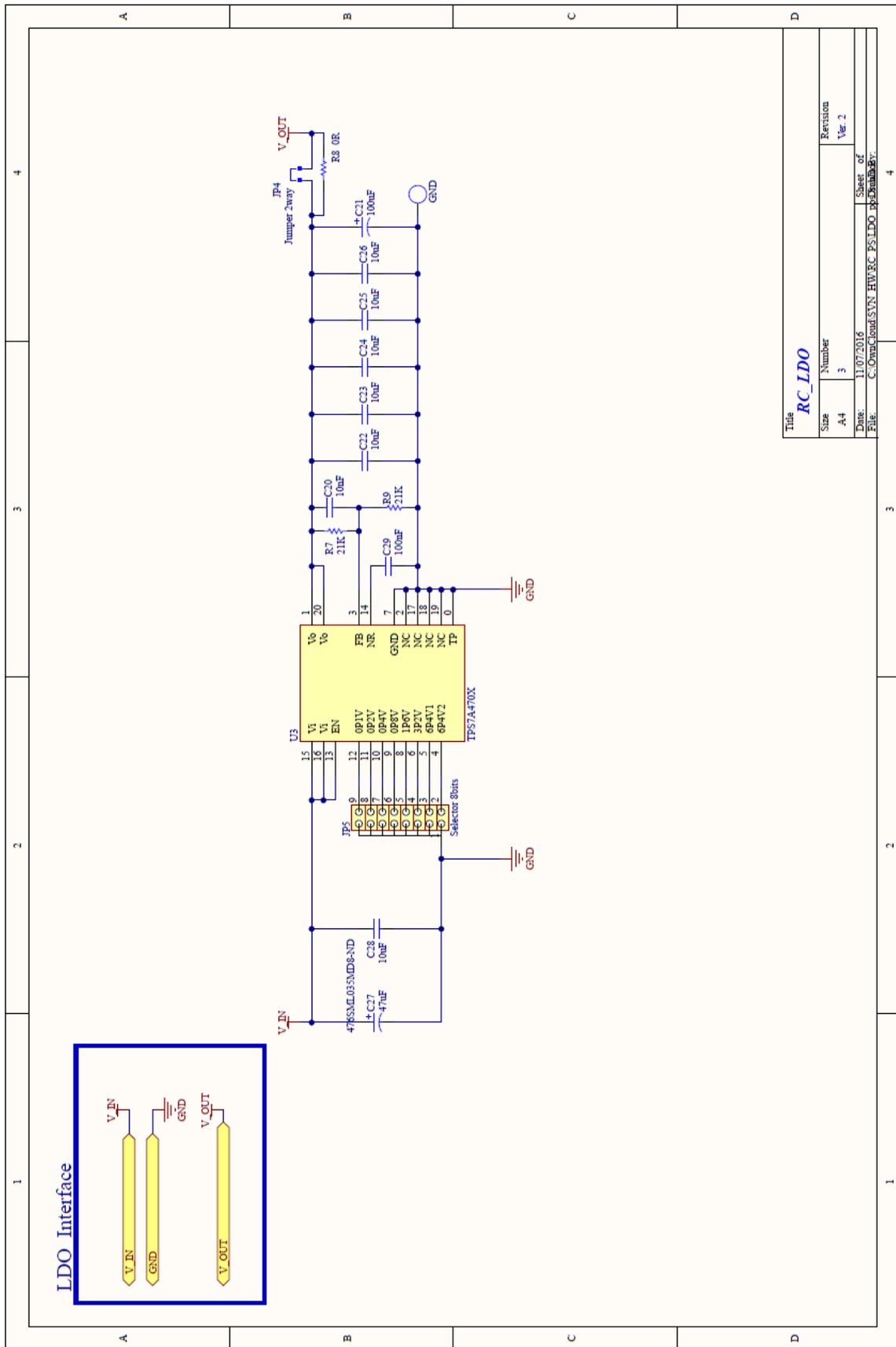


Figura 9-21 - Esquema Regulador LDO

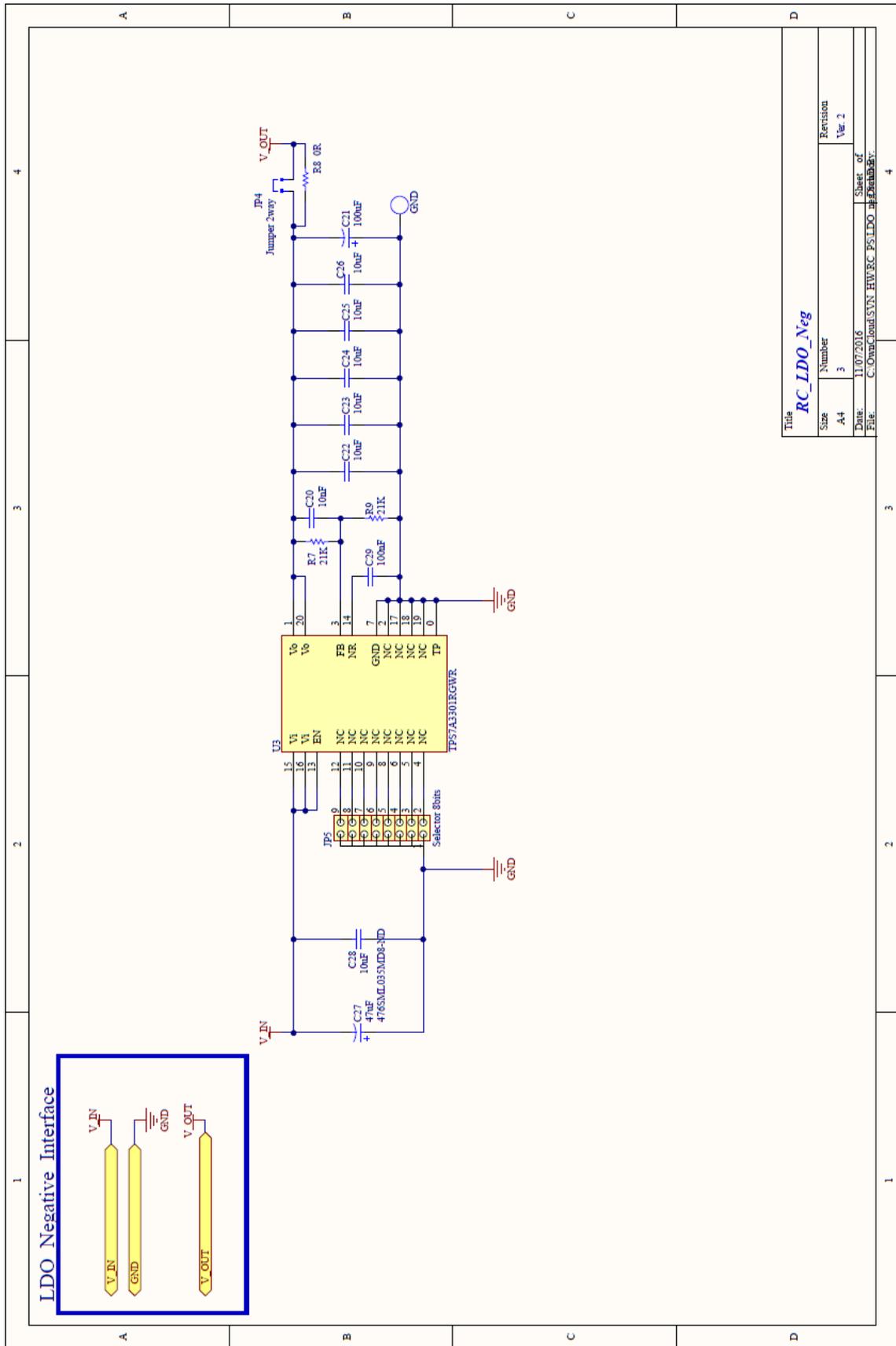


Figura 9-22 - Esquema LDO negativo

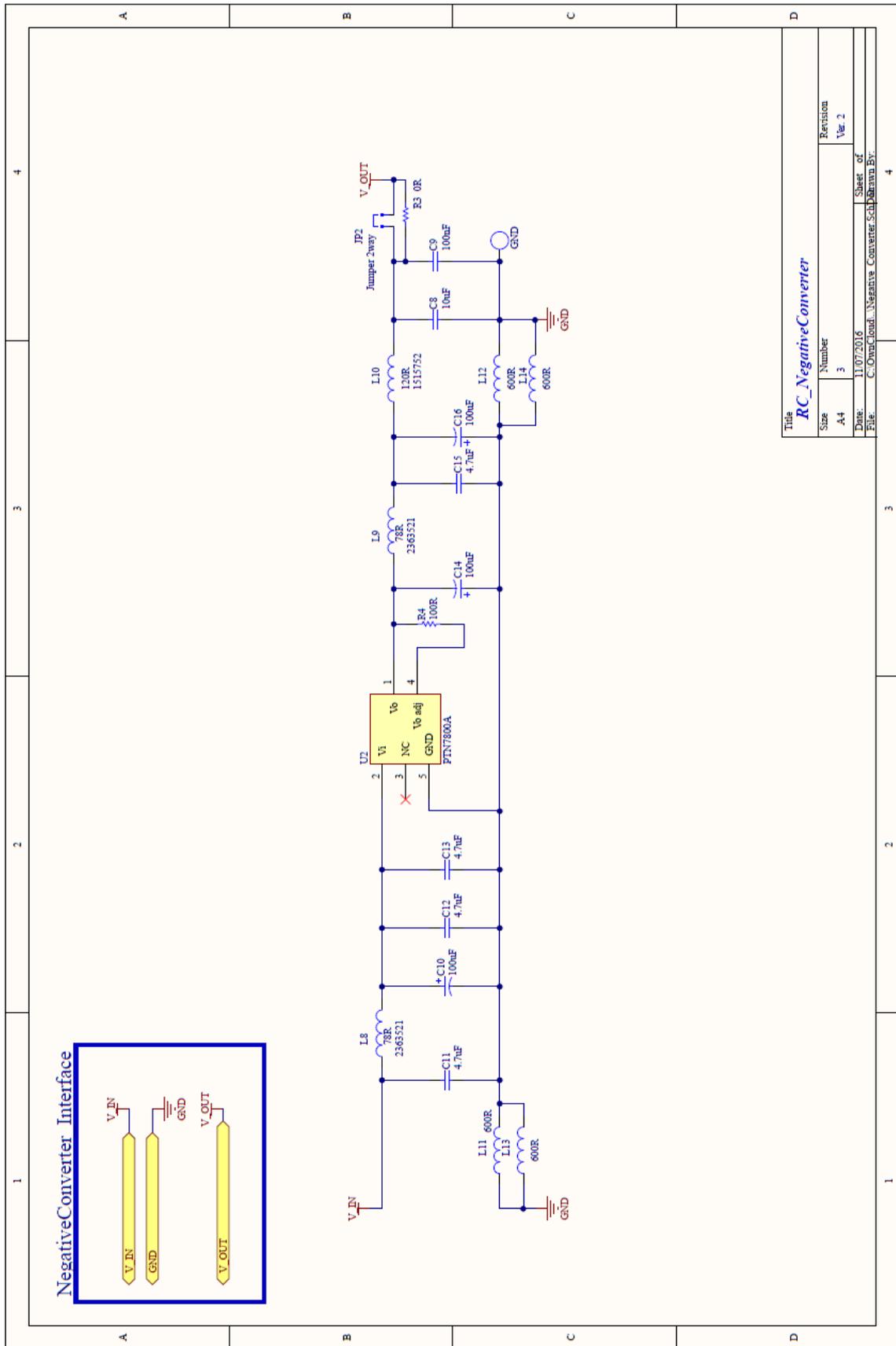


Figura 9-23 - Esquema Conversor de tensão negativo

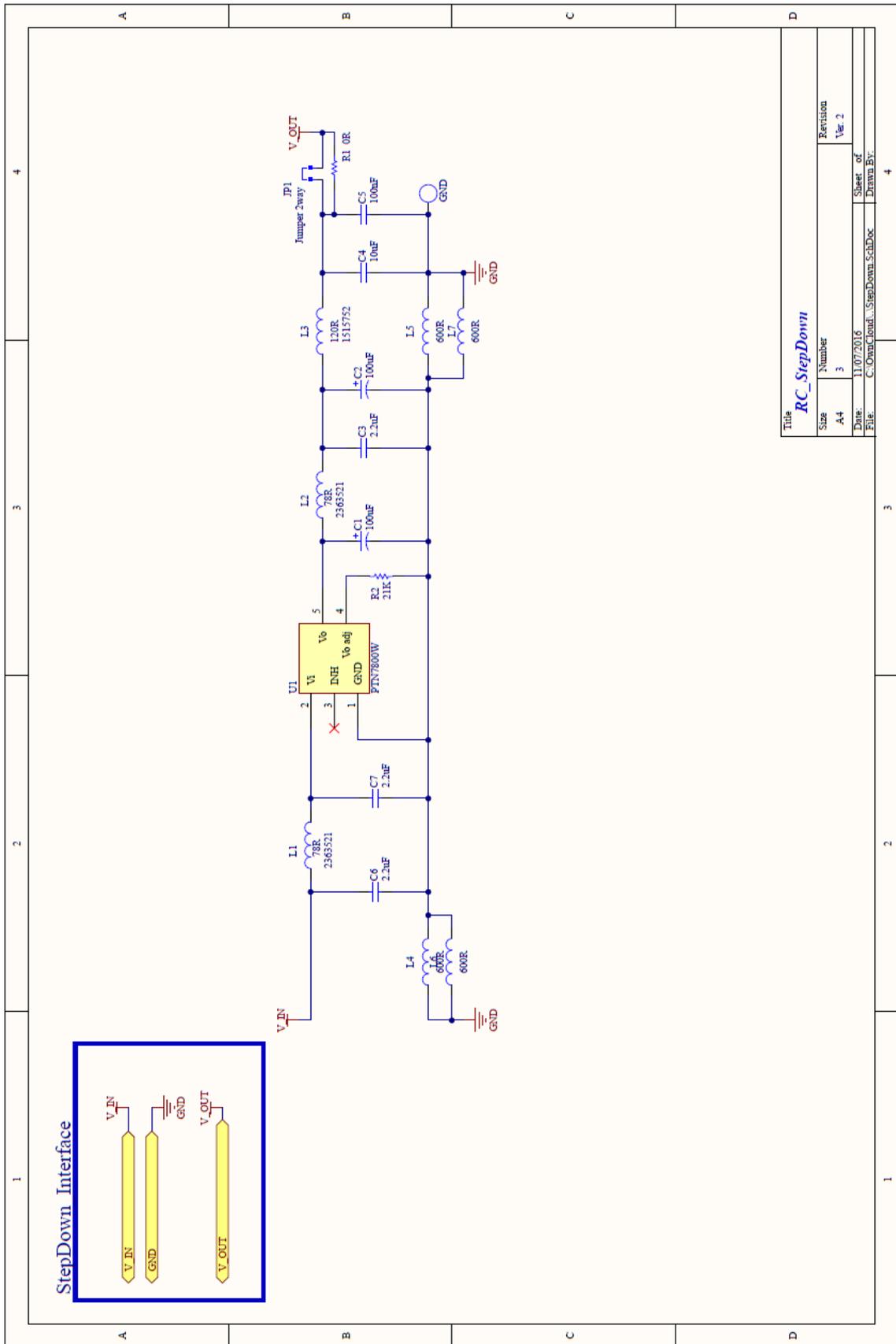


Figura 9-24 - Fonte Comutada (Step-Down) 1.5A

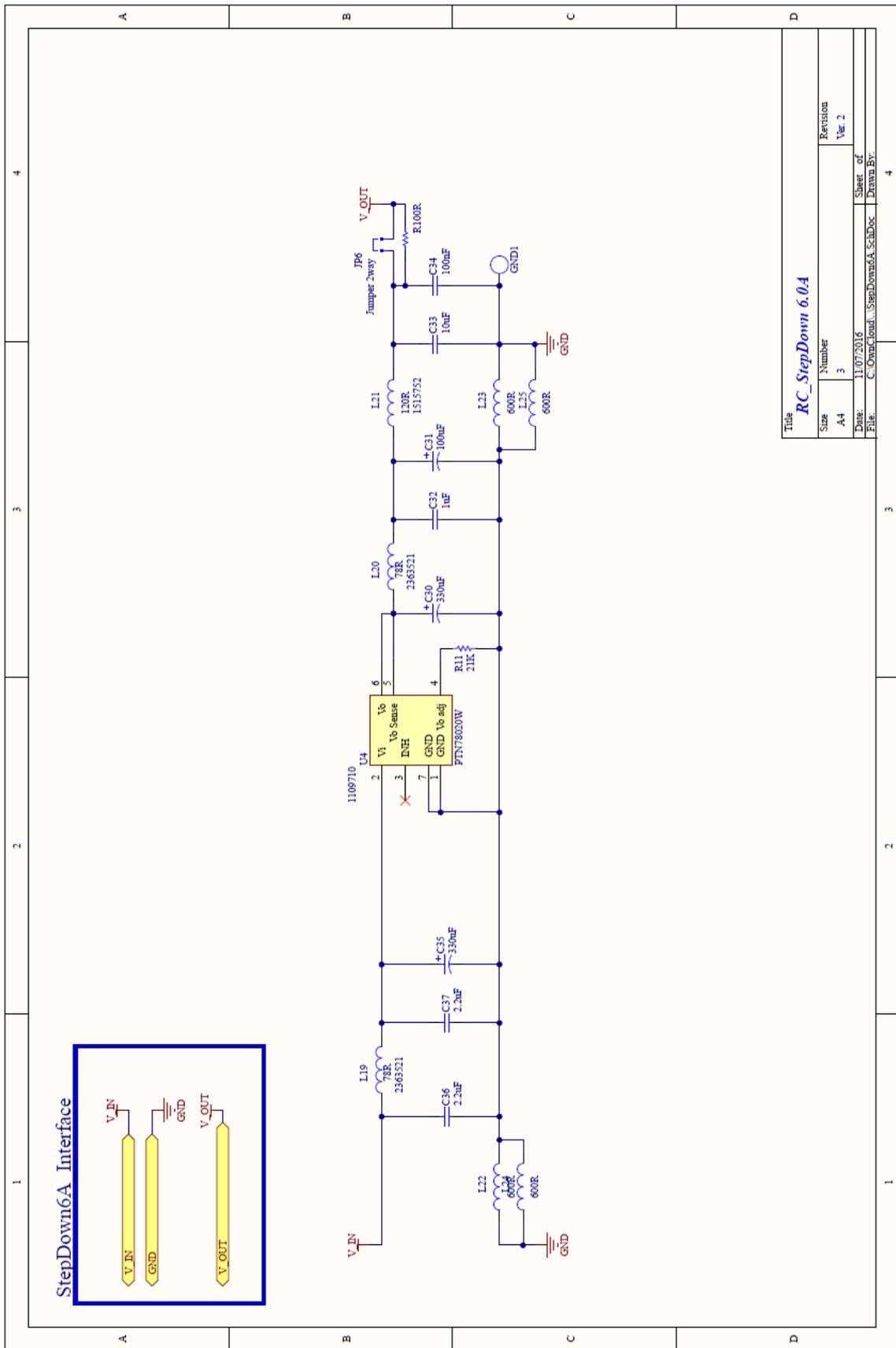


Figura 9-25 - Fonte Comutada (Step-Down) 6A

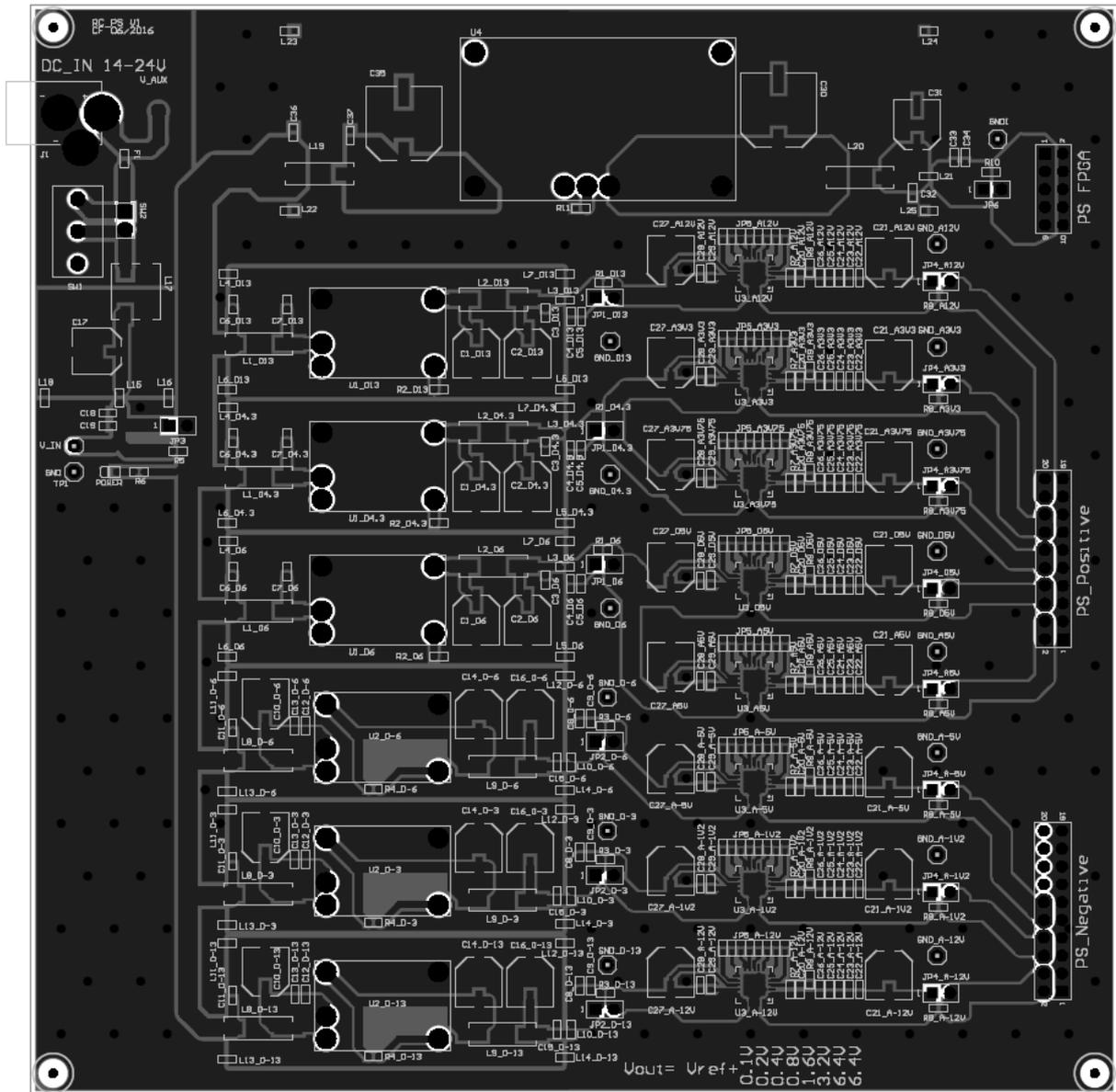


Figura 9-26 - Layout PCB Fonte de Alimentação

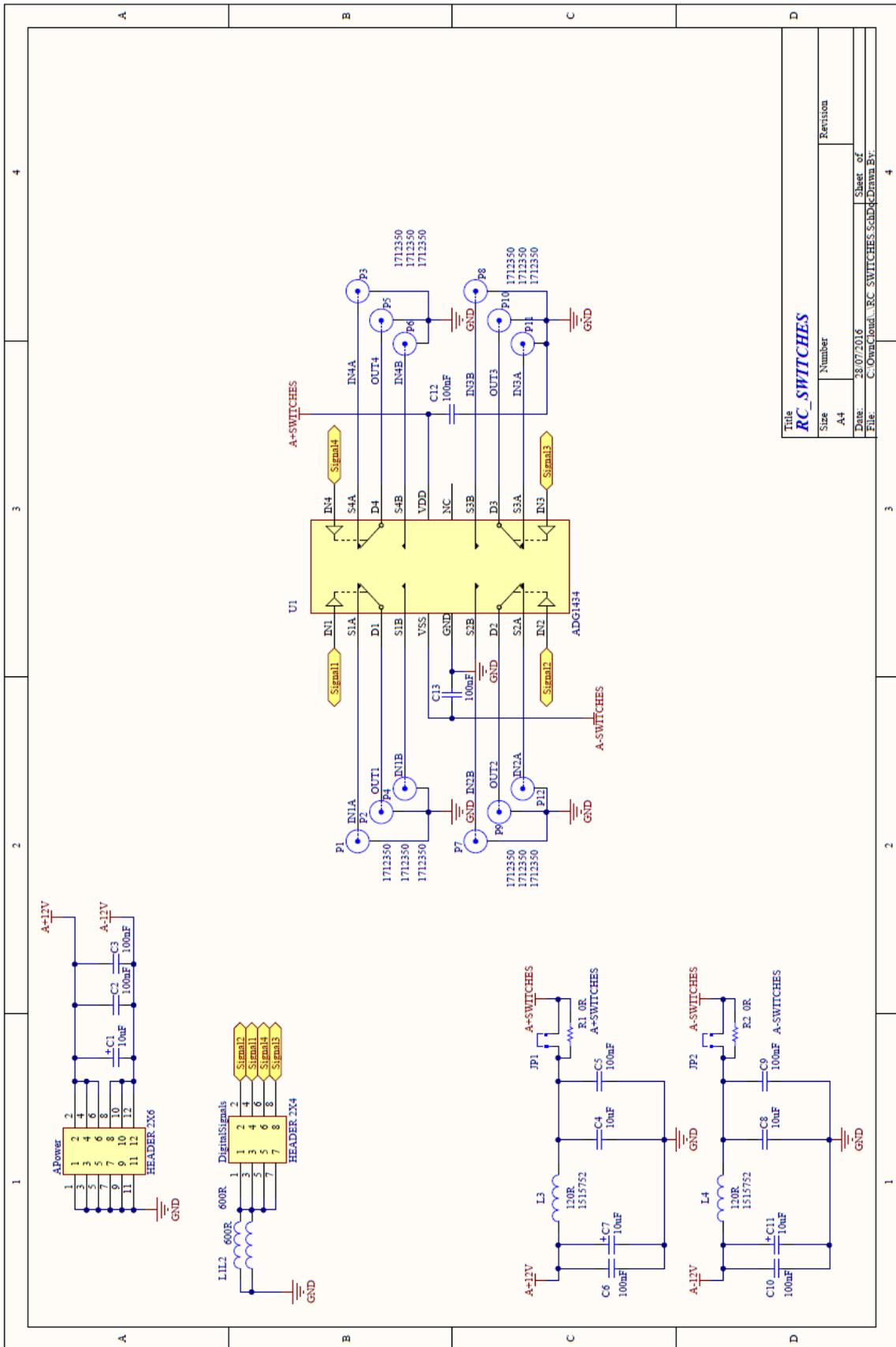


Figura 9-27 - Esquema Interruptores analógicos

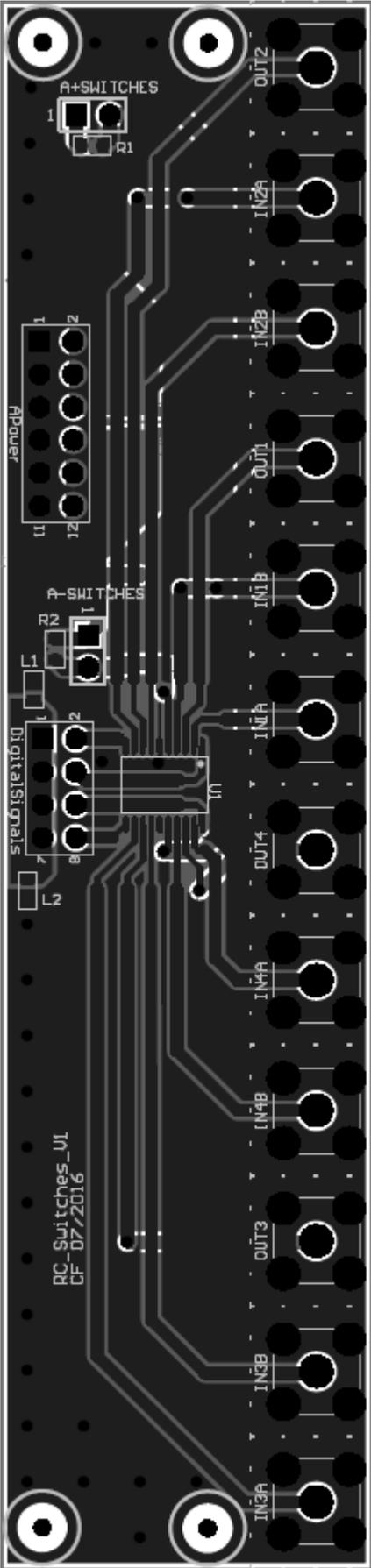
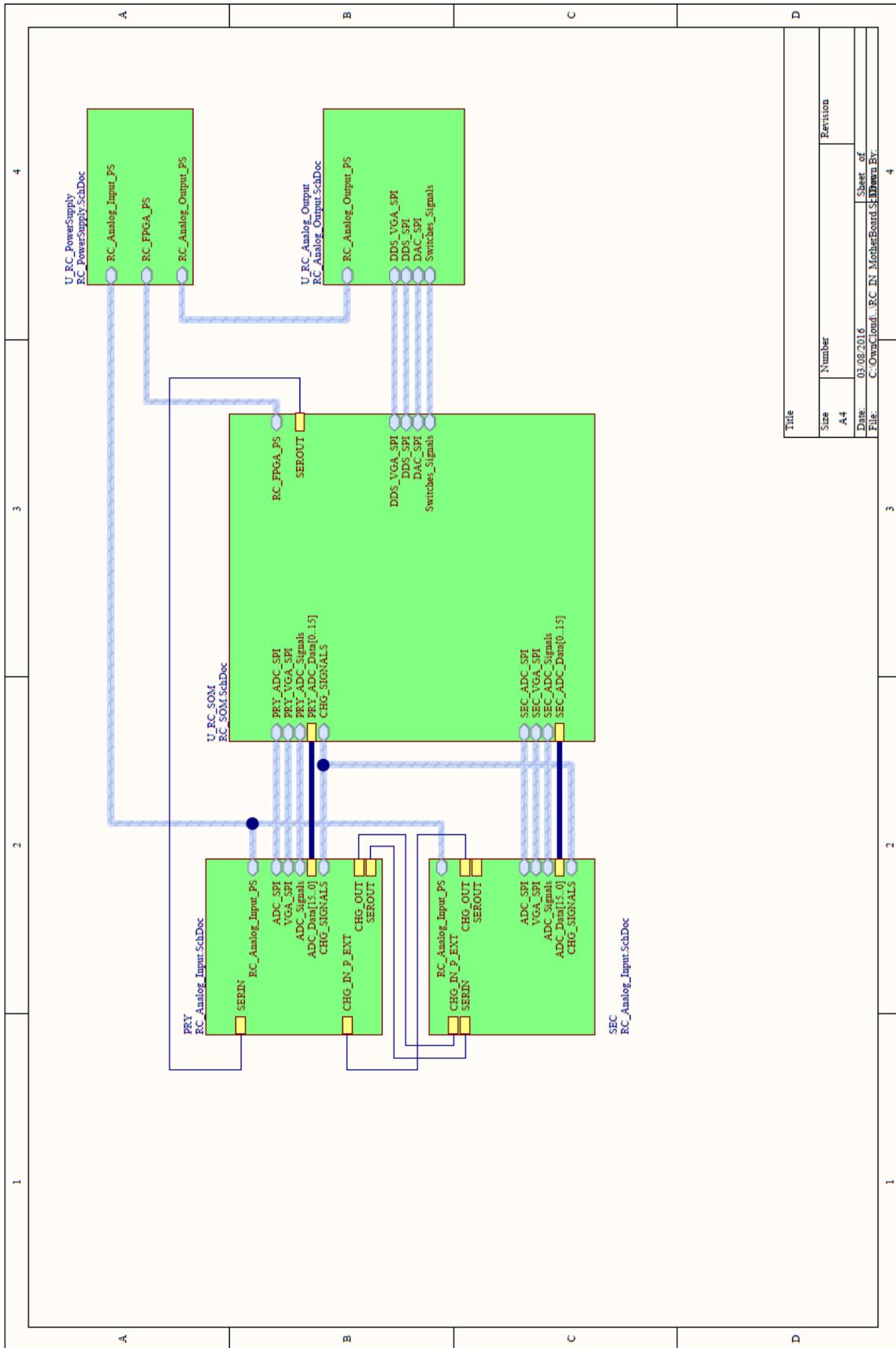


Figura 9-28 - Layout PCB Interruptores Analógicos



Title	
Size	Revision
A4	
Date:	03.08.2016
File:	C:\OwaCloud\...RC IN MotherBoard_SchDoc
	Sheet of
	4

Figura 9-29 - Esquema Interligações Placa Mãe

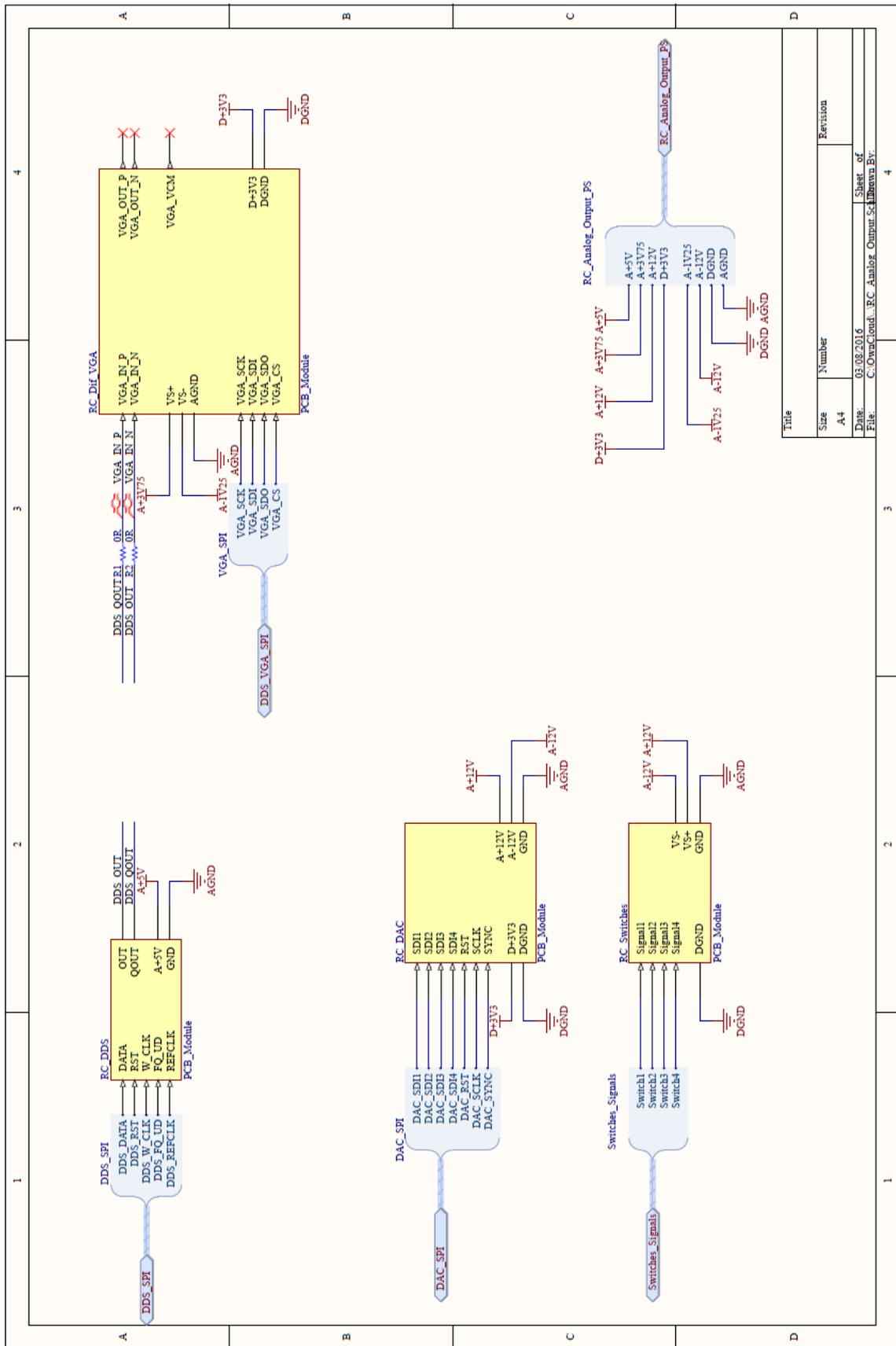
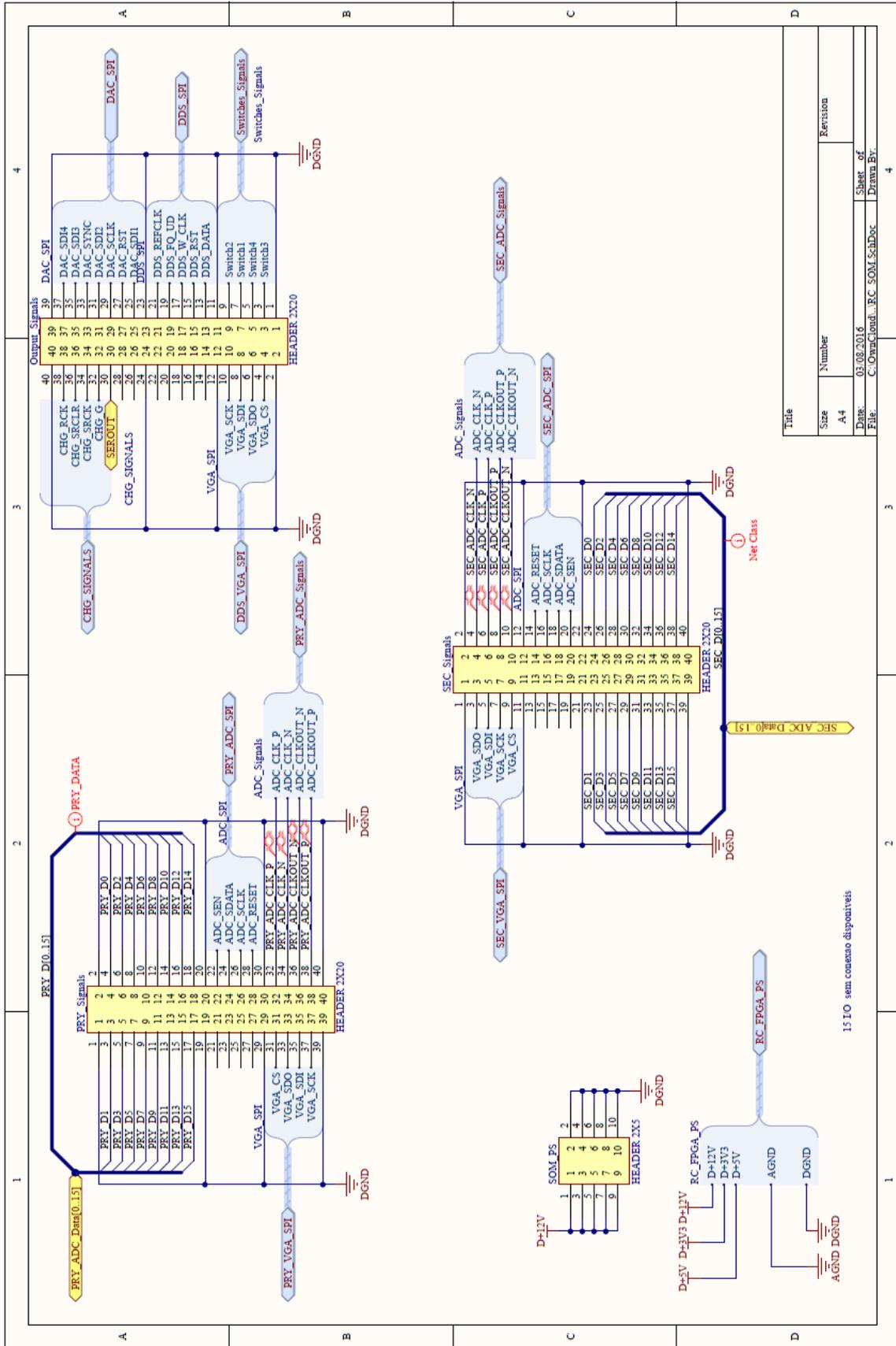


Figura 9-30 - Esquema sistema de Atuação



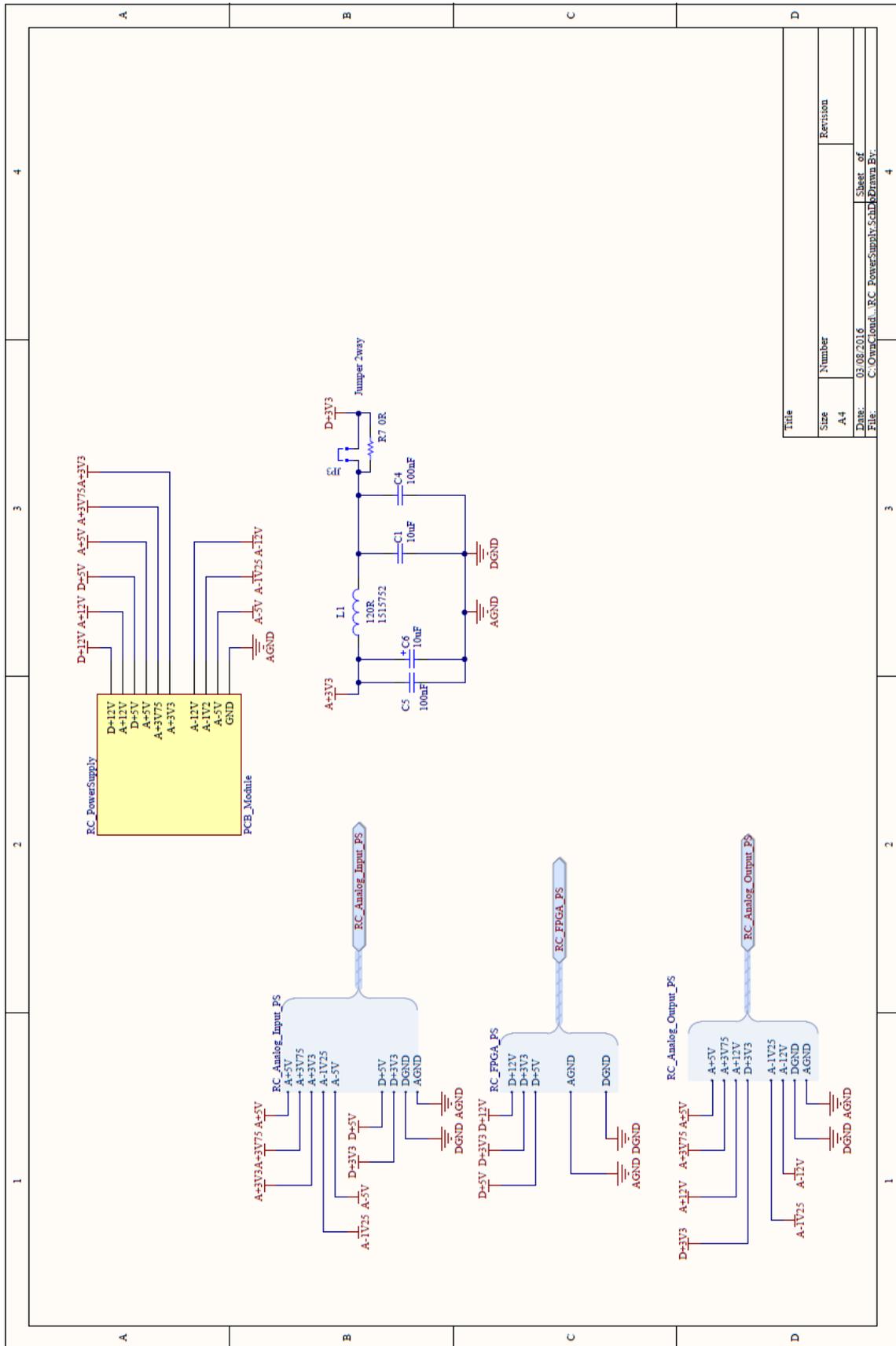


Figura 9-32 - Esquema Ligações Fonte de Alimentação

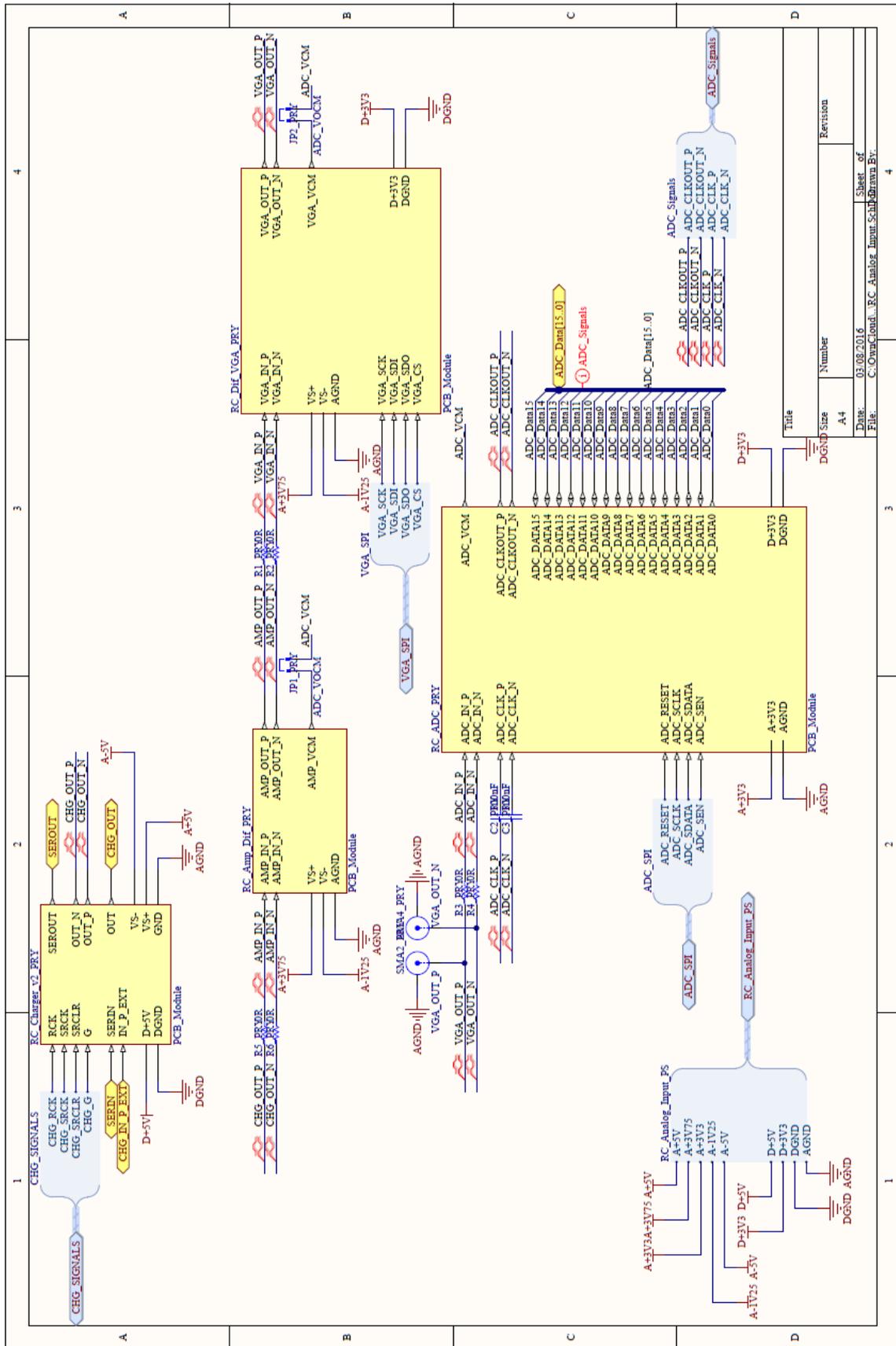


Figura 9-33 - Esquema Ligações Canal de Entrada 1

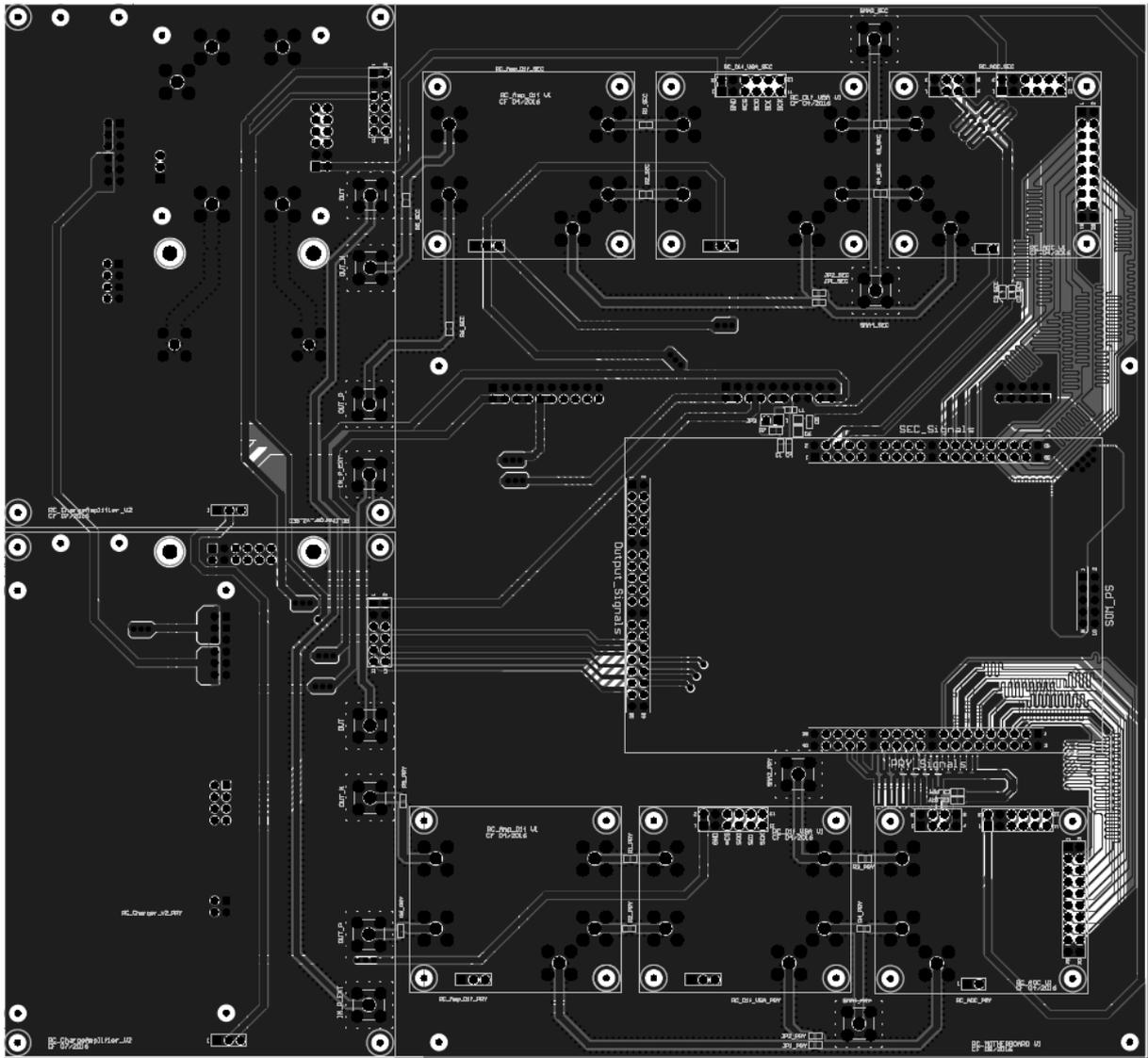


Figura 9-35 - Layout PCB Placa Mãe

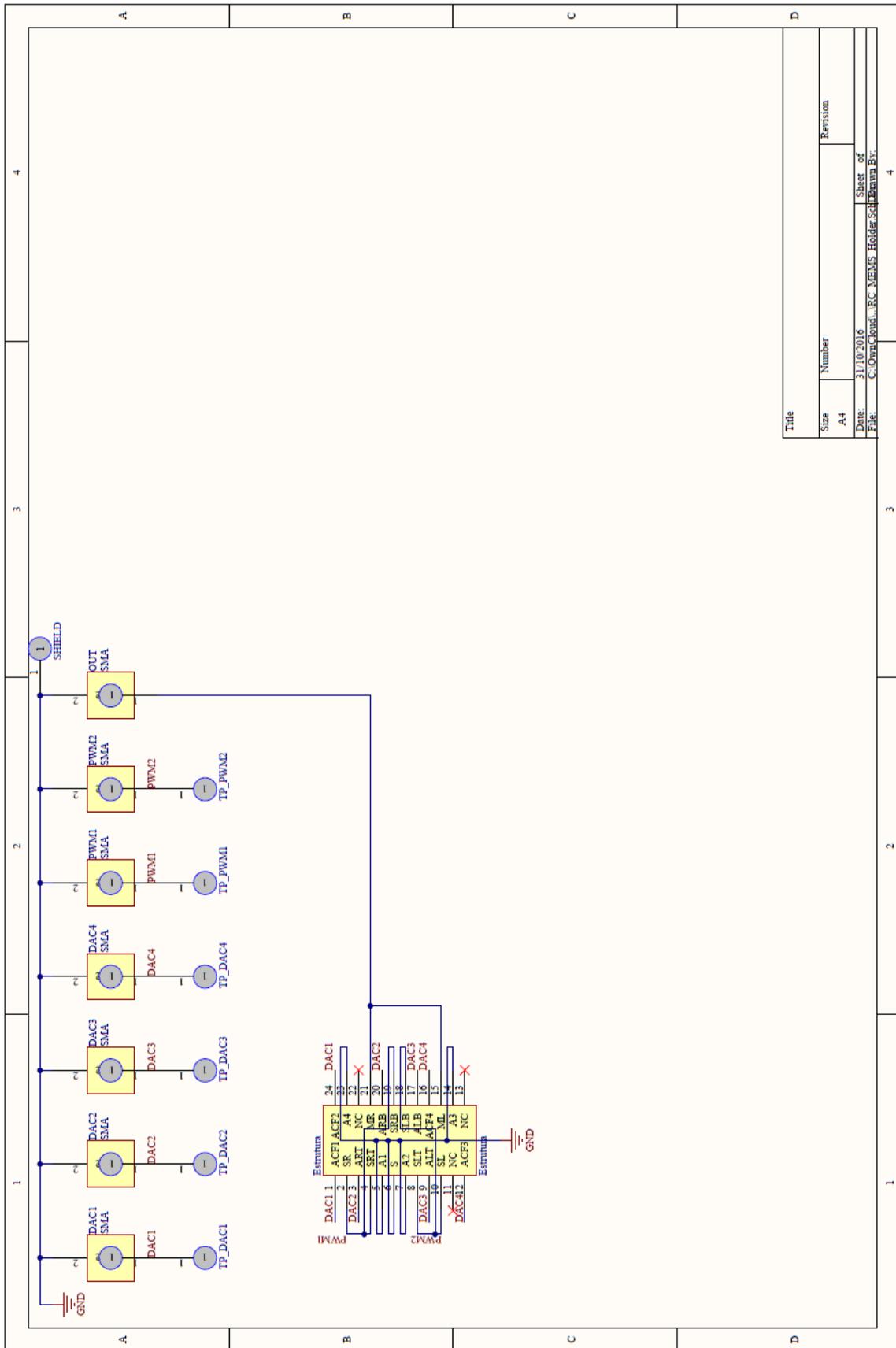


Figura 9-36 - Esquema Ligações Estrutura MEMS UMinho Holder

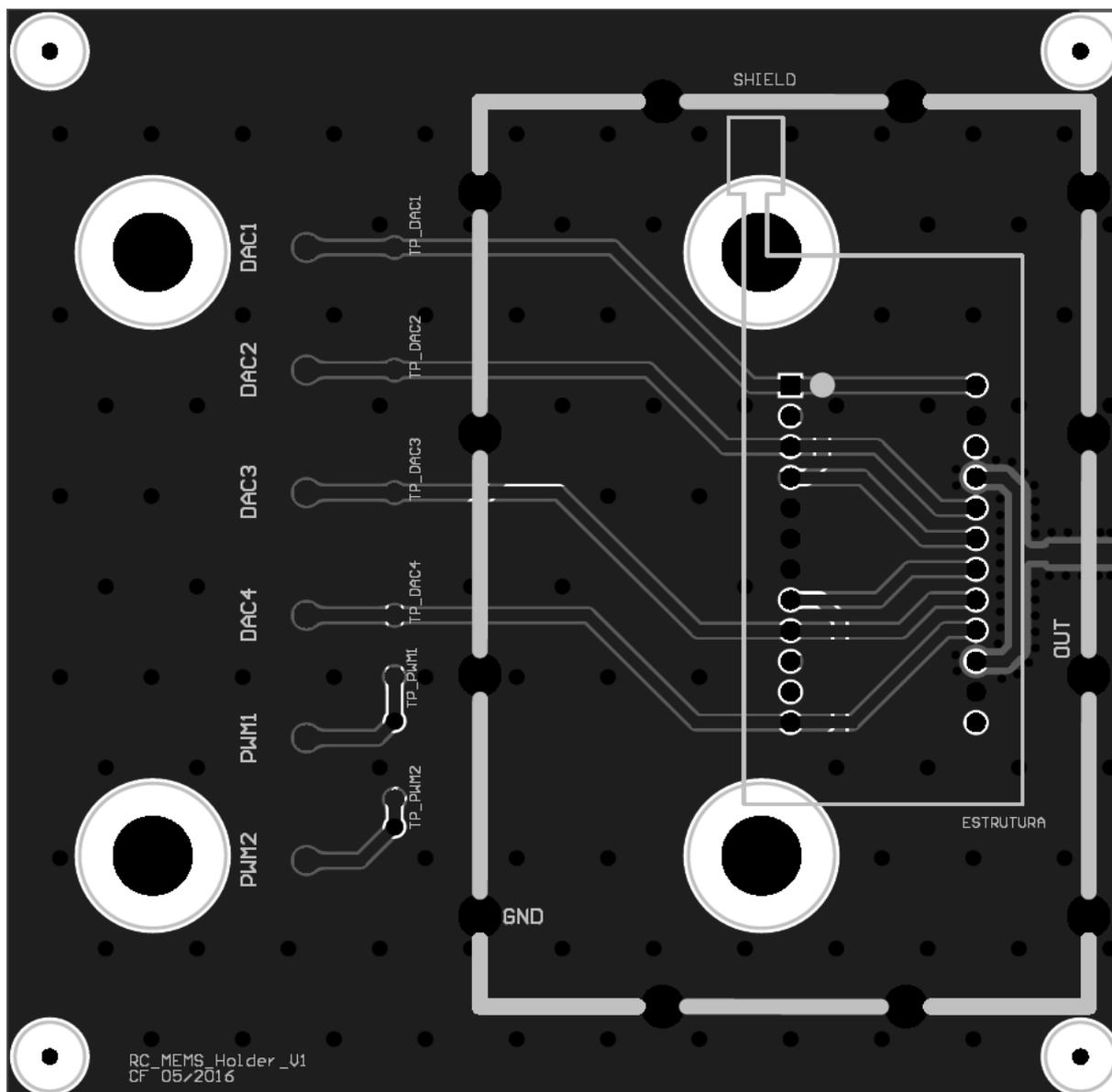


Figura 9-37 - Layout PCB MEMS Holder

10. ANEXO II – MENSAGENS DE COMUNICAÇÃO

Mensagens Configuração						
Mensagem	ID		Valor		Unidade	Ação
	Min	Max	Min	Max		
RC<ID>:ADC:FREQ:<VALOR>	1	2	0	17500000	Hz	Configura a frequência de amostragem de um canal<ID>
RC<ID>:ADC:GAIN:<VALOR>	1	2	0	6	dB	Configura o ganho do ADC de um canal<ID>
RC<ID>:AC_DC:<VALOR>	1	2	AC	DC	String	Seleciona a entrada do canal <ID> como AC ou DC
RC<ID>:CD:<VALOR>	1	2	C	D	-	Seleciona a entrada do canal <ID> como Charge Amplifier ou Direto
RC<ID>:SD:<VALOR>	1	2	S	D	-	Seleciona a entrada do canal <ID> como Single Ended ou Diferencial
RC<ID>:CG:<VALOR>	1	2	0,169	2	GAIN/PF	Seleciona o ganho do canal de entrada <ID>
RC<ID>:GAIN:<VALOR>	1	2	-6	26	-	Configura o ganho do ADC de um canal<ID>
DAC<ID>:SEL:WG	1	4	-	-	-	Seleciona como saída do DAC<ID> o Wave Generator
DAC<ID>:SEL:ADC	1	4	-	-	-	Seleciona como saída do DAC<ID> o ADC
DAC<ID>:SEL:PHS	1	4	-	-	-	Seleciona como saída do DAC<ID> o fase
DAC<ID>:SEL:AMP	1	4	-	-	-	Seleciona como saída do DAC<ID> o amplitude
DAC<ID>:SEL:I	1	4	-	-	-	Seleciona como saída do DAC<ID> o I
DAC<ID>:SEL:Q	1	4	-	-	-	Seleciona como saída do DAC<ID> o Q
DAC<ID>:WG:TYPE:SIN	1	4	-	-	-	Seleciona o tipo de onda sinusoidal para o DAC<ID>
DAC<ID>:WG:TYPE:TRI	1	4	-	-	-	Seleciona o tipo de onda triangular para o DAC<ID>
DAC<ID>:WG:TYPE:SQR	1	4	-	-	-	Seleciona o tipo de onda quadrada para o DAC<ID>
DAC<ID>:WG:TYPE:RAMP	1	4	-	-	-	Seleciona o tipo de onda rampa para o DAC<ID>
DAC<ID>:WG:TYPE:PWM	1	4	-	-	-	Seleciona o tipo de onda PWM para o DAC<ID>
DAC<ID>:WG:TYPE:DC	1	4	-	-	-	Seleciona DC para o DAC<ID>
DAC<ID>:WG:FREQ:<VALOR>	1	4	1	7	MHz	Altera a frequência da onda do gerador <ID> para <valor> Hz
DAC<ID>:WG:AMP:<VALOR>	1	4	-10	10	Volts	Altera a amplitude da onda do gerador <ID> para <valor> Volts
DAC<ID>:WG:OFFSET<VALOR>	1	4	-10	10	Volts	Altera o offset da onda do gerador <ID> para <valor>Volts
DAC<ID>:WG:DUTY:<VALOR>	1	4	0	100	%	Altera o duty cycle da onda quadrada ou triangular do gerador <ID> para <valor> %
DAC<ID>:WG:PHASE:<VALOR>	1	4	-180	180	Graus	Altera o desfasamento da onda do gerador <ID> para <valor> graus
LI<ID>:DEC:<VALOR>	-	-	0	1000000	-	Fator de decimação do amplificador Lock-In
LI:<id>:B2	PRE	POST	-	-	-	Coefficiente B2 do filtro
LI:<id>:B1	PRE	POST	-	-	-	Coefficiente B1 do filtro
LI:<id>:A2	PRE	POST	-	-	-	Coefficiente A2 do filtro
LI:<id>:A1	PRE	POST	-	-	-	Coefficiente A1 do filtro
LI:<id>:A0	PRE	POST	-	-	-	Coefficiente A0 do filtro
LI:<id>:G	PRE	POST	-	-	-	Coefficiente G do filtro
LI<ID>:FREQ:<VALOR>	-	-	0	5000000	Hz	Valor de frequência para geração de portadora do amplificador Lock-In
LI<ID>:GAIN:<VALOR>	-	-	-6	26	dB	Valor de amplitude para a geração de portadora do amplificador Lock-In
GET:AMP:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras da Amplitude
GET:PHS:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras da Fase
GET:I:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras de I
GET:Q:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras de Q
GET:ADC:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras de ADC
GET:MULT:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras da Multiplicação
GET:FILTER:<VALOR>	-	-	0	99000000	-	Adquire <valor> amostras após Filtro