



Universidade do Minho
Escola de Engenharia

Pedro Nuno Magalhães Morgado Morais

Circuito de leitura digital para
MEMS capacitivos

Pedro Nuno Magalhães Morgado Morais
Circuito de leitura digital para
MEMS capacitivos

UMinho | 2013

outubro de 2013



Universidade do Minho
Escola de Engenharia

Pedro Nuno Magalhães Morgado Morais

Circuito de leitura digital para
MEMS capacitivos

Tese de Mestrado
Ciclo de Estudos Integrados Conducentes ao Grau de
Mestre em Engenharia Eletrónica Industrial e Computadores

Trabalho efetuado sob a orientação do
Professor Doutor Luís Alexandre Rocha

e coorientação do
Professor Doutor Jorge Cabral

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA DISSERTAÇÃO APENAS PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE AUTORIZAÇÃO ESCRITA DO INTERESSADO, QUE A TAL SE COMPROMETE.

Universidade do Minho, ____/____/____

Agradecimentos

Em primeiro lugar gostaria de agradecer aos meus pais Carlos Alberto Morais e Maria Goretti Magalhães, por todo o apoio, suporte e educação prestados durante todo o meu percurso académico.

Não posso deixar também de agradecer ao meu irmão José Carlos Morais, às minhas tias e em especial à minha namorada, Sara Rocha, que sempre me apoiaram mesmo nos momentos mais complicados.

Aos meus orientadores Professor Doutor Luís Alexandre Rocha e Professor Doutor Jorge Cabral, pela confiança depositada na realização deste trabalho e por todo o apoio proporcionado durante o seu desenvolvimento. Um obrigado especial ao aluno de doutoramento Filipe Serra Alves que sempre teve disponível para me ajudar, esclarecer dúvidas e partilhar conhecimentos.

Ao Departamento de Eletrónica Industrial da Universidade do Minho, em especial ao grupo de sistemas embebidos, ESRG, e ao grupo de microtecnologias, tanto pelo suporte financeiro como pelas condições de trabalho disponibilizadas, ao qual sem eles esta dissertação não seria uma realidade.

Queria também deixar umas palavras de agradecimento, aos meus companheiros de curso, em especial com os quais partilhei casa, Arlindo, Hélder, Gabriel, Vasco e Filipe com quem vivi grandes momentos de boa disposição.

Por último e não menos importante, aos meus amigos de longa data, em especial, ao Miguel, Gaspar, Amílcar, João Pedro, Leandro, Márcio, Nuno, Ricardo e Vítor com quem partilhei bons e maus momentos, e sempre se encontraram disponíveis para me ouvir e apoiar.

A todos o meu muito obrigado!

Resumo

O trabalho realizado nesta dissertação visa melhorar a performance de circuitos de leitura de capacidades implementados com componentes discretos através da substituição de grande parte deles por módulos digitais implementados numa FPGA. Neste sentido, o trabalho realizado durante esta dissertação passou pela substituição da maior parte dos componentes analógicos encontrados no circuito de leitura para MEMS (*Micro-Electro-Mechanical Systems*) capacitivos, em particular o amplificador *lock-in* analógico usado para medir os deslocamentos capacitivos de estruturas MEMS. Sendo que o princípio do amplificador *lock-in* é conhecido pela sua alta performance, este quando implementado com componentes discretos apresenta níveis de ruído elevados devido às capacidades parasitas.

Com este trabalho espera-se aumentar a performance de circuitos de leitura de MEMS capacitivos, melhorando os níveis de ruído, aumentando a sua flexibilidade e a sua integração. Além disso, espera-se no final ter um circuito de menores dimensões. Grande parte deste trabalho passou pelo desenvolvimento, implementação e teste dos vários módulos digitais. A linguagem utilizada no desenvolvimento destes módulos foi o Verilog HDL, que posteriormente foi implementado numa FPGA da Altera. No final, e depois de testados os módulos e comparados os resultados com os dos circuitos analógicos, o circuito foi integrado com uma estrutura MEMS, e caracterizou-se o sistema de leitura.

Palavras-chave: MEMS, amplificador *lock-in*, FPGA, circuito de leitura capacitivo, multiplicador digital.

Abstract

This work aims at improving the performance of capacitive readout circuits implemented using discrete components by replacing most of them with digital modules implemented in a FPGA. Therefore, the components found in analog reading circuits for capacitive MEMS (Micro-Electro-Mechanical Systems) were replaced by digital equivalents, in particular the analog lock-in amplifier used for measuring the displacements of capacitive MEMS structures. Since the principle of the lock-in amplifier is known for its high performance, its implementation with discrete components tends to introduce high levels of noise due to parasitic capacities.

The work presented is expected to increase the performance of reading circuits of capacitive MEMS, improving the noise levels, increasing their flexibility and integration. A circuit with smaller dimensions is also expected. The work presented includes the development, implementation and testing of several digital modules. The language used in the development of these modules was Verilog HDL, and was implemented in an Altera FPGA. After implementation, the modules were tested and the results compared with the analogue circuits. Finally the readout circuit was integrated with the MEMS structure, and the system was characterized.

Keywords: MEMS, *lock-in amplifier*, FPGA, readout circuit, digital mixer.

Conteúdo

AGRADECIMENTOS.....	III
RESUMO.....	V
ABSTRACT.....	VII
INTRODUÇÃO.....	1
1.1 Enquadramento.....	1
1.2 Objetivos.....	2
1.3 Estrutura da dissertação.....	2
AMPLIFICADORES <i>LOCK-IN</i>	5
2.1 Conceito.....	5
2.2 Princípios básicos de funcionamento.....	6
2.3 Digital <i>versus</i> Analógico.....	6
ESTADO DA ARTE.....	9
3.1 Atualidade.....	9
3.2 Motivação.....	15
3.3 Conclusão.....	15
ANÁLISE DO SISTEMA.....	17
4.1 Especificação do sistema.....	17
4.2 Componentes do Sistema.....	20
4.2.1 Conversor Digital para Analógico – AD5791.....	20
4.2.2 Digital <i>Switch</i> – ADG1434.....	23
4.2.3 MEMS.....	23
4.2.4 Conversor Analógico para Digital – ADS5560.....	25
4.2.5 FPGA – Altera DE2-70.....	27
IMPLEMENTAÇÃO DO SISTEMA.....	29

5.1 <i>Gateway</i> desenvolvido.....	29
5.1.1 Módulo Gerador de Sinal Sinusoidal de 1MHz.....	29
5.1.2 Módulo DAC – AD5791.....	36
5.1.3 Módulo ADC – ADS5560	39
5.1.4 Módulo Filtro Digital FIR.....	41
5.1.5 Módulo <i>Mixer</i>	46
5.1.6 Módulo UART.....	48
5.1.7 Módulo de Memória.....	51
5.1.8 Módulo de <i>Top-Module</i>	52
5.2 <i>Interface</i> do Sistema Digital com o Analógico.....	57
RESULTADOS EXPERIMENTAIS.....	61
6.1 Comportamento do <i>Mixer</i>	61
6.1.1 Rampa de atuação DAC1.....	61
6.1.2 Rampa de atuação DAC2.....	63
6.2 Detecção de <i>pull-in</i>	66
6.3 Caracterização do Sistema.....	67
CONCLUSÕES E TRABALHO FUTURO	71
BIBLIOGRAFIA.....	73

Lista de Acrónimos

$\mu\epsilon$	- <i>micro strain</i>
ADC	- <i>Analog-to-Digital Converter</i>
AFD	- <i>Analog Filter Design</i>
CA	- <i>Corrente Alternada</i>
CLK	- <i>Clock</i>
CMOS	- <i>Complementary metal-oxide-semiconductor</i>
DAC	- <i>Digital-to-Analog Converter</i>
dB	- <i>Decibel</i>
DC	- <i>Corrente Contínua</i>
DDR LVDS	- <i>Double Data Rate LVDS</i>
DSP	- <i>Digital Signal Processor</i>
ESRG	- <i>Embedded System Research Group</i>
FDA	- <i>Filter Design & Analysis</i>
FIR	- <i>Finite Impulse Response</i>
FPGA	- <i>Field-Programmable Gate Array</i>
GND	- <i>Ground</i>
GPIO	- <i>General-purpose input/output</i>
HDL	- <i>Hardware Description Language</i>
Hz	- <i>Hertz</i>
I ₂ S	- <i>Inter-IC Sound</i>
IC	- <i>Integrated Circuit</i>
ICMFB	- <i>Input common-mode feedback</i>
IIR	- <i>Infinite Impulse Response</i>
LE	- <i>Logic Element</i>
LED	- <i>Light-emitting diode</i>
LSB	- <i>Least significant bit</i>
LVDS	- <i>Low-voltage differential signalling</i>
MEMS	- <i>Microelectromechanical Systems</i>
MOSI	- <i>Master Output Slave Input</i>
MSB	- <i>Most significant bit</i>

MSPS	- Mega Samples Per Second
NC	- <i>Not Connected</i>
OCMFB	- <i>Ouput common-mode feedback</i>
PC	- <i>Personal Computer</i>
PLL	- <i>Phase-locked loop</i>
PSD	- <i>Phase-Sensitive Detection</i>
PWM	- <i>Pulse-width modulation</i>
RAM	- <i>Random Access Memory</i>
SCLK	- <i>Serial Clock</i>
SDIN	- <i>Serial Data In</i>
SMA	- <i>SubMiniature version A</i>
SPI	- <i>Serial Peripheral Interface</i>
SS	- <i>Slave Select</i>
SYNC	- <i>Digital Interface Synchronization Input Pin</i>
UART	- <i>Universal Asynchronous Receiver/Transmitter</i>
V	- <i>Volt (Tensão)</i>
WTA	- <i>Wideband transconductance amplifier</i>

Lista de Figuras

Figura 1 - Diagrama de blocos de um amplificador <i>lock-in</i> [8].....	6
Figura 2 - Diagrama de blocos do sistema [15].....	10
Figura 3 - Diagrama de blocos do sistema [16].....	11
Figura 4 - Diagrama de blocos do sistema [17,18].....	12
Figura 5 - Diagrama de blocos do sistema [19].....	12
Figura 6 - Diagrama de blocos do sistema [20].....	13
Figura 7 - Diagrama de blocos do sistema [22].....	14
Figura 8 - Diagrama de blocos - SR830 [23].....	14
Figura 9 - Diagrama de blocos do sistema (versão antiga) [24].....	18
Figura 10 - Diagrama de blocos do sistema.....	19
Figura 11 - Esquema de uma estrutura MEMS atuada electrostaticamente [28]	20
Figura 12 - Diagrama de blocos de interface entre a FPGA e o AD5791.....	21
Figura 13 - Diagrama temporal de escrita no DAC AD5791 [26].....	22
Figura 14 - Diagrama de blocos do digital <i>switch</i> - ADG1434 [30].....	23
Figura 15 - Básico diagrama do processo de fabrico de MEMS [31].....	24
Figura 16 - Inclínómetro MEMS.....	25
Figura 17 - Diagrama de blocos de interface entre a FPGA e o ADS5560.....	25
Figura 18 - Diagrama temporal modo Paralelo CMOS [33].....	26
Figura 19 - Diagrama temporal com a latência inicial do ADS5560 [33].....	26
Figura 20 - Placa de desenvolvimento Altera DE2-70 [35].....	27
Figura 21 - Módulo PLL - Módulo Gerador de Sinal Sinusoidal.....	30
Figura 22 - Estratégia de implementação - Módulo Gerador de Sinal Sinusoidal ...	31
Figura 23 - PWM - Módulo Gerador de Sinal Sinusoidal.....	31
Figura 24 - Máquina de estados principal - Módulo Gerador de Sinal Sinusoidal ...	32
Figura 25 - Simulação de um período da onda sinusoidal de 1MHz - Módulo Gerador de Sinal Sinusoidal (ModelSim).....	33
Figura 26 - Teste experimental - Um período do sinal adquirido e seu espectro (Matlab).....	33
Figura 27 - Simulação de um filtro passa-baixo $f_c=460\text{Hz}$ ao sinal adquirido e seu espectro (Matlab).....	34

Figura 28 - Filtro passa-baixo com uma $f_c=1.2\text{MHz}$ (Matlab - AFD).....	35
Figura 29 - Teste experimental – Amostragem do sinal gerado e seu espectro – Módulo gerador de sinais sinusoidais (Tektronix MSO4104).....	36
Figura 30 - Máquina de estados principal - Módulo de Comunicação com DAC AD5791.....	37
Figura 31 - Simulação do envio de uma trama de dados – Módulo DAC (ModelSim)	37
Figura 32 - Teste Experimental do envio de uma trama de dados - Módulo DAC (Tektronix MSO4104)	38
Figura 33 – <i>Top-module</i> DAC AD5791 (Verilog).....	38
Figura 34 - Teste Experimental – <i>Top-module</i> DAC AD5791 (Tektronix 2022B)	39
Figura 35 - Máquina de estados principal - Módulo ADC ADS5560.....	39
Figura 36 - <i>Testbench</i> - Módulo ADC (Verilog).....	40
Figura 37 - Simulação de leitura de dados – Módulo ADC (ModelSim).....	40
Figura 38 - Aproximação ideal da resposta em frequência - Filtro FIR Método da janela de Kaiser [44]	41
Figura 39 - Especificações do filtro [44].....	42
Figura 40 - Resultado da função transferência do filtro passa-baixo do tipo FIR (Matlab).....	43
Figura 41 - Diagrama de blocos do filtro digital do sistema do tipo FIR	44
Figura 42 - Simulação de funcionamento – Módulo Filtro FIR (ModelSim).....	45
Figura 43 - Resposta da simulação - Módulo Filtro FIR.....	45
Figura 44 - Diagrama de blocos do amplificador <i>lock-in</i>	46
Figura 45 - Simulação - Módulo <i>Mixer</i> (Matlab)	47
Figura 46 - Simulação - Módulo <i>Mixer</i> (ModelSim).....	47
Figura 47 - Formato da trama de dados - Módulo UART	48
Figura 48 - Máquina de Estados do modo de transmissão - Módulo UART	49
Figura 49 - Simulação de transmissão do caracter 'X' - Módulo UART (ModelSim)	49
Figura 50 - Máquina de Estados do modo de recepção - Módulo UART.....	50
Figura 51 - Simulação de recepção e transmissão do caracter 'X' - Módulo UART (ModelSim).....	50
Figura 52 - Módulo RAM <i>Dual-Port</i>	51
Figura 53 - Simulação RAM <i>Dual-Port</i> com módulo UART (ModelSim).....	52

Figura 54 - Máquina de Estados - <i>Top-module</i>	52
Figura 55 - Diagrama de blocos - Módulo <i>Pull-in</i>	53
Figura 56 - Módulo deteção de <i>pull-in</i>	54
Figura 57 - <i>Top-module</i> de controlo dos DACs	55
Figura 58 - Máquina de estados - Módulo Controlo DACs.....	56
Figura 59 - Máquina de estados - <i>Top-module</i> (verificação)	56
Figura 60 - Montagem utilizada para os testes experimentais	59
Figura 61 - Bancada de testes experimentais	59
Figura 62 - Módulo <i>mixer</i> 1ª Fase - Atuação DAC1	62
Figura 63 - Módulo <i>mixer</i> 2ª Fase - Atuação DAC1	62
Figura 64 - Módulo <i>mixer</i> 3ª Fase - Atuação DAC1	63
Figura 65 - Módulo <i>mixer</i> 1ª Fase - Atuação DAC2	64
Figura 66 - Módulo <i>mixer</i> 2ª Fase - Atuação DAC2	64
Figura 67 - Módulo <i>mixer</i> 3ª Fase - Atuação DAC2	65
Figura 68 - Problema no Resultado do módulo <i>mixer</i>	66
Figura 69 - Deteção de <i>pull-in</i>	67
Figura 70 - Medição do ruído máximo do circuito de leitura.....	68
Figura 71 - Resposta do circuito de leitura.....	68

Lista de Tabelas

Tabela 1 - Formato da trama de dados do AD5791 [26]	21
Tabela 2 - Configuração do registo de controlo AD5791 [26]	21
Tabela 3 - Configuração do registo de dados do DAC AD5791 [26].....	22
Tabela 4 - Tabela da Verdade Digital Switch - ADG1434 [30].....	23
Tabela 5 - Informações sobre a placa de desenvolvimento Altera DE2-70.....	27
Tabela 6 - FPGA Módulos Digitais.....	28
Tabela 7 - Descrição dos pinos de entrada e saída.....	57
Tabela 8 - Descrição dos pinos internos à FPGA	58

Lista de Equações

Equação 1 - Tensão de Saída.....	22
Equação 2 - Relação propocional da frequência de corte	35
Equação 3 - Largura da região de transição	42
Equação 4 - Frequência de corte fundamental.....	42
Equação 5 - Parâmetro β da janela de <i>Kaiser</i>	42
Equação 6 - Parâmetro M da janela de <i>Kaiser</i>	42
Equação 7 - Função transferência	42
Equação 8 - <i>Baud Tick</i>	48
Equação 9 - Sensibilidade.....	69
Equação 10 - Deslocamento mínimo.....	69
Equação 11- Variação mínima de capacidade	69
Equação 12 - Capacidade	69

Capítulo 1

Introdução

Neste capítulo é apresentado o enquadramento desta dissertação, tal como os objetivos a atingir, sendo concluído com a apresentação da estrutura da dissertação.

1.1 Enquadramento

Sensores cujo princípio de transdução é baseado em variações de capacidade são frequentemente encontrados. Exemplos são micro-acelerómetros, sensores de impressões digitais, giroscópios, entre outros. Normalmente, um amplificador *lock-in* analógico é usado para medir as variações de capacidade de estruturas MEMS. O princípio do amplificador *lock-in* é conhecido pela sua alta performance, no entanto, quando implementado com componentes discretos apresenta níveis de ruído elevados devido às capacidades parasitas.

De modo a melhorar a performance de circuitos de leitura de MEMS capacitivos implementados com componentes discretos, o trabalho aqui apresentado visa a substituição de grande parte dos componentes analógicos do amplificador *lock-in* por módulos implementados no domínio digital em FPGA. Espera-se que a implementação digital melhore os níveis de ruído do circuito e aumente a flexibilidade do mesmo. O circuito final deverá ter apenas um andar de amplificação analógico (interface com a estrutura MEMS), sendo os restantes componentes implementados ao nível digital.

1.2 Objetivos

O objetivo principal desta dissertação consiste no desenvolvimento e integração de um amplificador *lock-in* digital com uma estrutura MEMS capacitiva. O sistema de leitura deverá operar a uma frequência de 1MHz, e à exceção do *charge amplifier* que faz o interface com o microdispositivo MEMS, todos os outros componentes deverão ser implementados a nível digital. Neste sentido alguns dos componentes a desenvolver durante o trabalho são um filtro digital, de modo a reduzirmos o ruído introduzido pela parte analógica e eliminação da portadora, o gerador da portadora a 1MHz, o multiplicador além de outros módulos necessários no *interface* entre a parte analógica, digital e o utilizador.

Concluído o desenvolvimento do sistema, este terá de ser devidamente caracterizado.

1.3 Estrutura da dissertação

Este documento está dividido em 7 capítulos. No primeiro capítulo é realizada uma pequena introdução ao trabalho proposto nesta dissertação, juntamente com o seu enquadramento e os seus objetivos. Além disso é descrito o modo como a dissertação aqui presente se encontra organizada.

O segundo capítulo é de carácter elucidativo, pois apresenta uma breve revisão sobre os amplificadores *lock-in*. Este capítulo tem o objetivo de dar a conhecer ao leitor o seu conceito, além dos seus princípios básicos de funcionamento e as vantagens e desvantagens da sua implementação no domínio digital *versus* domínio analógico.

No terceiro capítulo é apresentada uma revisão teórica de várias abordagens existentes de circuitos de leitura para MEMS capacitivos, utilizando amplificadores *lock-in* na sua implementação. Neste capítulo é também reforçada a motivação desta dissertação, juntamente de uma pequena conclusão retirada do estado da arte realizado.

No quarto capítulo é realizada uma análise *top-down* do sistema a ser implementado, ou seja, inicialmente é apresentada uma vista geral de todo o sistema a ser desenvolvido, seguido de uma análise mais detalhada de cada componente desse sistema.

O quinto capítulo consiste na implementação de todo o sistema analisado no quarto capítulo, incluindo a adição de alguns módulos necessários para a verificação do funcionamento do mesmo. Neste capítulo, ao contrário do anterior, é utilizada uma aproximação *bottom-up* de modo a descrever todo o processo de desenvolvimento, integração e implementação dos módulos do sistema.

No sexto capítulo são apresentados os resultados experimentais dos testes realizados. Inicialmente, avaliou-se o comportamento do sistema implementado, através de um teste passo a passo do comportamento do amplificador *lock-in* e de um teste do módulo de detecção da tensão de *pull-in*. Por último, foi realizada a caracterização do desempenho do mesmo.

A dissertação termina no capítulo 7, onde são expostas as principais conclusões do trabalho realizado, assim como algumas sugestões para trabalho futuro, que visam melhorar o comportamento do sistema e seus resultados.

Capítulo 2

Amplificadores *Lock-in*

Este capítulo está dividido em três subsecções, que têm o intuito de descrever o funcionamento de um amplificador *lock-in* e qual a sua relevância. Serão descritos os seus principais componentes, tais como os seus princípios básicos de funcionamento e as vantagens e desvantagens da utilização de um amplificador *lock-in* digital.

2.1 Conceito

Um amplificador *lock-in* pode ser descrito como um instrumento capaz de detetar e recuperar um sinal CA de uma certa frequência de baixa amplitude numa banda onde o ruído que o envolve pode ter uma amplitude muito maior que a sua ordem [1,2,3,4,5].

O coração do amplificador *lock-in* é o multiplicador, também conhecido como Detecção Sensível de Fase (PSD). Este extrai o sinal pretendido do ruído, multiplicando esse sinal embebido em ruído pelo sinal de referência com a mesma frequência e fase do sinal pretendido [3,6].

Mais especificamente, o amplificador *lock-in*, utiliza o teorema de *Fourier*, em que qualquer sinal de entrada mesmo que acompanhado por ruído, pode ser representado por uma soma de sinusoides de diferentes amplitudes, fases ou frequências. Uma vez que o PSD multiplica todas essas componentes por um sinal de referência, a saída será um sinal DC proporcional à senoide de entrada de igual frequência e fase que o sinal de referência [7].

2.2 Princípios básicos de funcionamento

Por mais complexo que seja um amplificador *lock-in*, tanto ao nível analógico como digital, este é constituído basicamente pelos blocos ilustrados na figura 1.

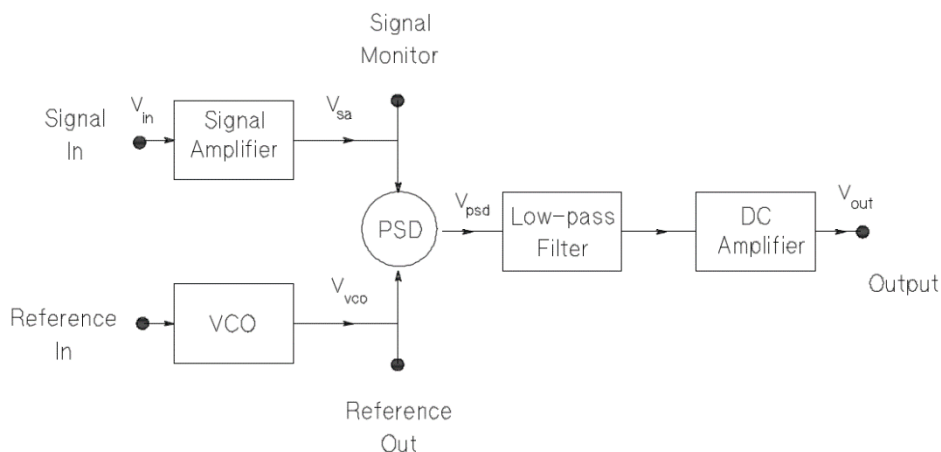


Figura 1 - Diagrama de blocos de um amplificador *lock-in* [8]

Um amplificador AC é um simples amplificador de tensão combinado com vários filtros que podem ou não ser alterados. Este tem o objetivo de amplificar a componente do sinal desejado. O oscilador eletrónico fornece o sinal de referência com uma frequência e fase igual à componente do sinal de entrada que se pretende medir. Estes dois blocos constituem as entradas do sistema de um amplificador *lock-in* [8,9].

Internamente o sistema é constituído por um multiplicador ou PSD, já referidos anteriormente, que basicamente fazem a multiplicação dos dois sinais de entrada. O resultado desta multiplicação é filtrado por um filtro passa-baixo, sendo depois amplificado por um amplificador DC, que nos fornece como saída o sinal pretendido [8,9].

2.3 Digital versus Analógico

A principal vantagem de um amplificador *lock-in* digital é a sua maior estabilidade ao longo do tempo, ao contrário do amplificador analógico que sofre degradação com o tempo e é sensível a variações térmicas. Além disso o amplificador *lock-in* digital tem uma maior imunidade ao ruído em relação ao analógico [11,12].

Por outro lado, o amplificador *lock-in* digital tem uma menor resolução e frequência de resposta à saída em relação ao amplificador *lock-in* analógico. Porém, estas desvantagens na maior parte dos casos e com a constante evolução da tecnologia vão sendo diminuídas, pois, cada vez mais se conseguem atingir maiores resoluções e velocidades digitalmente, o que faz com que, na maior parte dos casos seja preferido o amplificador *lock-in* digital [10,12,13].

Capítulo 3

Estado da Arte

O objeto de estudo desta dissertação é o amplificador *lock-in* direcionado para sistemas de leitura de MEMS capacitivos.

Neste capítulo serão abordadas algumas aplicações estudadas dos amplificadores *lock-in* em sistemas de leitura MEMS, tanto no domínio discreto como digital.

3.1 Atualidade

Ao longo dos anos têm sido utilizadas novas abordagens em diferentes implementações com amplificadores *lock-in*, de modo a melhorar a performance e o nível de ruído de circuitos de leitura para MEMS capacitivos [14]. Algumas dessas abordagens aplicadas aos sistemas MEMS são as seguintes:

- a. Em Junho de 1995, K. Chan, S. Lewis, Y. Zhao e R. Howe, apresentaram um acelerómetro capacitivo de baixo custo para aplicações de medição de inclinações, vibrações e choques numa gama dinâmica de $\pm 5g$. Para o circuito de leitura foi utilizado um amplificador *lock-in* analógico, onde se alcançou um ruído elétrico equivalente na ordem dos $0.6 \text{ mg}/\sqrt{\text{Hz}}$. O diagrama de blocos ilustrado na figura 2 mostra o circuito desenvolvido [15].

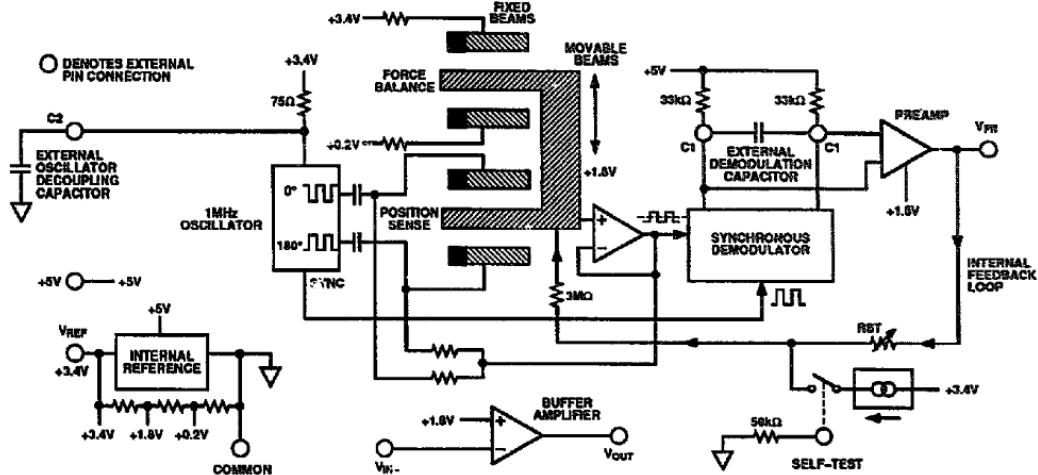


Figura 2 - Diagrama de blocos do sistema [15]

O circuito apresentado na figura 2 utiliza um amplificador *lock-in* de montagem semelhante ao ilustrado na figura 1. Numa primeira fase, o sinal modulado sofre uma pré-amplificação à saída da estrutura, de modo a aumentar o valor da componente pretendida. Após esta fase, este sinal é desmodulado através de um desmodulador síncrono, com o sinal de referência de 1MHz, que após filtrado e amplificado resulta na variação de capacidade da estrutura.

- b. Em Fevereiro de 2003, *Maziar Tavakoli e Rahul Sarpeshkar*, apresentaram uma análise teórica detalhada sobre o ruído através da implementação de um amplificador *lock-in* analógico para a leitura de MEMS capacitivos. Este amplificador *lock-in* utiliza um novo mecanismo de compensação de *offset*, que resulta numa diminuição do nível de ruído de seis vezes comparado a um *lock-in* semelhante ao ilustrado na figura 1, e uma redução do valor de *offset* para cerca de $9\mu\text{V}$. Esta análise, é confirmada através da integração do amplificador *lock-in* com um sensor de vibrações capacitivo de estrutura MEMS, atingindo um limite mínimo de ruído de $30\mu\text{g}/\sqrt{\text{Hz}}$ [16]. A Figura 3 mostra o diagrama de blocos do sistema de leitura utilizado.

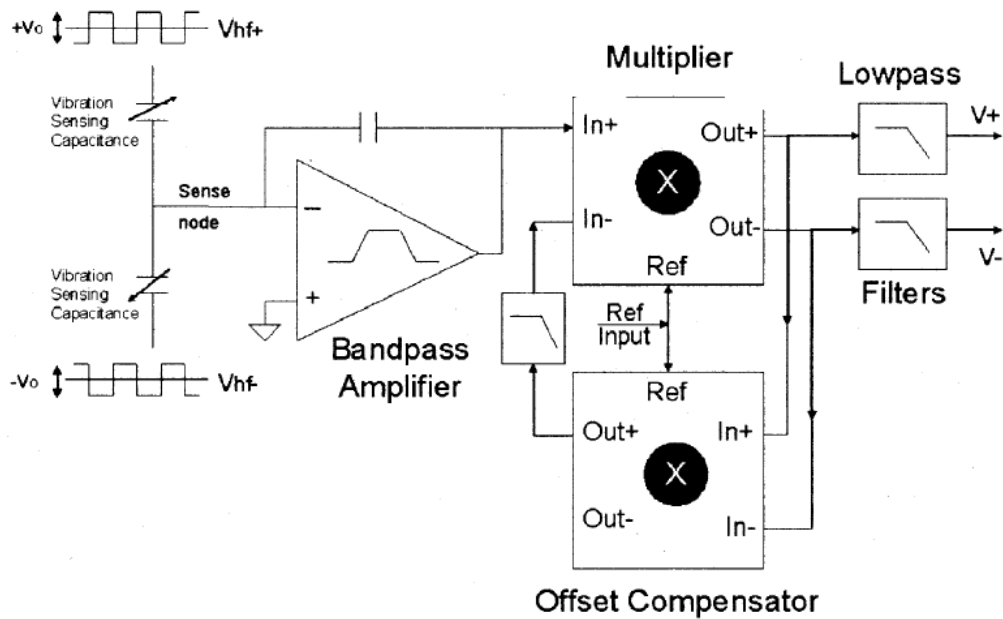


Figura 3 - Diagrama de blocos do sistema [16]

À semelhança do amplificador *lock-in* comum, esta abordagem consiste na desmodulação de um sinal modulado em amplitude, correspondente à variação de capacidade, com recurso a um sinal de referência à frequência da portadora. Além disso, esta abordagem utiliza um multiplicador adicional para a compensação do *offset*, multiplicando a saída do primeiro multiplicador novamente pelo sinal de referência, que quando filtrado será introduzido na entrada negativa do multiplicador principal, compensando assim o *offset* de saída.

- c. Em Outubro de 2004, M. Suster e J. Guo, apresentaram um circuito de leitura integrado CMOS de ruído reduzido para um sensor MEMS capacitivos que mede a força aplicada ao mesmo. Com este circuito foi possível medir uma força máxima de entrada de $1000\mu\text{E}$, correspondente a uma saída de 420mV , com uma não linearidade de 1.5% da gama dinâmica. Este sistema obteve um nível de ruído de $375\text{nV}/\sqrt{\text{Hz}}$ [17,18]. O diagrama de blocos do sistema é apresentado na figura 4.

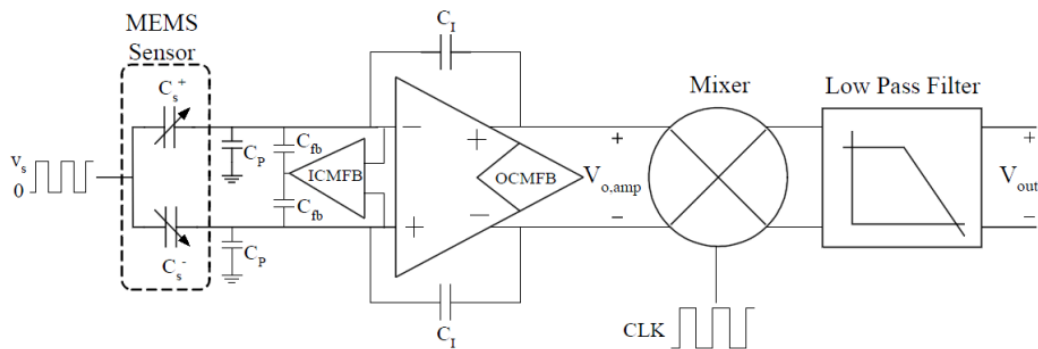


Figura 4 - Diagrama de blocos do sistema [17,18]

O circuito de leitura utilizado neste sistema, para o sensor MEMS, consiste num amplificador *lock-in* analógico comum, contendo entrada e saída diferencial.

- d. Em Setembro de 2005, *L.Mol, G. de Graaf, L.A. Rocha e R.F. Wolffenbuttel*, apresentaram um sistema para a medição da variação de capacidade de uma estrutura MEMS capacitiva. Este sistema é baseado em deteção síncrona ou *coherent detection*, e que é muito utilizada para a medição da amplitude e fase de um sinal na presença de ruído. Para a implementação deste mecanismo é necessário conhecer a frequência e a fase do sinal a medir. Com recurso a este mecanismo, foi obtido um ruído de $21\text{nV}/\sqrt{\text{Hz}}$, que para a largura de banda de 5KHz corresponde a uma resolução de 0.2 fF de variação de capacidade [19]. A figura 5 ilustra o diagrama de blocos do sistema.

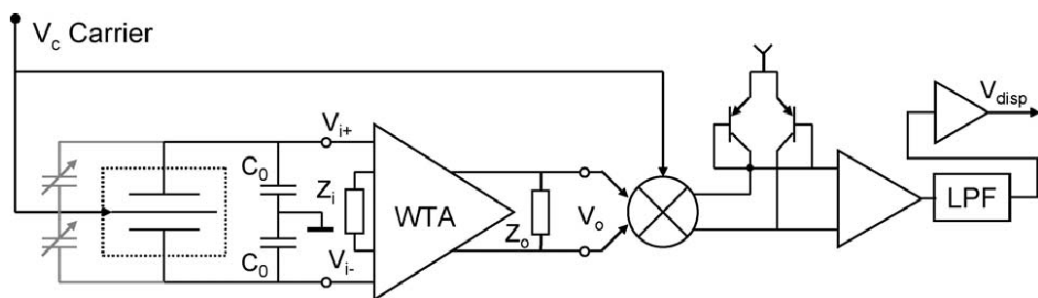


Figura 5 - Diagrama de blocos do sistema [19]

Como se pode observar na figura 5, o sinal sinusoidal é injetado no eléctrodo central da estrutura, onde qualquer deslocamento da estrutura irá gerar um

sinal modulado, equivalente à variação de capacidade, que irá ligar diferencialmente ao amplificador WTA.

- e. Em Outubro de 2009, L. Novak, P. Neuzil, J. Li e M. Woo, mostraram um acelerómetro de ultra sensibilidade, com uma resposta de $135 V/G$, e com nível de ruído de $3 mV$, correspondente a um limite mínimo de deteção de $22 \mu G$. Este acelerómetro também pode ser usado como um inclinómetro com uma resolução de 0.05° . O diagrama de blocos do circuito de leitura deste sensor pode ser visto na figura 6 [20].

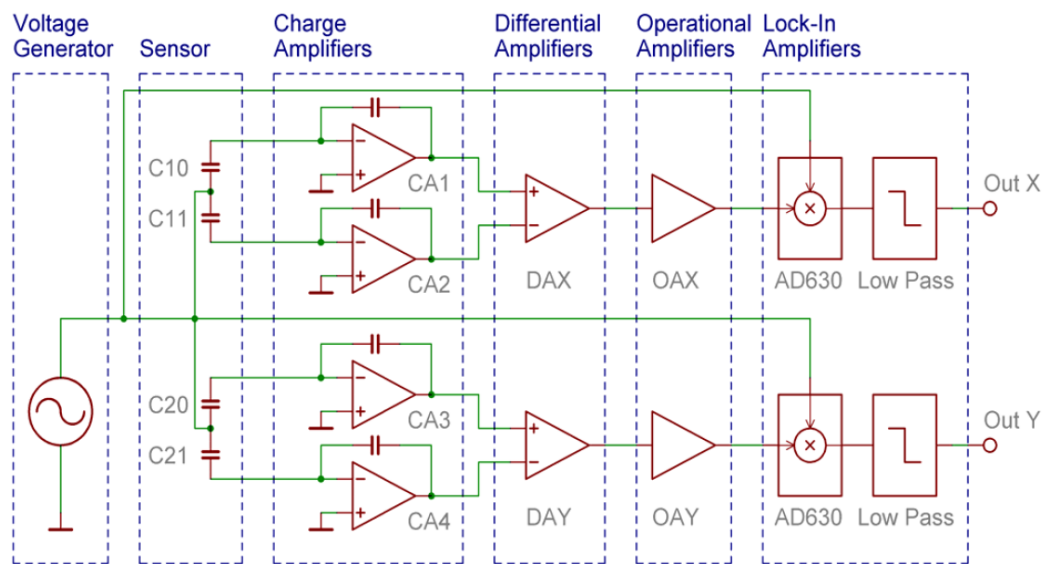


Figura 6 - Diagrama de blocos do sistema [20]

Na implementação deste sistema foi utilizado um amplificador *lock-in* constituído por um modulador/desmodulador AD630 da Analog Devices [21], em conjunto com um filtro passa-baixo.

- f. Em junho de 2010, *J Wei, C Yue, Z L Chen, Z W Liu e P M Sarro*, apresentaram uma estrutura MEMS capacitiva para a caracterização e teste de medições de sensores capacitivos com resoluções de femto-farad através de um amplificador *lock-in* digital implementado num DSP. A variação máxima de capacidade é de $0.31 fF$, com um limite de ruído de $0.095 aF\sqrt{HZ}$ [22]. Na figura 7 pode-se analisar o diagrama de blocos do sistema.

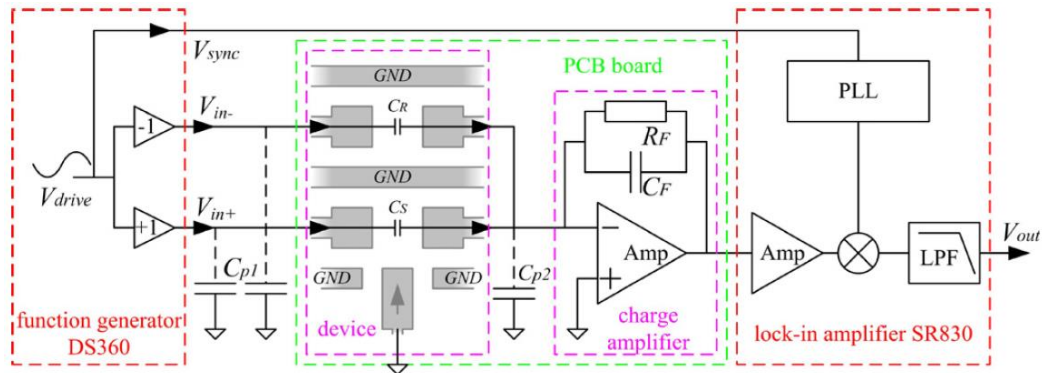


Figura 7 - Diagrama de blocos do sistema [22]

Neste sistema é utilizado o amplificador *lock-in* comercial SR830 DSP da Stanford Research Systems. O diagrama de blocos da figura 8 ilustra o funcionamento deste dispositivo [23].

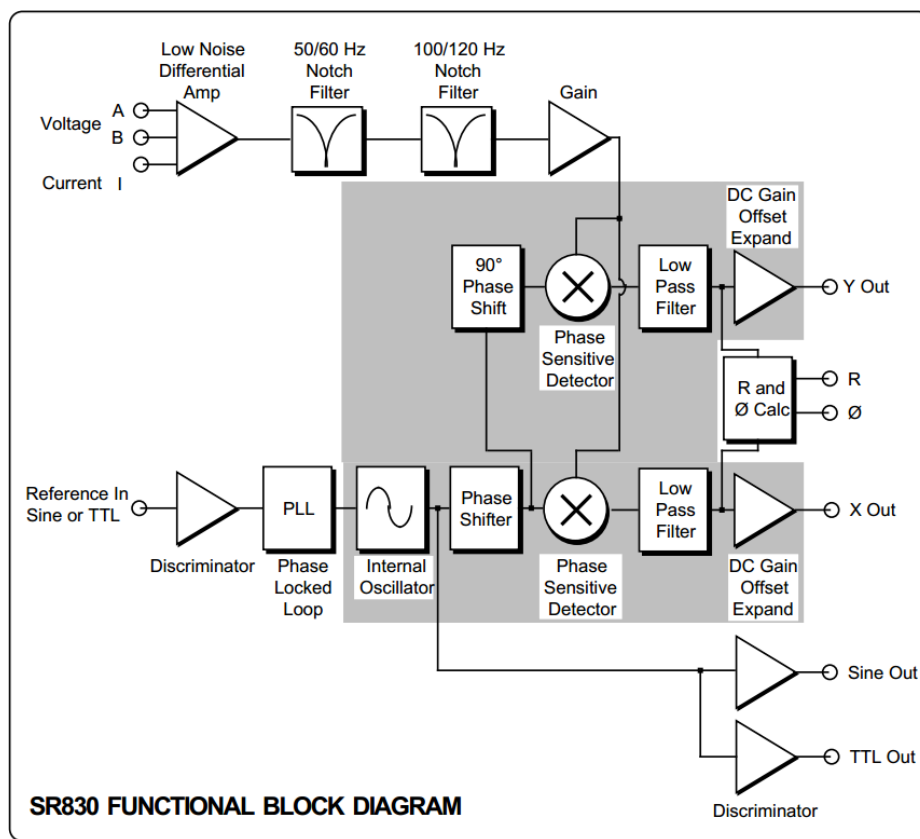


Figura 8 - Diagrama de blocos - SR830 [23]

Analisando o diagrama de blocos, de um modo geral, pode-se concluir que esta abordagem consiste na multiplicação do sinal de entrada modulado por dois sinais de referência (à frequência da portadora), desfasados 90°. Após

esta fase, os sinais são filtrados e a magnitude do sinal é calculada (R), bem como a sua fase (\emptyset).

3.2 Motivação

Analisadas as várias abordagens existentes, repara-se que a maior parte delas são realizadas ainda no domínio analógico, uma vez que ainda há poucas implementações de sistemas de leitura MEMS capacitivos no domínio digital. Além disso, na maior parte dos sistemas de leitura implementados ao nível digital, raramente se utiliza uma FPGA para a implementação do circuito, sendo utilizados, normalmente, amplificadores *lock-in* com recurso a um DSP.

3.3 Conclusão

Tendo em conta que os circuitos de leitura existentes são predominantemente analógicos, esta dissertação tem como objetivo desenvolver uma solução digital, de preferência com performance igual ou superior aos circuitos analógicos existentes, através da utilização de uma FPGA. Neste sentido, a solução deverá melhorar o tempo de vida útil dos componentes, uma vez que, como são desenvolvidos ao nível digital, não sofrem alterações nos seus parâmetros com o tempo, têm uma maior imunidade ao ruído, menor tamanho, maior integração e uma maior flexibilidade, pois sendo componentes digitais, os seus parâmetros podem ser modificados com maior facilidade. Posto isto, a abordagem apresentada na alínea f da secção 3.1, é aquela que apresenta um sistema que se enquadra nos objetivos desta dissertação, e como tal, será o ponto de partida a utilizar rumo à implementação do sistema.

Capítulo 4

Análise do Sistema

Concluído o estudo das várias implementações de circuitos de leitura com amplificadores *lock-in* para estruturas MEMS capacitivas, foi necessário fazer uma representação de alto nível do sistema a implementar. Ou seja, é necessário analisar os requisitos do sistema a implementar, bem como as restrições existentes no seu desenvolvimento.

Neste sentido, este capítulo tem como objetivo mostrar todos os componentes tanto ao nível digital como analógico do sistema, além de especificar o modo como é realizado o *interface* entre eles.

4.1 Especificação do sistema

O circuito de leitura para MEMS capacitivos proposto nesta dissertação faz parte integrante de um sistema de maiores dimensões. A figura 9 apresenta um diagrama de blocos que ilustra esse sistema, sendo que o bloco em foco nesta dissertação é o bloco identificado como *Readout* [24].

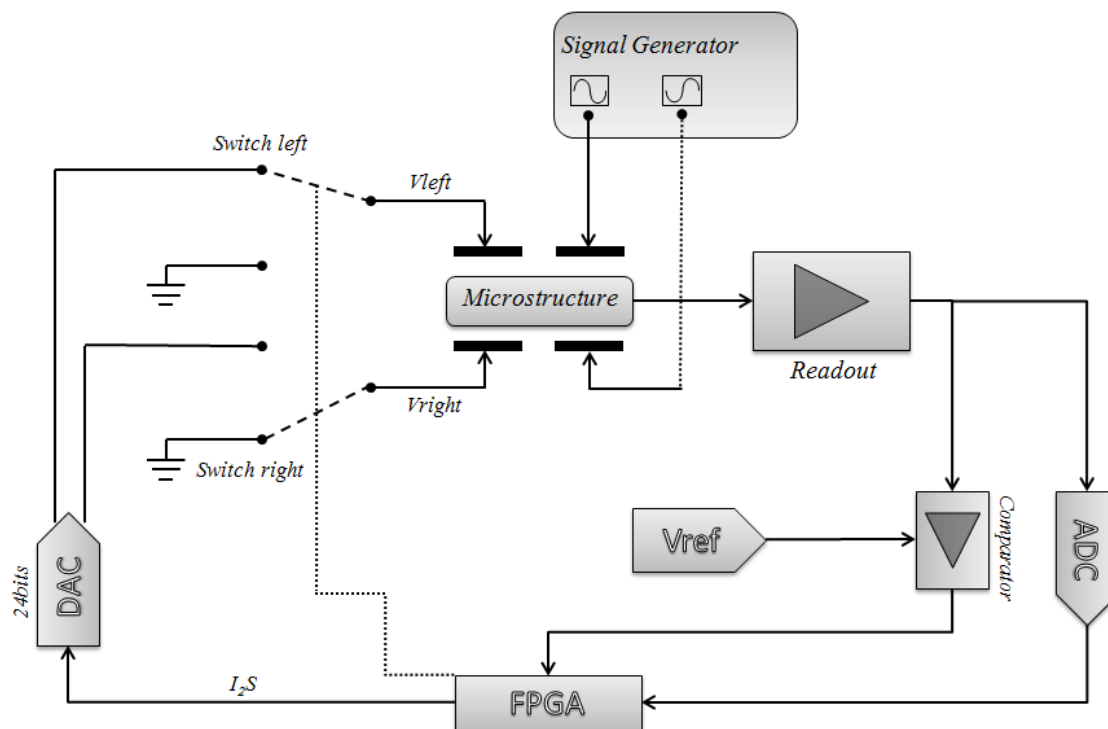


Figura 9 - Diagrama de blocos do sistema (versão antiga) [24]

O diagrama de blocos ilustrado na figura 9 é a versão antiga do sistema, ainda com o circuito de leitura analógico, sendo que na implementação pretendida, como ilustrado na figura 10, além da alteração do circuito de leitura, foi necessário implementar algumas novas soluções quer para melhorar o sistema quer para introduzir novas funcionalidades. As novas soluções incluem uma alteração do DAC CS4334 da Cirrus Logic, pelo DAC AD5791 da Analog Devices, com o objetivo de reduzir o ruído introduzido pelo DAC CS4334 no sistema [25,26]. Relativamente a novas funcionalidades, foram adicionados dois novos DACs ao sistema, de modo a que este esteja preparado para novas estruturas MEMS capacitivas com *combfinders*, que habilitam um mecanismo de compensação térmica.

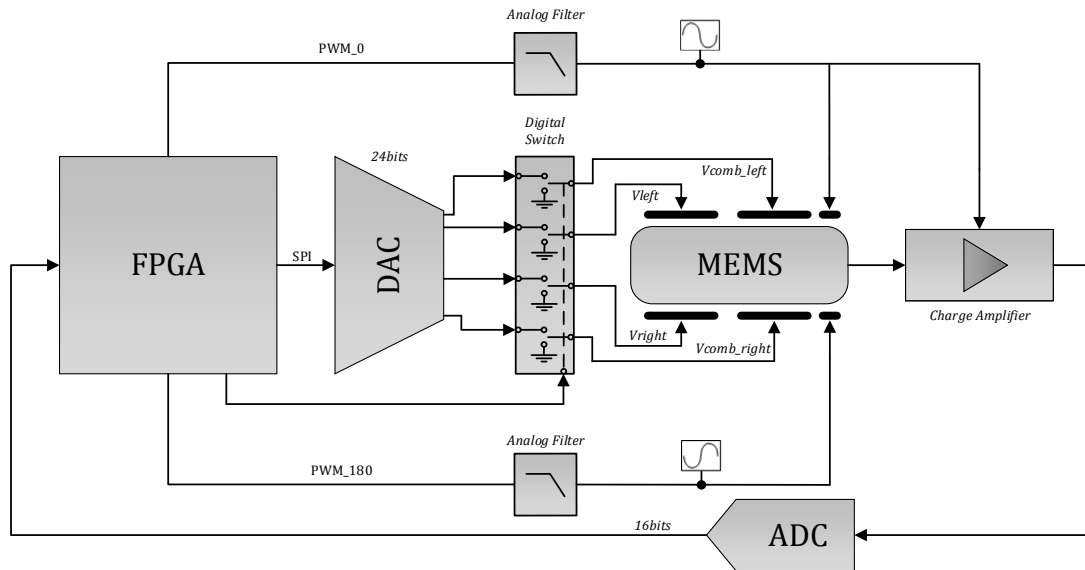


Figura 10 - Diagrama de blocos do sistema

Como se pode observar no sistema ilustrado na figura 10, o bloco *Readout*, foi substituído pelo bloco chamado *Charge Amplifier*. Este é um bloco que juntamente com o amplificador *lock-in* constituíam o antigo bloco *Readout*. Na nova implementação, o amplificador *lock-in* encontra-se no domínio digital, por isso interno ao bloco FPGA. O bloco *Charge Amplifier* transforma a variação de capacidade da estrutura MEMS numa onda modulada em amplitude. Isto é, quando a estrutura é atuada, é exercida uma força electrostática que faz com que os seus elétrodos se desloquem, gerando essa variação de capacidade. Quando a força elástica da mola não é suficiente para contrariar a força electrostática, acontece o efeito ao qual se chama de *pull-in*. Este efeito deve-se a uma perda de estabilidade do sistema devido à natureza não linear da força eletrostática em elétrodos paralelos. Na figura 11 é apresentado um esquema de uma simples estrutura MEMS com as principais componentes mecânicas [27,28].

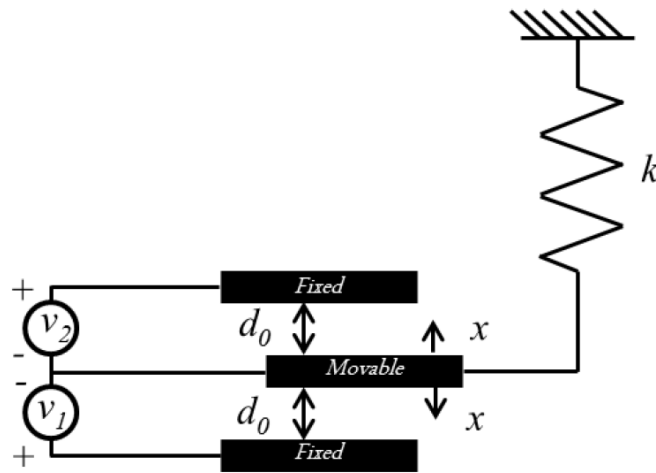


Figura 11 - Esquema de uma estrutura MEMS atuada electrostaticamente [28]

Além da modificação do bloco *Readout* e da adição de dois DACs ao sistema, também se pode visualizar na figura 10 a alteração do protocolo de comunicação com os DACs, onde anteriormente se usava o I²S que foi substituído pelo SPI, e a adição no domínio digital do gerador de sinal, que anteriormente era fornecido externamente ao sistema por um gerador de sinal (AFG3022B da Tektronix [29]).

4.2 Componentes do Sistema

Neste subcapítulo vão ser analisados os componentes analógicos, referidos anteriormente na figura 10, aos quais o sistema digital proposto nesta dissertação tem contacto direto. Esta análise é necessária de forma a se especificar o modo como se irá desenvolver digitalmente o *interface* entre eles. Será também apresentada a FPGA utilizada no desenvolvimento do sistema.

4.2.1 Conversor Digital para Analógico – AD5791

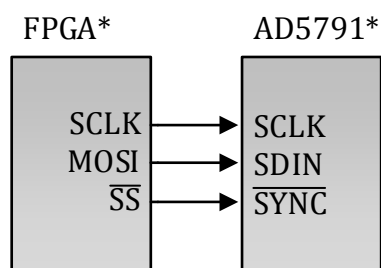
O conversor digital para analógico utilizado pelo sistema para atuação da estrutura MEMS é o AD5791 do fabricante Analog Devices. Este componente utiliza o protocolo de comunicação síncrono SPI, com uma trama de transmissão de 24 *bits* e uma resolução de 20 *bits* [26]. O *bit* mais significativo (MSB) indica se se trata de uma operação de escrita ou leitura, os três *bits* seguintes indicam qual o endereço do registo que se pretende ler ou escrever e os 20 menos significativos

(LSBs) são os dados que se pretende ler ou escrever no dispositivo. Na tabela 1 podemos visualizar a trama de comunicação descrita.

Tabela 1 - Formato da trama de dados do AD5791 [26]

MSB				LSB			
23	22	21	20	19...0			
R/ \bar{W}	Endereço do Registo			Dados			

Os DACs AD5791 serão utilizados no modo de operação *standalone*, uma vez que pode ser necessário que executem diferentes funções simultaneamente. Neste sentido, a figura 12 ilustra como será ligado um dos DACs à FPGA, sendo que para os outros a ligação será idêntica.



*Pinos adicionais foram omitidos para maior clareza

Figura 12 - Diagrama de blocos de interface entre a FPGA e o AD5791

Selecionado o modo de operação e suas ligações, é necessário analisar o modo de funcionamento do DAC. Neste sentido, o DAC AD5791 após ser alimentado, deve ser configurado no modo de operação normal antes de se acionar a saída. Assim sendo, é necessário configurar inicialmente o registo de controlo com o modo de operação ilustrado na tabela 2.

Tabela 2 - Configuração do registo de controlo AD5791 [26]

MSB								LSB				
23	22	21	20	9	8	7	6	5	4	3	2	1
R/ \bar{W}	Endereço			LIN COMP				SDODIS	BIN/2sC	DACTRI	OPGND	RBUF
0	0	1	0	0	0	0	0	0	1	0	0	1

*Os bits não assinalados estão reservados ao sistema e podem ser programados com o nível lógico 0.

Configurado o registo de controlo, a saída do DAC é acionada com o valor de tensão de alimentação de referência negativa, de modo a que a saída seja alterada deve-se mudar o valor do registo do DAC, que por defeito se encontra a 0. Caso se

pretenda que, ao acionar o DAC, este tenha um valor de saída diferente, deve-se configurar primeiro o registo do DAC e só depois o registo de controlo. Sendo que depois do DAC alimentado, este deve ser sempre configurado de modo que a saída seja ativada. A função transferência descrita na equação 1, mostra-nos qual será idealmente a saída do DAC, dependendo do valor escrito no seu registo.

$$V_{out} = \frac{(V_{REFP} - V_{REFN}) \times D}{2^{20} - 1} + V_{REFN} [V] \quad (1)$$

Na equação 1, o V_{out} corresponde ao valor da tensão de saída, o V_{REFP} e o V_{REFN} às tensões de referência de alimentação e o D ao valor de 20 *bits* escrito no registo do DAC. A tabela 3 ilustra a trama que deve ser enviada para o DAC de modo a escrever no seu registo.

Tabela 3 - Configuração do registo de dados do DAC AD5791 [26]

MSB				LSB
23	22	21	20	19...0
R/ \bar{W}	Endereço do Registo			Registo de dados do DAC
0	0	0	1	<i>Bits de dados</i>

Descrito o modo de funcionamento selecionado do DAC AD5791, resta agora descrever o modo como as tramas anteriormente descritas devem ser enviadas. A figura 13 ilustra esse processo, onde o SCLK pode atingir um máximo de 50MHz, e o \overline{SYNC} deve manter-se ao nível lógico 0 enquanto é enviada a trama pelo fio SDIN. Depois de concluído o envio deve-se alterar o valor do \overline{SYNC} para o nível lógico 1 e caso não haja mais nenhum valor para enviar deve manter-se a esse nível. Como se pode verificar também na figura 13 cada 1 dos 24 *bits* da trama devem ser enviados a cada transição positiva do SCLK.

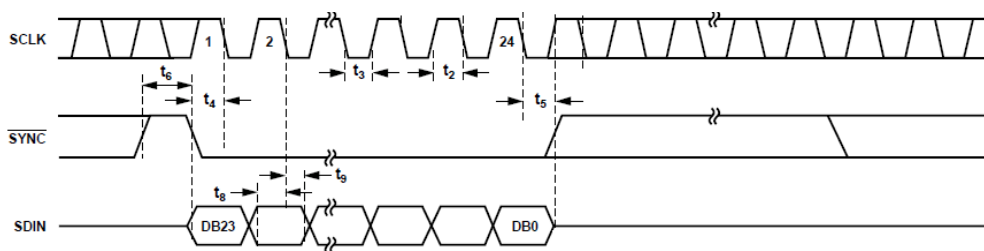


Figura 13 - Diagrama temporal de escrita no DAC AD5791 [26]

4.2.2 Digital Switch – ADG1434

O digital *switch* utilizado no sistema é o ADG1434 da Analog Devices. Este dispositivo permite comutações rápidas (na ordem dos 140ns) [30]. O dispositivo está integrado no sistema, de modo a que caso seja necessário cortar muito rapidamente a tensão de atuação aplicada pelo DAC à estrutura MEMS, isso seja possível. Na figura 14 é apresentado o diagrama de blocos do dispositivo.

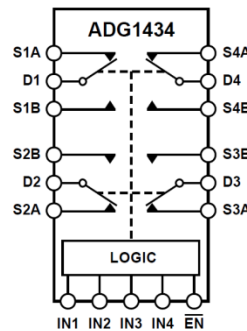


Figura 14 - Diagrama de blocos do digital *switch* - ADG1434 [30]

Este dispositivo é de fácil interface com a FPGA, pois só precisa de 5 sinais lógicos de controlo, como se pode verificar na figura 14 em conjunto com a tabela 4.

Tabela 4 - Tabela da Verdade Digital *Switch* - ADG1434 [30]

Entrada		Seleção Interna		Saída
\overline{EN}	IN_x	S_xA	S_xB	D_x
1	X	Desligado	Desligado	Desligado
0	0	Desligado	Ligado	Potencial S_xB
0	1	Ligado	Desligado	Potencial S_xA

4.2.3 MEMS

A estrutura MEMS, *Microelectromechanical systems*, como o nome indica é uma estrutura mecânica de reduzidas dimensões na ordem dos μm que é acionada electrostaticamente. MEMS podem ser definidos como micro sistemas, capazes de realizar funções complexas, sendo os exemplos mais comuns os acelerómetros e os giroscópios. No seu fabrico são utilizadas várias técnicas, tal como nos processos de fabrico de circuitos integrados (IC), como deposição de filmes finos,

padronização através de fotolitografia e *etching*. [31,32]. A figura 15 mostra a sequência típica das técnicas utilizadas no fabrico destas estruturas.

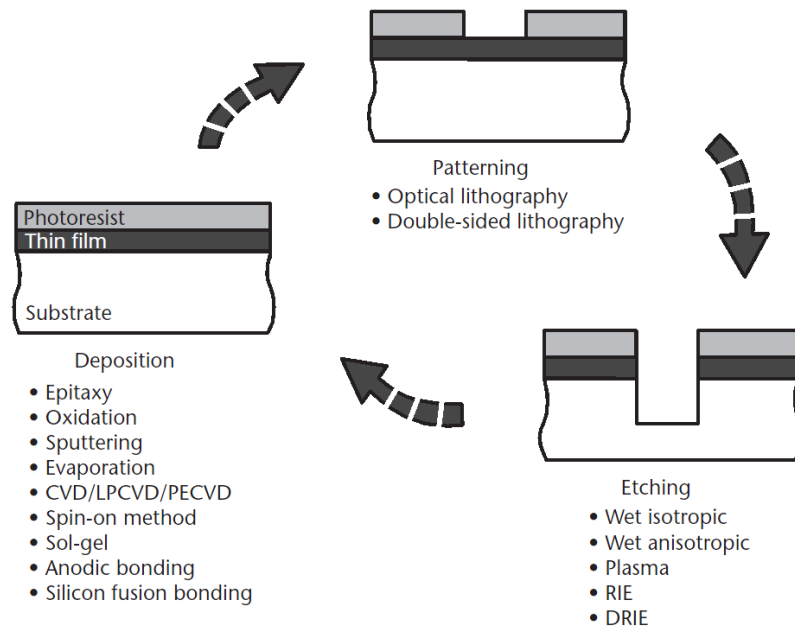


Figura 15 – Básico diagrama do processo de fabrico de MEMS [31]

Neste sistema, o único contacto direto entre a estrutura MEMS e a FPGA é através do gerador de sinal sinusoidal, ao qual se dá o nome de portadora. Este sinal modulará a variação da capacidade da estrutura em amplitude, quer isto dizer que, o deslocamento da estrutura causado por uma força (uma aceleração externa por exemplo) é representado nessa amplitude (Modulação AM). Na figura 16 pode-se visualizar uma das estruturas utilizada na verificação do funcionamento do sistema.

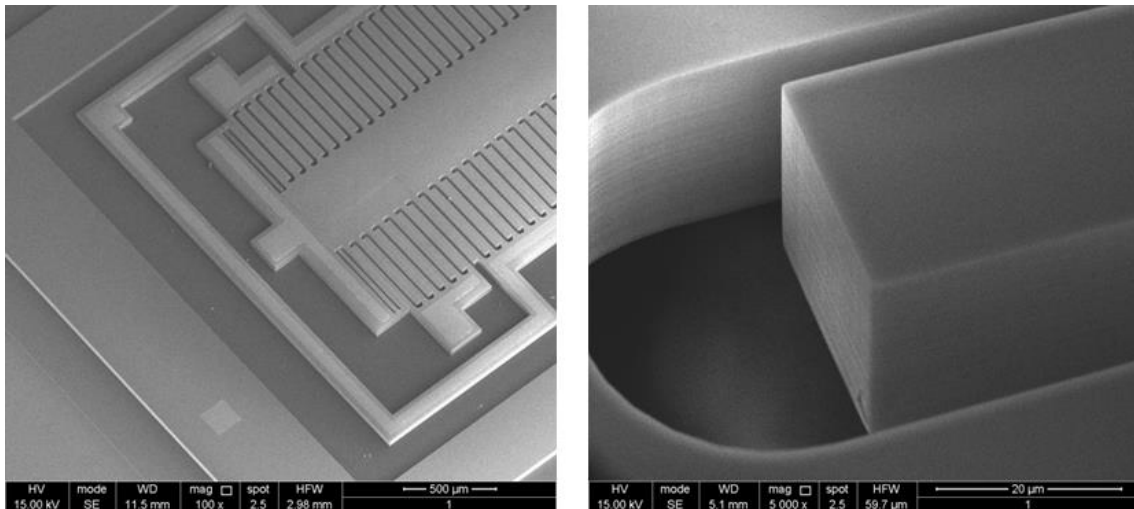
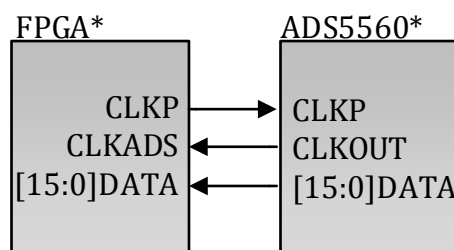


Figura 16 - Inclinômetro MEMS

4.2.4 Conversor Analógico para Digital – ADS5560

O conversor analógico para digital utilizado no sistema é o ADS5560 da Texas Instruments. Este dispositivo tem uma resolução de 16 *bits* e está diretamente ligado ao *charge amplifier* LME49710 também da Texas Instruments [33,34]. Este ADC tem a função de converter a informação modulada em amplitude à saída do *charge amplifier* num valor digital, sendo que esse valor é uma das entradas do circuito de leitura digital proposto nesta dissertação juntamente com o sinal de referência gerado internamente pela FPGA. O diagrama de blocos ilustrado na figura 17 exhibe as ligações necessárias de comunicação entre a FPGA e o ADC.

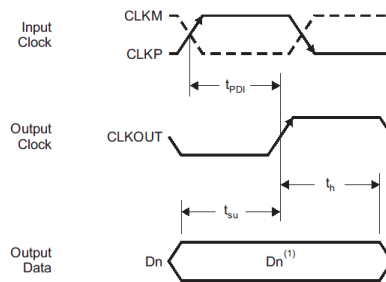


*Pinos adicionais foram omitidos para maior clareza

Figura 17 - Diagrama de blocos de interface entre a FPGA e o ADS5560

Tendo em conta os recursos disponibilizados pela FPGA e a velocidade de aquisição requerida pelo ADC ADS5560, este foi utilizado no modo de operação Paralelo CMOS, devido à sua fácil implementação e principalmente à poupança de

recursos da FPGA. Deste modo, a FPGA só necessita de fornecer um CLK dedicado ao ADC, enquanto no outro modo disponibilizado pelo ADC, o DDR LVDS, seria necessário que a FPGA fornecesse dois CLKs dedicados. Além disso, a velocidade máxima de 40MSPS do modo Paralelo CMOS é mais que suficiente para a aplicação. Esta escolha também permite poupar o sistema em termos do consumo do componente visto que no outro modo o consumo aumenta drasticamente. Na figura 18 pode-se visualizar o modo como é efetuada a comunicação com o ADC.



⁽¹⁾ D_n - Bits D0-D15

Figura 18 - Diagrama temporal modo Paralelo CMOS [33]

No modo de operação Paralelo CMOS, e depois de gerado o CLKP pela FPGA, a cada transição positiva do CLKOUT está disponível uma nova amostra na saída do ADC. Esta resposta do ADC tem uma latência inicial de 16 ciclos como se pode verificar no diagrama temporal da figura 19.

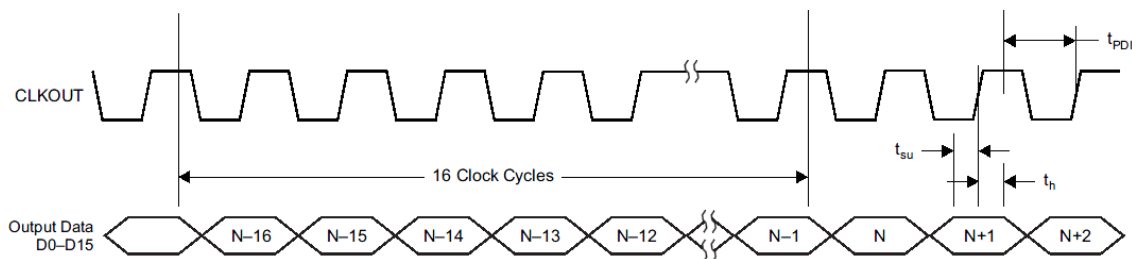


Figura 19 - Diagrama temporal com a latência inicial do ADS5560 [33]

4.2.5 FPGA – Altera DE2-70

Concluída a apresentação e a análise dos componentes discretos de *interface* com a FPGA, é o momento de apresentar a componente usada para implementar todo o trabalho realizado nesta dissertação. A placa de desenvolvimento utilizada para a implementação do sistema de leitura digital foi a DE2-70 da Altera, ilustrada na figura 20 [35].

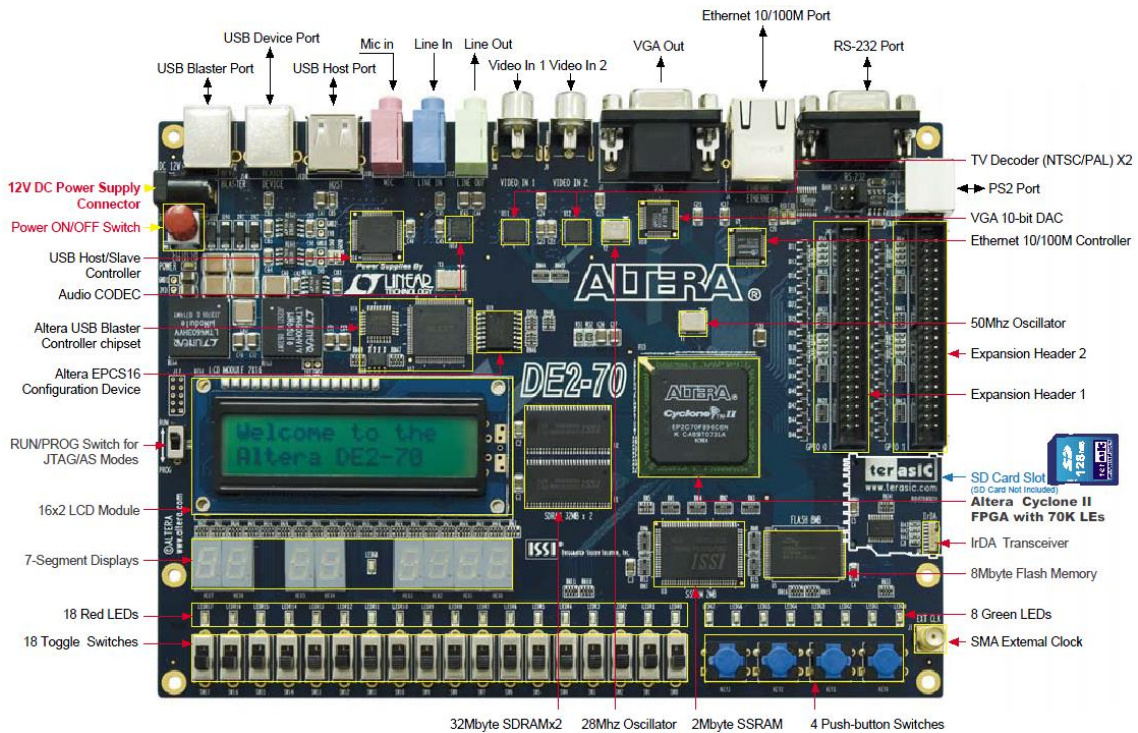


Figura 20 - Placa de desenvolvimento Altera DE2-70 [35]

Esta placa de desenvolvimento possui uma FPGA da família Cyclone II 2C70 da Altera, mais especificamente o EP2C70F896C6 com cerca de 70k LEs. Na tabela 5 são mencionadas as características principais desta FPGA para o desenvolvimento do sistema.

Tabela 5 - Informações sobre a placa de desenvolvimento Altera DE2-70

Característica	Descrição
FPGA	Cyclone II - EP2C70F896C6N 68,416k LEs 250 M4K blocos de RAM 1,152000Mbits de RAM

	300xMultiplicadores embebidos com elementos de 9 bits 4xPLLs 622xPinos de Entrada/Saída
<i>Interface de Entrada/Saída</i>	RS232 2xheaders de expansão de 40 pinos
<i>Switches e LEDs</i>	18xToggle switches 4xBotões de pressão com <i>debounce</i> 18xLEDs vermelhos 9xLEDs verdes
<i>Clocks</i>	4x50MHz 1x28,63 MHz 1xExterno por SMA

A FPGA apresentada foi a base de implementação dos módulos digitais apresentados na tabela 6.

Tabela 6 - FPGA Módulos Digitais

Módulo Digital	Restrições	Descrição
Gerador de sinais sinusoidais	Frequência do sinal de 1MHz;	Sinal de entrada da estrutura MEMS e de referência do módulo <i>mixer</i> .
Controlo de atuação dos DACs	Protocolo de Comunicação SPI; Regras de funcionamento do AD5791; Formato da trama de comunicação;	Sinal de atuação da estrutura MEMS.
Leitura ADC	Regras impostas pelo modo de operação selecionado do ADS5560;	Sinal de entrada do módulo <i>mixer</i> .
<i>Mixer</i>	Velocidade de aquisição imposta pelo ADC.	Interpreta o sinal modulado
<i>Top module</i>		Faz o interface entre todos os módulos desenvolvidos e gere o seu controlo.

Capítulo 5

Implementação do Sistema

Ao longo deste capítulo, será apresentado o desenvolvimento dos vários componentes do sistema especificados no capítulo anterior. Neste sentido, serão apresentados todos os módulos digitais implementados na FPGA, além das interligações entre eles tanto ao nível digital como discreto. Ao contrário do capítulo anterior, neste capítulo será utilizada uma aproximação *bottom-up* de modo a explicar melhor o trabalho desenvolvido.

5.1 *Gateway* desenvolvido

Neste subcapítulo são apresentados todos os módulos digitais desenvolvidos para a implementação do sistema. A linguagem de descrição de *hardware* utilizada foi o Verilog HDL e o ambiente de desenvolvimento adotado foi o *software* Quartus II v11.0 com o *service pack 1* da Altera em conjunto com o software de simulação ModelSim Altera v6.6d da Mentor Graphics.

Todo o *gateway* desenvolvido passou por várias fases de testes, desde simulação e testes experimentais individuais de cada módulo digital desenvolvido, até à fase de simulação e teste do sistema como um todo. Isto é, a fase onde é desenvolvido um *top-module* que controla todos esses módulos desenvolvidos individualmente.

5.1.1 Módulo Gerador de Sinal Sinusoidal de 1MHz

O módulo gerador de sinal sinusoidal foi o primeiro módulo digital a ser desenvolvido. Isto, deve-se ao facto de não estar dependente de outros módulos e não necessitar de muito *hardware* externo para a verificação do seu funcionamento

através da realização de testes experimentais. Neste sentido, recorrendo a um módulo de PLL disponibilizado pela ferramenta MegaWizard Plug-In Manager do Quartus II foi possível obter um *clock* estável máximo de 250MHz [36]. Este aumento de *clock* de 50MHz disponibilizado pela FPGA para 250MHz é necessário de modo a desenvolver uma onda de PWM com o máximo de resolução possível, pois quanto maior for a sua resolução menor será a ordem do filtro a integrar à saída. Na figura 21, estão ilustrados os sinais de entrada necessários para o correto funcionamento da PLL, sendo o *areset* o sinal de *reset* do módulo, que é ativado a cada transição positiva desse sinal. O *pllena* ativa ou desativa a saída *c0*, onde se encontra a saída do sinal de 250MHz, e por fim o *inclk0* que corresponde ao *clock* de 50MHz.

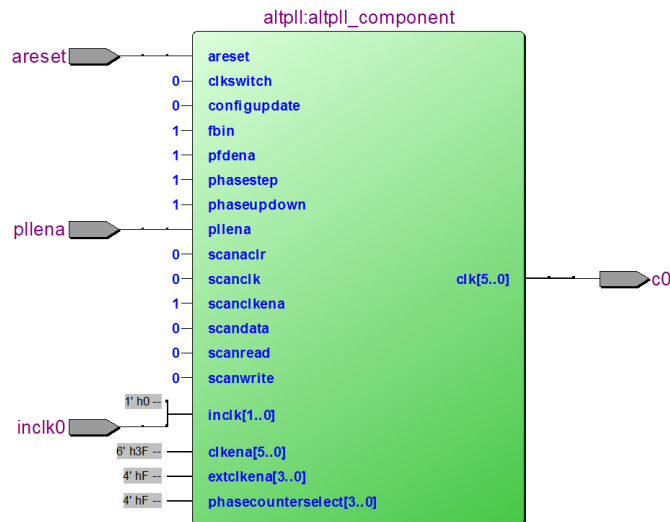


Figura 21 - Módulo PLL – Módulo Gerador de Sinal Sinusoidal

A verificação da estabilidade de *clock* de 250MHz foi efetuada recorrendo à ferramenta TimeQuest Timing Analyzer do Quartus II, que tem a função de verificar problemas de meta-estabilidade, os quais foram encontrados com *clocks* de saída superiores aos 250MHz [37,38,39].

Definido o *clock*, o gerador de sinal sinusoidal foi desenvolvido através de uma sequência de PWMs com diferentes *duty cycles*, tal como ilustra a figura 22.

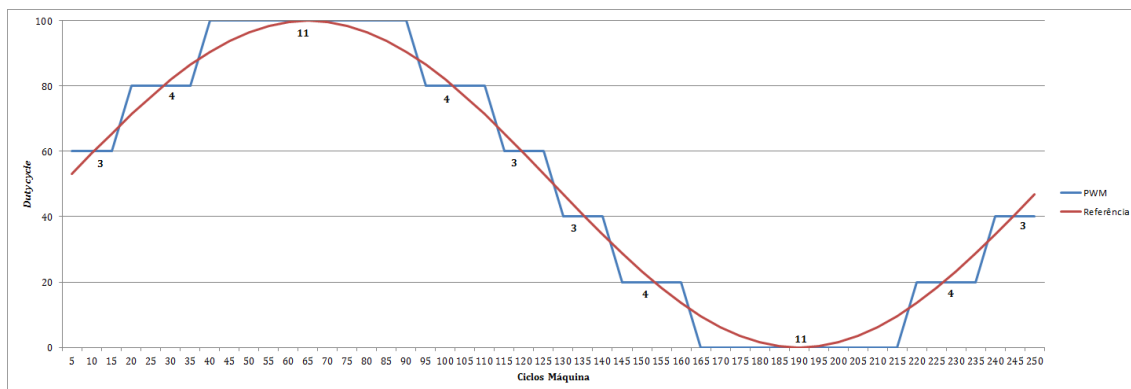


Figura 22 - Estratégia de implementação – Módulo Gerador de Sinal Sinusoidal

Depois de vários cálculos e várias iterações foi encontrada a melhor forma para a geração do sinal sinusoidal de 1MHz, cumprindo as restrições impostas pela FPGA. Portanto, como se pode observar na figura 22, num período de 1MHz consegue-se gerar 250 ciclos máquina a uma frequência de 250MHz. Deste modo e utilizando uma PWM com um *duty cycle* que ocupa 5 ciclos máquina, como se pode observar na figura 23, desenvolveu-se uma sequência de 50 PWMs (250/5 [ciclos máquina]) de diferentes *duty cycles*, de modo a reproduzirem o melhor possível a senoide de referência de 1MHz que se encontra a vermelho na figura 22. O número de PWMs de diferentes *duty cycles* também está ilustrado na figura 22.

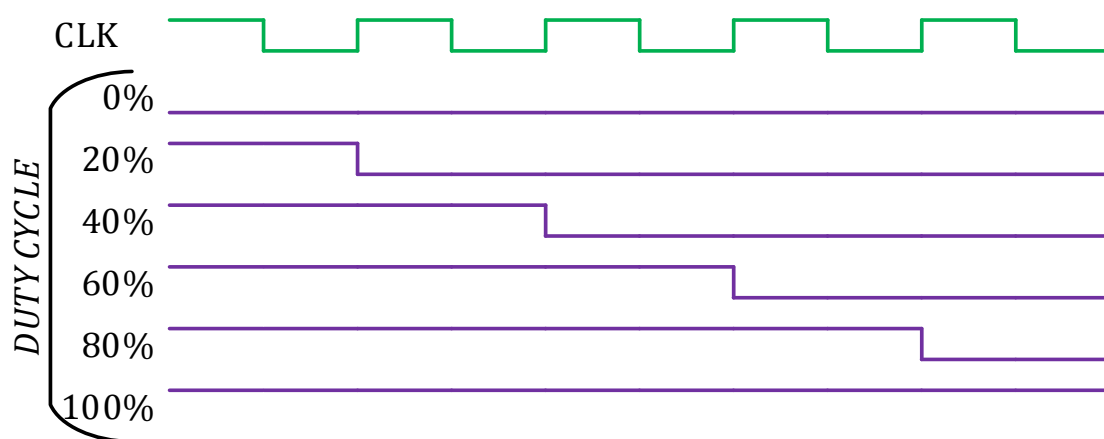


Figura 23 – PWM – Módulo Gerador de Sinal Sinusoidal

Após a obtenção dos valores a utilizar para o PWM no desenvolvimento do módulo gerador de sinal sinusoidal, foi implementada na FPGA a máquina de estados ilustrada na figura 24.

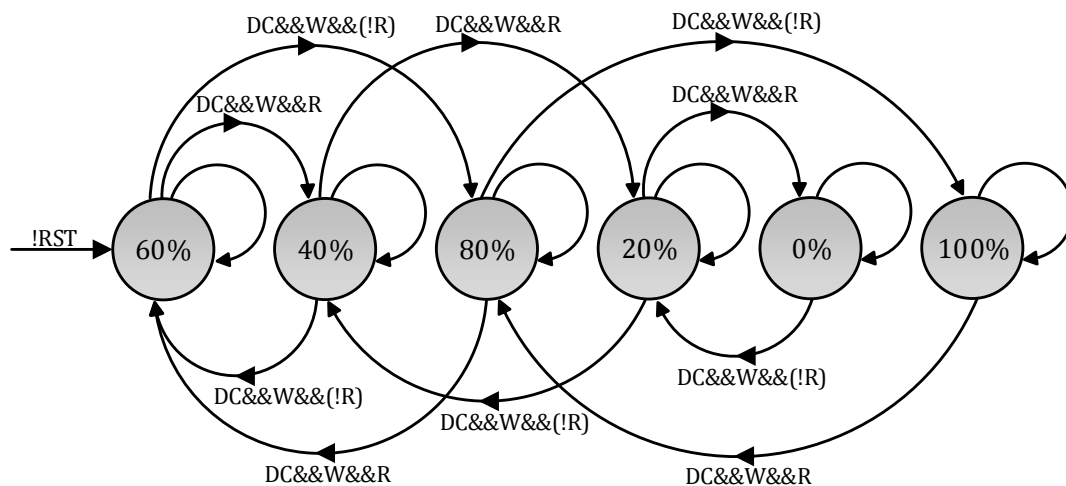


Figura 24 - Máquina de estados principal - Módulo Gerador de Sinal Sinusoidal

A máquina de estados apresentada na figura 24 tem a função de gerar várias PWMs com diferentes *duty cycles*, como ilustrado na figura 22. Neste sentido, esta máquina de estados ao receber o sinal de *reset* é inicializada com a PWM de *duty cycle* de 60%. Após a conclusão do número de repetições de PWMs definidas anteriormente para este *duty cycle*, figura 22, a máquina de estados segue para o estado de 80%, pois inicialmente após o *reset* a variável R é carregada com o valor 0. Sempre que são atingidos os estados de 100% e 0%, o valor da variável R altera-se para 1 ou 0, respectivamente. Além disso e enquanto as outras condições de salto não são cumpridas, como o número de PWMs geradas em cada estado (W) e se o *duty cycle* de cada uma delas não for cumprido (DC), o estado mantém-se o mesmo. Na figura 25, é ilustrada uma simulação utilizando o ModelSim da Mentor Graphics, que demonstra um sinal chamado PWM, com um período da onda sinusoidal, gerado pela máquina de estados descrita na figura 24. Pode-se verificar também um outro sinal chamado de PWM2, que é gerado por outro módulo em paralelo semelhante ao do sinal PWM, mas desfasado 180°.

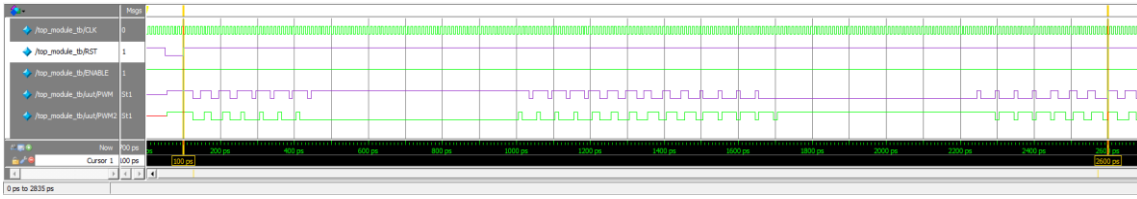


Figura 25 - Simulação de um período da onda sinusoidal de 1MHz - Módulo Gerador de Sinal Sinusoidal (ModelSim)

Verificado o funcionamento correto da máquina de estados ilustrada na figura 24, esta foi implementada na FPGA da Altera de modo a se confirmar experimentalmente esse resultado obtido na simulação demonstrada na figura 25. De modo a adquirir e verificar o sinal de saída do módulo implementado na FPGA, foi utilizada a placa de aquisição DAQ USB-6251 da National Instruments [40]. Para isso, foi necessário baixar a frequência interna de *clock* do módulo para os 62,5kHz, devido à frequência máxima de amostragem do DAQ ser de 625kS/s. Isto, fez com que o sinal sinusoidal esperado passasse de 1MHz para 250Hz. A figura 26 mostra o sinal adquirido pelo DAQ, além do seu espectro.

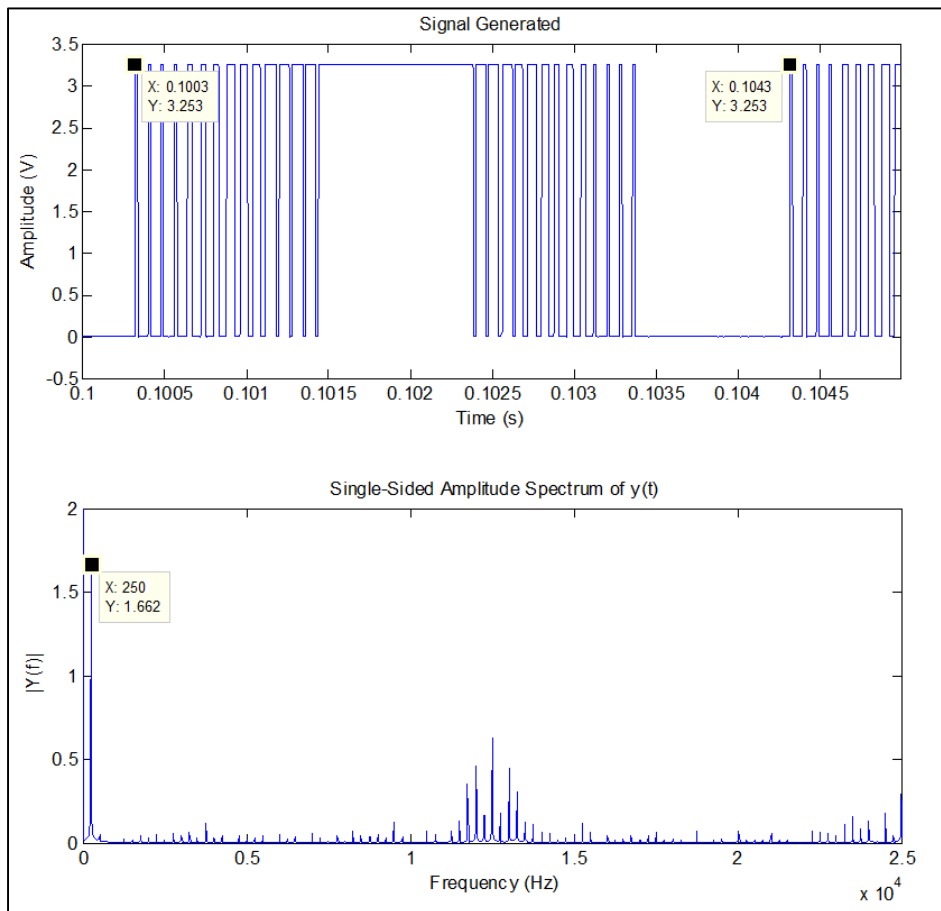


Figura 26 - Teste experimental - Um período do sinal adquirido e seu espectro (Matlab)

Através dos dados adquiridos pelo DAQ e do Matlab foi possível visualizar o espectro do sinal gerado e simular um filtro passa-baixo, de modo a eliminar todos os espectros indesejados e obter a senoide desejada. Neste sentido e de forma a manter o espectro com a frequência desejada, neste caso 250Hz, com a mesma intensidade, foi aplicado ao sinal um filtro passa-baixo com uma frequência de corte de 460Hz. A figura 27 ilustra o resultado do sinal adquirido após o filtro.

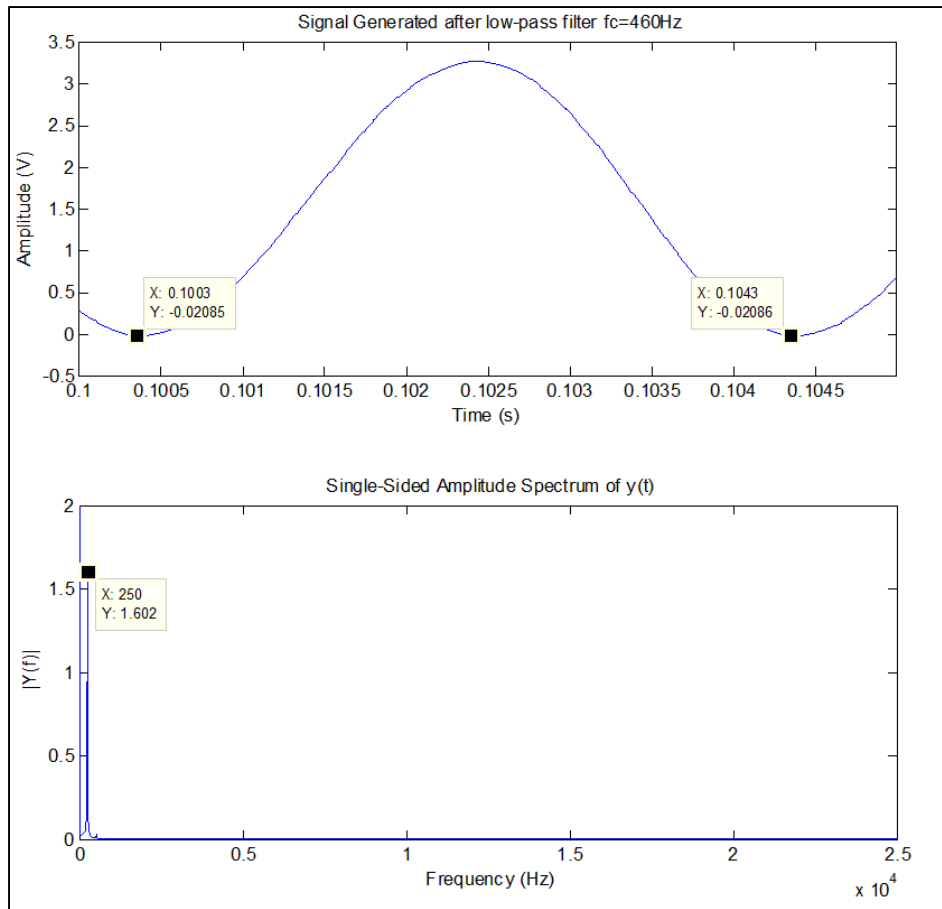


Figura 27 - Simulação de um filtro passa-baixo $f_c=460\text{Hz}$ ao sinal adquirido e seu espectro (Matlab)

Após este resultado, foi adquirido um outro sinal à saída do módulo gerador de sinal, desta vez com uma frequência de *clock* interno de 31.25kHz, resultando num sinal sinusoidal de 125Hz e uma frequência de corte de 150Hz. Desta forma, foi possível criar uma relação proporcional entre os dois sinais adquiridos e as suas frequências de corte do filtro passa-baixo, de modo a desenvolver o filtro pretendido para o sinal gerado de 1MHz. A equação 2 mostra como foi obtida a constante proporcional de 1.53.

$$\frac{fc}{f} = k \frac{fc_0}{f_0} \quad (2)$$

Através da ferramenta Analog Filter Designer (AFD) do Matlab, foi desenvolvido um filtro analógico de 4ª ordem passa-baixo com uma frequência de corte de 1.2MHz, obtida através da equação 2. A figura 28 apresenta o circuito do filtro implementado.

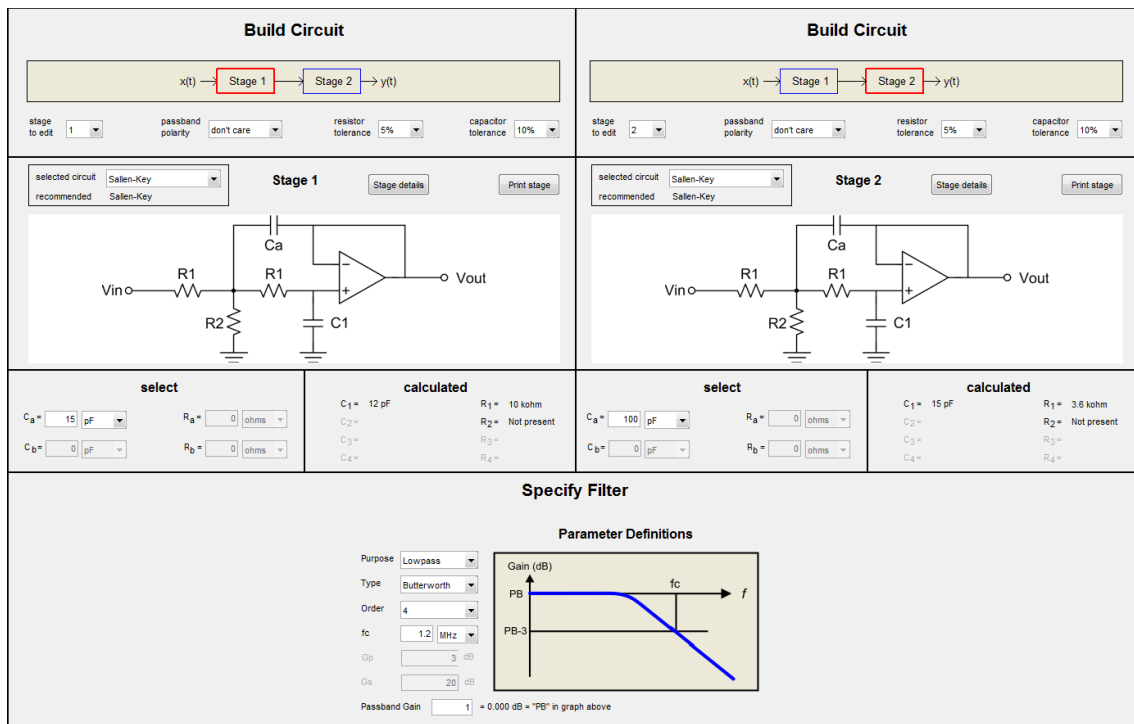


Figura 28 - Filtro passa-baixo com uma $f_c=1.2\text{MHz}$ (Matlab - AFD)

Implementado o filtro ilustrado na figura 28, este foi aplicado à saída do módulo gerador de sinal sinusoidal e experimentalmente através da utilização do osciloscópio MSO4104 da Tektronix, obteve-se o resultado apresentado na figura 29 [41].

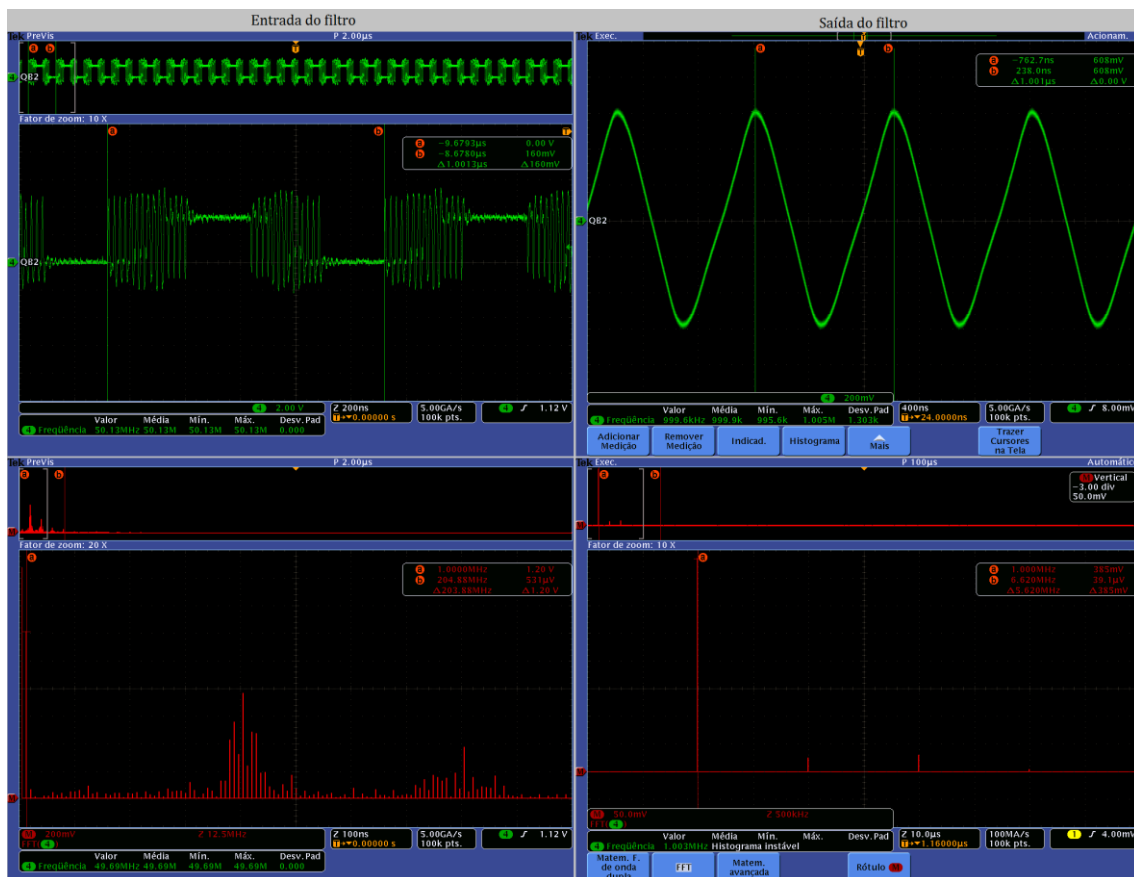


Figura 29 - Teste experimental – Amostragem do sinal gerado e seu espectro – Módulo gerador de sinais sinusoidais (Tektronix MSO4104)

5.1.2 Módulo DAC – AD5791

O segundo módulo digital a ser desenvolvido foi o de comunicação com o DAC, pois tal como no módulo do gerador de sinal sinusoidal, não depende de outros módulos para ser testado e para a verificação do seu funcionamento. Neste caso, é implícita a necessidade do *interface* com componentes discretos, como o IC AD5791, de modo a que se possa verificar experimentalmente o seu funcionamento. O *clock* utilizado neste módulo foi de 25MHz, e trata-se do *clock* recomendado pelo *datasheet* do AD5791, para o modo de operação *standalone*, selecionado no capítulo anterior. Além disso e visto que a frequência de amostragem do ADC irá ser de 5MHz, esta velocidade de atuação é suficiente. Neste sentido, foi gerada uma PLL semelhante à do módulo anterior, mas neste caso divide o *clock* interno de 50MHz por 2. Alcançada a velocidade de *clock* pretendida foi implementada na FPGA a máquina de estados ilustrada na figura 30.

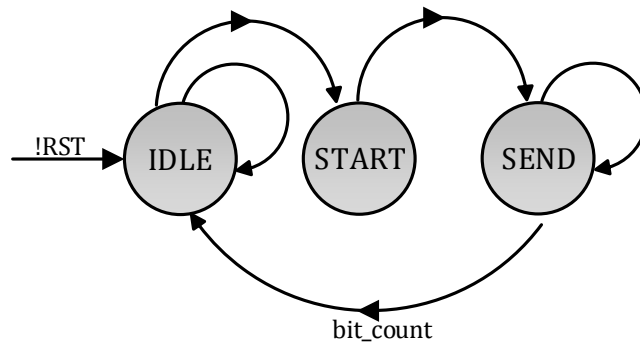


Figura 30 - Máquina de estados principal - Módulo de Comunicação com DAC AD5791

Como podemos visualizar na máquina de estados da figura 30, quando é efetuado um *reset*, a máquina de estados é inicializada no estado *IDLE*, sendo que é neste estado ativada uma *flag* chamada *WE* que indica a um *top-module* que pode ser introduzido um novo valor no registo de escrita. Após esse estado, é executado o estado *START*, onde é carregado esse valor no registo interno do módulo. De seguida passa para o estado *SEND*, onde envia o valor carregado bit a bit. No estado *SEND* a linha *SS* encontra-se ao nível lógico 0, enquanto nos outros estados está ao nível lógico 1, como descrito na figura 13. Além disso, como se trata de uma comunicação síncrona, o *clock* gerado para o funcionamento deste módulo é o mesmo que é fornecido ao IC AD5791.

O módulo de comunicação do DAC foi desenvolvido conjuntamente com um *top-module* para controlo desse módulo, para que fosse possível verificar o seu funcionamento, tanto através de simulação como experimentalmente. Este *top-module* foi de simples implementação, pois a única função que tinha era carregar o registo interno do DAC com um valor conhecido, quando o *WE* estava com o nível lógico 1. Na figura 31 é apresentada uma simulação do seu funcionamento.

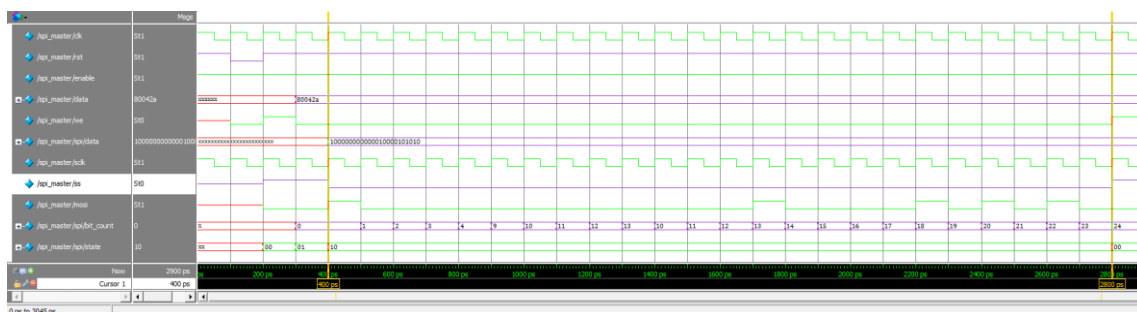


Figura 31 - Simulação do envio de uma trama de dados – Módulo DAC (ModelSim)

Verificado o correto funcionamento do módulo, implementou-se esse módulo na FPGA e em conjunto com o osciloscópio MSO4104 da Tektronix no modo de análise de tramas de 24 *bits* do protocolo de comunicação SPI, foi possível confirmar o seu funcionamento experimentalmente, como se pode verificar na figura 32.

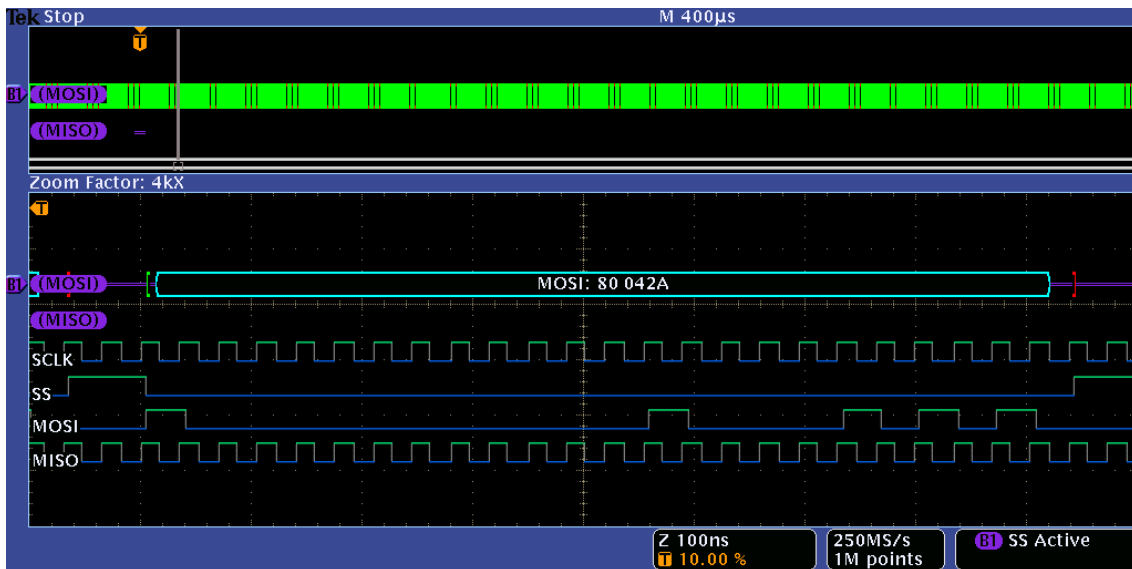


Figura 32 - Teste Experimental do envio de uma trama de dados - Módulo DAC (Tektronix MSO4104)

Após a verificação do funcionamento do módulo de comunicação do DAC via SPI, implementou-se um novo *top-module* na FPGA no sentido de se verificar o seu funcionamento quando ligado ao IC AD5791. A figura 33 mostra o *top-module* desenvolvido juntamente com a instanciação do módulo de comunicação com o DAC.

```

always@(posedge clk)
begin
  if(!rst)
  begin
    state <= 'CONFIG;
    data <= 24'd0;
    data_aux <= 20'd0;
  end
  else
  begin
    if(we) //Verifica se está pronto a receber os dados
    begin
      case(state)
      'CONFIG:
      begin
        data <= 24'b0010000000000000000000010010;
        state <= 'RAMP;
      end
      'RAMP:
      begin
        data <= {4'b0001,data_aux};
        data_aux <= data_aux+1'b1;
        if(data_aux == 20'hFFFFFF)
          data_aux <= 20'd0;
      end
      endcase
    end
  end
end
end

```

```

//INST MODULE DAC SPI//
spi spi (
  .CLK(clk),
  .RST(rst),
  .MISO(miso),
  .ENABLE(enable),
  .DATATOP(data),
  .SCLK(sclk),
  .SS(ss),
  .MOSI(mosi),
  .LDAC(ldac),
  .RESET(reset),
  .CLEAR(clear),
  .WE(we)
);

```

Figura 33 – Top-module DAC AD5791 (Verilog)

Este *top-module* tem a função de configurar o DAC AD5791, no modo de operação *standalone*, como ilustrado na tabela 2, e depois aumentar linearmente a tensão de saída do DAC, como representado na tabela 3. Na figura 34 pode-se visualizar o resultado esperado no osciloscópio 2022B da Tektronix [42].

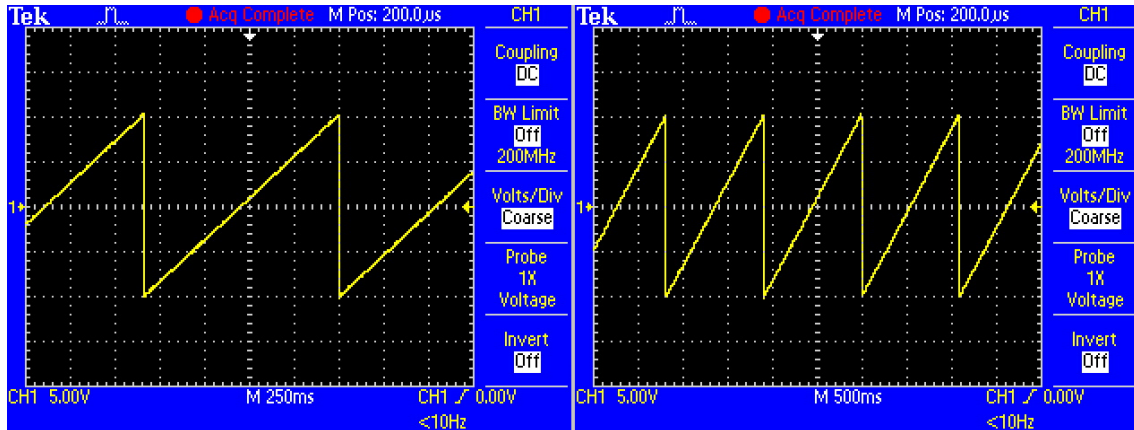


Figura 34 - Teste Experimental – *Top-module* DAC AD5791 (Tektronix 2022B)

5.1.3 Módulo ADC – ADS5560

Como analisado no capítulo anterior, de todos os módulos necessários para a implementação do sistema, o módulo de leitura do ADC é o mais simples de desenvolver e implementar. No modo de operação selecionado anteriormente, Paralelo CMOS, o módulo digital do ADC apenas tem de fornecer o *clock* ao ADS5560 e após 16 ciclos desse *clock*, é amostrado à sua saída o valor lido do *charge amplifier* (neste caso em particular). Esta amostragem acontece a cada transição positiva do *clock* fornecido, neste caso de 5MHz através de uma PLL de semelhante implementação das anteriores. A figura 35 ilustra a máquina de estados do funcionamento deste módulo.

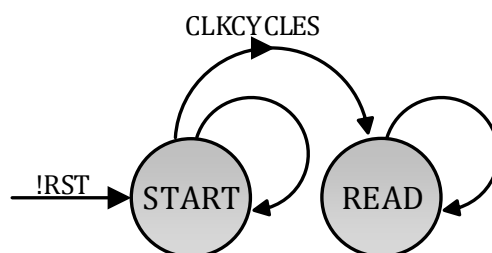


Figura 35 - Máquina de estados principal - Módulo ADC ADS5560

Depois de concluído o módulo, foi desenvolvido o *testbench* ilustrado na figura 36 de modo a simular o seu funcionamento com o ADC.

```

1  module top_module_tb;
2
3      // Inputs
4      reg CLK;
5      reg RST;
6      reg ENABLE;
7      reg CLKADS;
8      reg [15:0]DATA_IN_ADC;
9
10     // Outputs
11     wire CLKP;
12     wire [15:0]DATA_OUT_ADC;
13
14     // Instantiate the Unit Under Test (UUT)
15     top_module uut (
16         .CLK(CLK),
17         .RST(RST),
18         .ENABLE(ENABLE),
19         .CLKADS(CLKADS),
20         .DATA_IN_ADC(DATA_IN_ADC),
21         .DATA_OUT_ADC(DATA_OUT_ADC),
22         .CLKP(CLKP)
23     );
24
25     initial begin
26         // Initialize Inputs
27         CLK = 0;
28         RST = 1;
29         ENABLE = 1;
30         #100;
31         RST = 0;
32         CLKADS = 1;
33         #100;
34         RST = 1;
35
36         DATA_IN_ADC = 16'd0;    # 100 ;
37         DATA_IN_ADC = 16'd1;    # 100 ;
38         DATA_IN_ADC = 16'd2;    # 100 ;
39         DATA_IN_ADC = 16'd3;    # 100 ;
40         DATA_IN_ADC = 16'd4;    # 100 ;
41         DATA_IN_ADC = 16'd5;    # 100 ;
42         DATA_IN_ADC = 16'd6;    # 100 ;
43         DATA_IN_ADC = 16'd7;    # 100 ;
44         DATA_IN_ADC = 16'd8;    # 100 ;
45         DATA_IN_ADC = 16'd9;    # 100 ;
46         DATA_IN_ADC = 16'd10;   # 100 ;
47         DATA_IN_ADC = 16'd11;   # 100 ;
48         DATA_IN_ADC = 16'd12;   # 100 ;
49         DATA_IN_ADC = 16'd13;   # 100 ;
50         DATA_IN_ADC = 16'd14;   # 100 ;
51         DATA_IN_ADC = 16'd15;   # 100 ;
52         DATA_IN_ADC = 16'd16;   # 100 ;
53         DATA_IN_ADC = -16'd16;  # 100 ;
54         DATA_IN_ADC = -16'd16;  # 100 ;
55
56         #100 $finish;
57     end
58
59     always #5 CLK = ~CLK;
60     always #50 CLKADS = ~CLKADS;
61 endmodule

```

Figura 36 - Testbench - Módulo ADC (Verilog)

O resultado do *testbench* apresentado na figura 36 pode ser visualizado na simulação apresentada na figura 37. Os resultados da simulação mostram o correto funcionamento do sistema para o modo de operação selecionado do ADS5560.

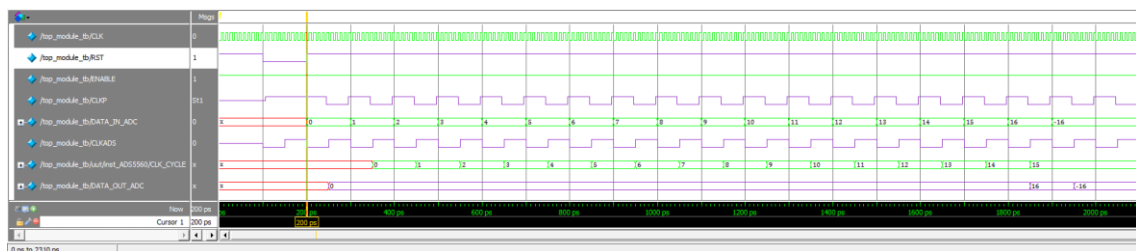


Figura 37 - Simulação de leitura de dados – Módulo ADC (ModelSim)

Para comprovar o funcionamento deste módulo em conjunto com o ADC ADS5560, o módulo foi implementado na FPGA para que o valor lido pelo ADC fosse visualizado em 16 LEDs disponibilizados pela placa de desenvolvimento. Através de várias tensões contínuas aplicadas pela fonte programável 7651 da Yokogawa foi possível confirmar nos LEDs o valor lido pelo ADC e assim o funcionamento do módulo [43].

5.1.4 Módulo Filtro Digital FIR

Antes de se proceder ao desenvolvimento do módulo *mixer*, foi necessário desenvolver um filtro digital de modo a eliminar os ruídos ou frequências indesejadas que acompanham a portadora à entrada do ADC. Depois de algumas implementações mal sucedidas, através da ferramenta FDA Tool do Matlab, optou-se pela implementação deste módulo de raiz. Devido aos módulos gerados pelo FDA Tool serem genéricos e não utilizarem os recursos disponibilizados pela FPGA utilizada, como multiplicadores, somadores e outros, o resultado da atenuação do filtro digital era sempre abaixo do pretendido.

Foi desenvolvido um filtro digital do tipo FIR e não IIR, pelo facto do filtro do tipo IIR ser recursivo, o que produz problemas de arredondamento e um maior gasto de recursos da FPGA. Portanto, o filtro do tipo FIR torna-se no filtro mais estável para o sistema.

Neste sentido, foi selecionado o método da janela de Kaiser para o desenvolvimento do filtro digital FIR passa-baixo. Isto porque se trata de um método de implementação e iteração mais fácil, que permite a alteração da forma e largura da janela separadamente [44]. A figura 38 mostra uma aproximação ideal da resposta em frequência do filtro através do método da janela de Kaiser.

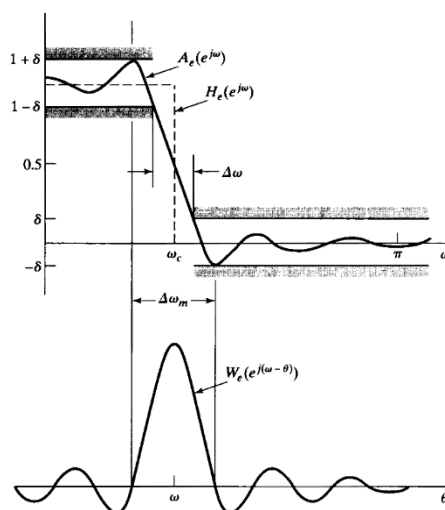


Figura 38 - Aproximação ideal da resposta em frequência - Filtro FIR Método da janela de Kaiser [44]

De forma a proceder à obtenção dos coeficientes do filtro digital e o resultado da sua função transferência, foi desenvolvido um *script* em Matlab, baseado nas equações 3, 4, 5, 6 e 7 do método da janela de Kaiser.

$$\Delta\omega = \omega_s - \omega_p \quad (3)$$

$$\omega_c = \frac{\omega_s + \omega_p}{2} \quad (4)$$

$$\beta = \begin{cases} 0.1102(A - 8.7), & A > 50, \\ 0.584(A - 21)^{0.4} + 0.7886(A - 21), & 21 \leq A \leq 50, \\ 0.0, & A < 21. \end{cases} \quad (5)$$

$$M = \frac{A - 8}{2.285\Delta\omega} \quad (6)$$

$$h[n] = \begin{cases} \frac{\sin[\omega_c(n - \alpha)]}{\pi(n - \alpha)} \times \frac{I_0[\beta(1 - [(n - \alpha)/\alpha]^2)^{1/2}]}{I_0 \times \beta}, & 0 \leq n \leq M, \\ 0, & \text{otherwise.} \end{cases} \quad (7)$$

Nas equações 3 e 4 o ω_s é a frequência de corte inferior correspondente à banda não passante e o ω_p é a frequência de corte superior correspondente à banda passante. A banda de transição, $\Delta\omega$, resulta da diferença entre estas duas frequências. Na figura 39 pode-se observar esta situação.

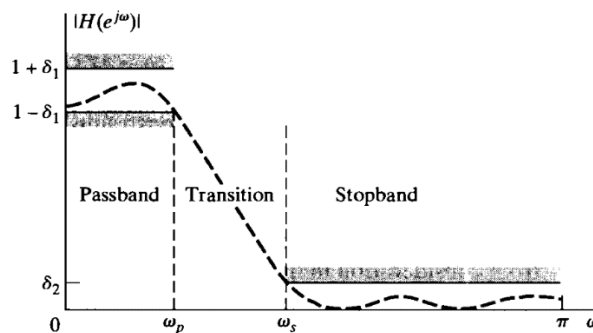


Figura 39 - Especificações do filtro [44]

Além disso, nas equações 5 e 6 a variável A é a atenuação desejada em dBs e o M resulta no número de coeficientes do filtro. Obtidos os parâmetros do método da janela de kaiser e através da equação 7, obtemos a função transferência do filtro e o valor dos seus coeficientes. A figura 40 ilustra a função transferência do filtro passa-baixo do tipo FIR desenhado para o sistema, tendo como parâmetros um ω_s de 0.008π (20kHz), um ω_p de 0.4π (1MHz) e um A de 120 dB. Sendo que a frequência de amostragem é de 5MHz tal como a do ADC utilizado no sistema.

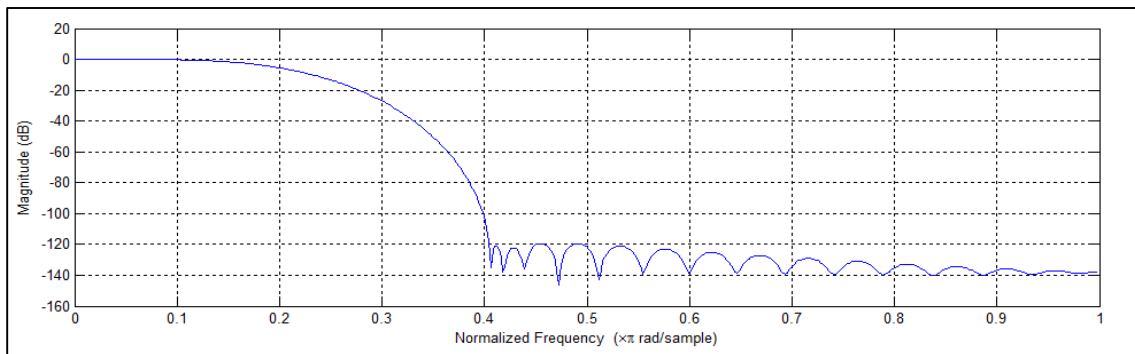


Figura 40 - Resultado da função transferência do filtro passa-baixo do tipo FIR (Matlab)

Desta função de transferência resultam 40 coeficientes, o que faz com seja necessário a implementação de vários módulos digitais aritméticos como demonstrado no diagrama de blocos do filtro apresentado na figura 41.

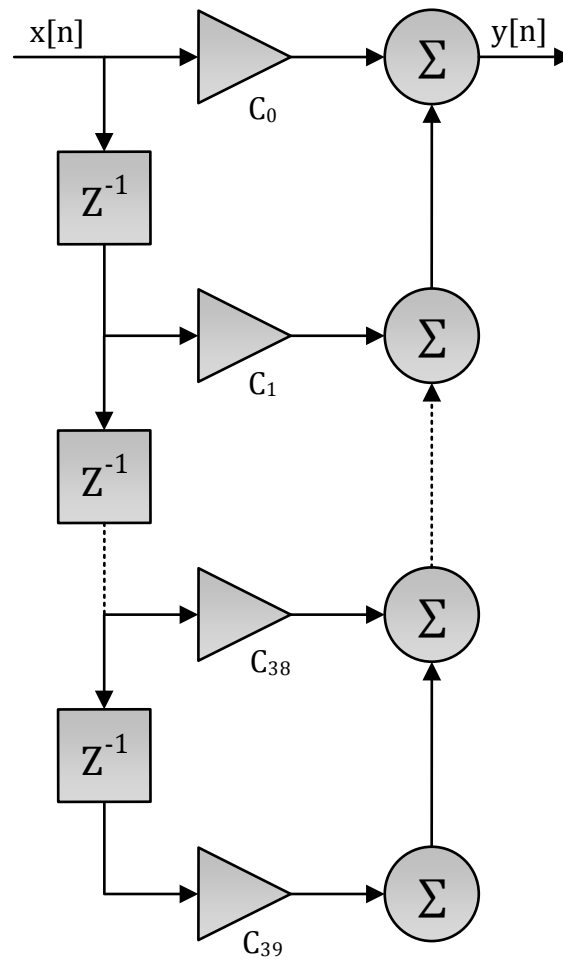


Figura 41 - Diagrama de blocos do filtro digital do sistema do tipo FIR

Para que o sistema só trabalhe com valores inteiros, tanto os coeficientes como os valores de entrada do filtro foram multiplicados por 2^{32} , ou seja rodados 32 vezes à esquerda. Isto devido aos valores dos coeficientes conterem casas decimais e um módulo aritmético com vírgula flutuante introduz bastante atraso no sistema, ao contrário dos que utilizam números inteiros em que o seu atraso é quase nulo, sofrendo só atrasos devido aos tempos de propagação.

De forma a verificar o funcionamento do filtro, foi criado um *testbench* do género do teste ilustrado na figura 36, só que neste teste os dados de entrada do ADC, ou neste caso do filtro, são gerados pelo Matlab através de um *script* que cria várias ondas sinusoidais de frequências diferentes, com uma frequência de amostragem de 5MHz. A simulação deste *testbench* é apresentada na figura 42, onde se pode verificar primeiro o sinal de entrada do filtro e depois o sinal de saída.

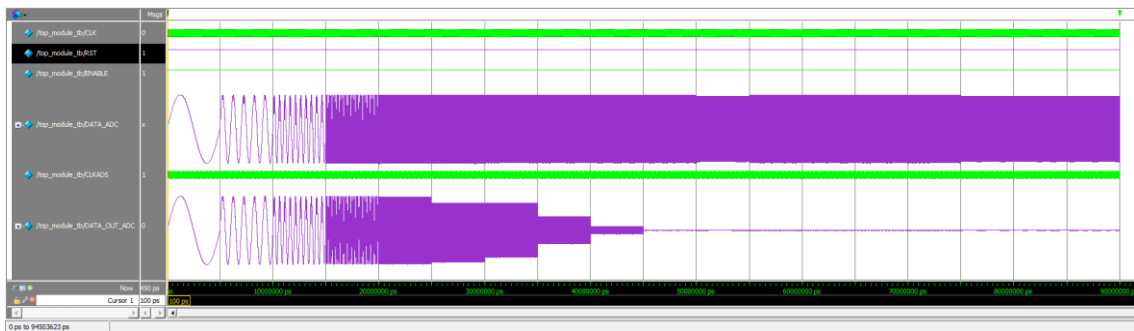


Figura 42 - Simulação de funcionamento – Módulo Filtro FIR (ModelSim)

Após a simulação e de modo a verificar se o comportamento do filtro é o esperado, foi realizada uma tabela em Excel com os valores adquiridos da simulação efetuada, de forma a se visualizar a atenuação conseguida pelo filtro. Na figura 43 é ilustrado o resultado da tabela dos valores adquiridos.

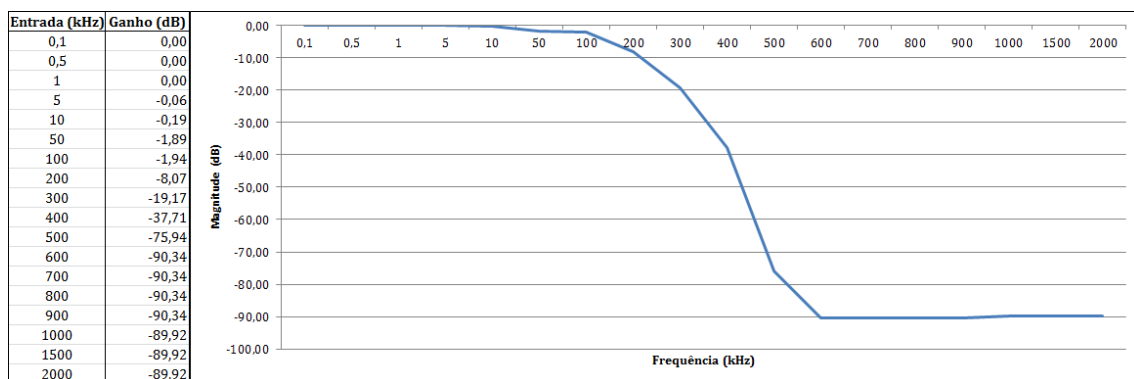


Figura 43 - Resposta da simulação - Módulo Filtro FIR

Esta diferença na ordem dos 30 dB do comportamento do filtro em relação ao demonstrado na figura 40 deve-se principalmente ao facto de os coeficientes serem arredondados como descrito anteriormente e também devido à resolução das sinusoides introduzidas à entrada do filtro. Isto porque enquanto a primeira senoide com uma frequência de 100Hz tinha uma resolução de 50 mil pontos, a segunda a 500Hz já só tinha 10 mil pontos e assim sucessivamente com o aumento da frequência. Mesmo assim, uma atenuação de menos 90 dB à frequência de 1MHz é aceitável para o sistema.

5.1.5 Módulo *Mixer*

Analisados os vários métodos de implementação no estado da arte e desenvolvidos os módulos necessários para o funcionamento do *mixer*, foi desenvolvido o módulo digital do *mixer* baseado no diagrama de blocos apresentado na figura 44.

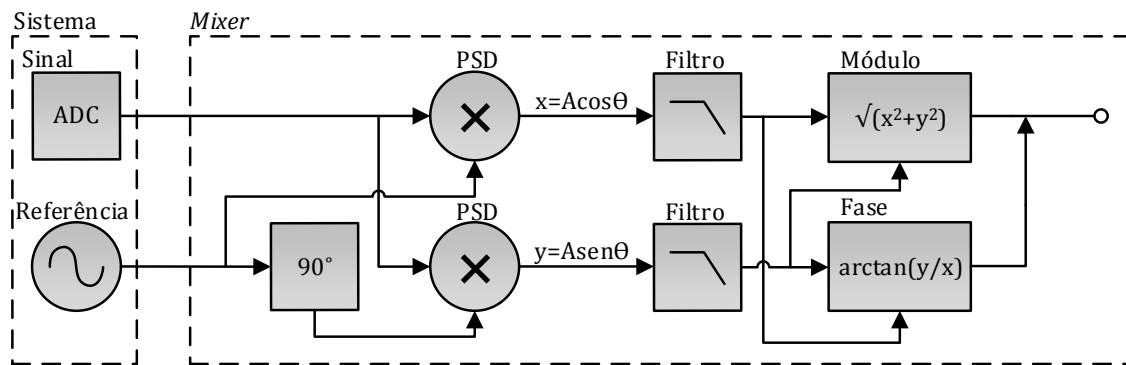


Figura 44 - Diagrama de blocos do amplificador *lock-in*

Antes de proceder ao desenvolvimento do módulo digital, foi verificado o seu funcionamento através de um *script* em Matlab. Este *script* segue a estrutura apresentada no diagrama de blocos ilustrado na figura 44, tendo como entradas a saída do ADC, simulada por um sinal de 1MHz modulado por várias frequências, e como referência um cosseno de 1MHz. O sinal de 1MHz está amostrado a uma frequência de 5MHz, a mesma do ADC descrito anteriormente. De modo a se poupar recursos da FPGA, o cálculo do bloco da Fase em vez de ser pelo arco-tangente, o que iria introduzir também vários *clocks* de atraso, é realizado por outro método de resultado semelhante. Isto é, sincroniza-se a onda modulada de entrada com a referência gerada, no momento em que a onda modulada passa o eixo dos *yy*. Sincronizados os sinais de entrada, a fase do sinal desmodulado à saída do bloco Módulo é dada pelo sinal do *Asenθ_filtrado*. Na figura 45 é apresentado graficamente o resultado do *script* implementado.

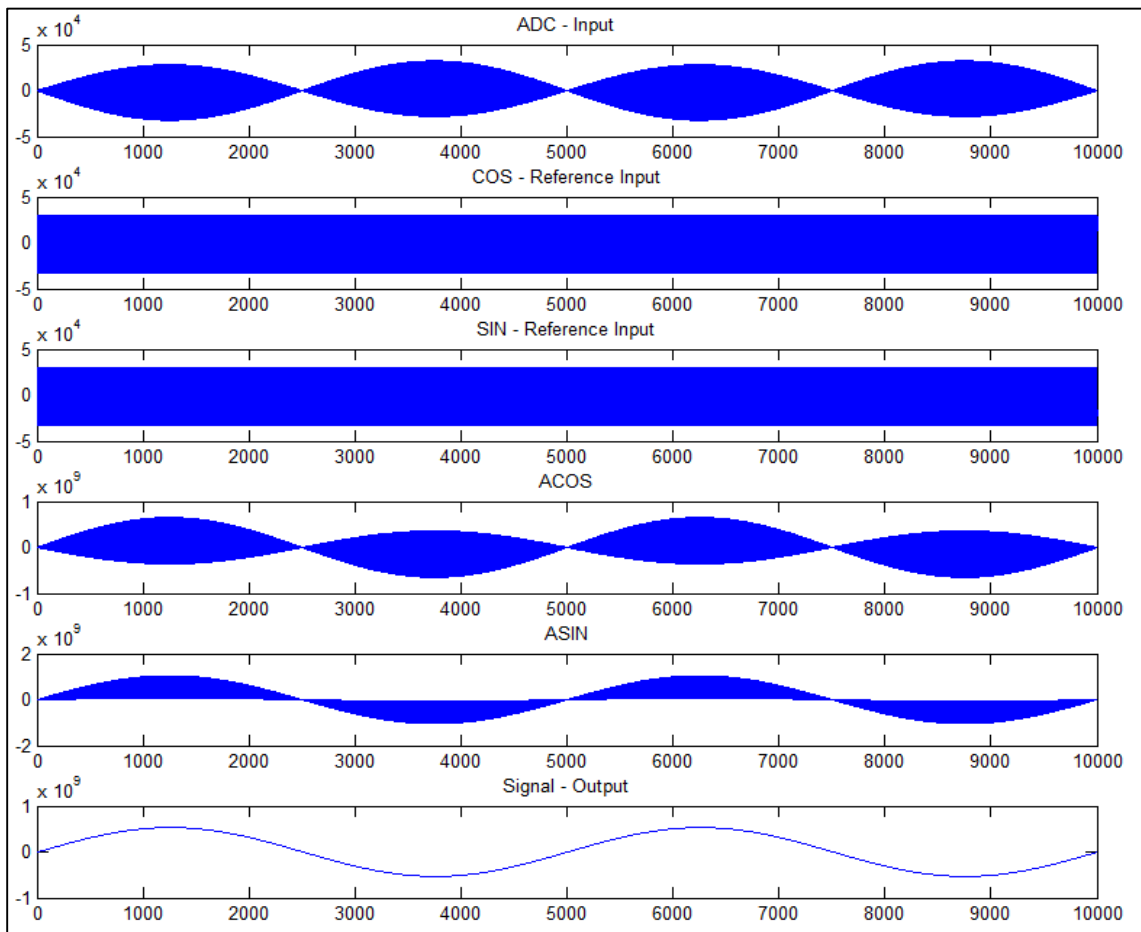


Figura 45 - Simulação - Módulo *Mixer* (Matlab)

Em seguida implementou-se o diagrama de blocos ilustrado na figura 44 em Verilog HDL e executou-se uma simulação com os mesmos dados de entrada de modo a verificar, se o seu comportamento continuava o mesmo. A figura 46 ilustra o resultado dessa simulação.

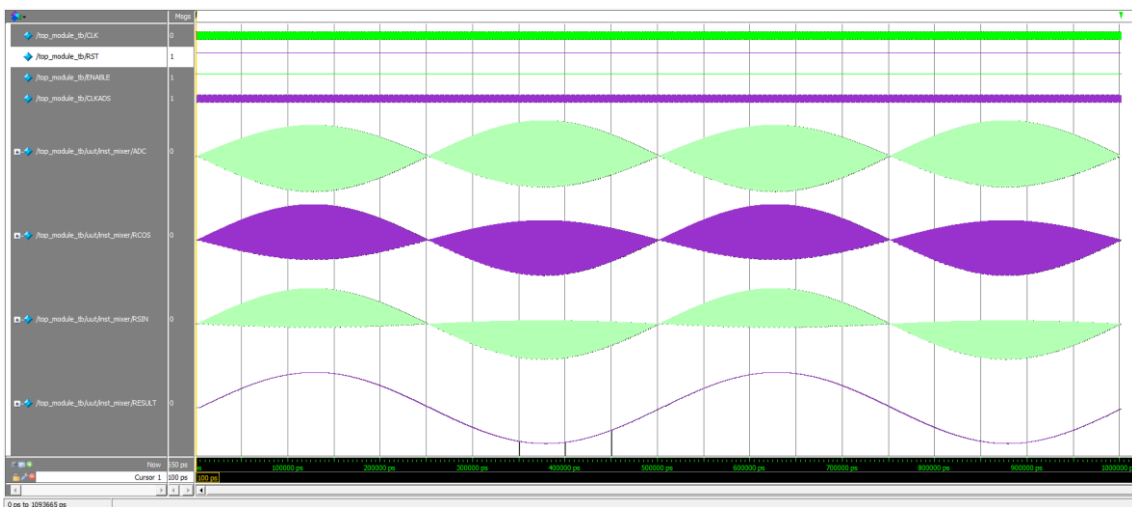


Figura 46 - Simulação - Módulo *Mixer* (ModelSim)

5.1.6 Módulo UART

O módulo UART foi implementado no sistema, devido à necessidade de trocar informação entre o PC e a FPGA. Deste modo é possível verificar o funcionamento do sistema experimentalmente e também alterar parâmetros de controlo através do PC.

Um dispositivo UART permite uma comunicação de forma simples, utilizando um pequeno conjunto de regras, como o formato da trama de dados e a velocidade de comunicação. Além disso, trata-se de uma comunicação assíncrona, o que faz com que não haja necessidade de sincronismo de *clock*, entre os dois dispositivos. Na figura 47 é apresentado o formato da trama de dados de comunicação, onde se pode visualizar como se encontra a linha de dados quando não existe qualquer comunicação entre os dispositivos e como é iniciada e terminada a mesma.



Figura 47 - Formato da trama de dados - Módulo UART

O módulo UART desenvolvido usa uma trama de dados de 10 *bits*, sendo 2 de controlo e 8 de dados. Além disso o *baud rate* selecionado foi de 115200bps, sendo necessário a criação de um registo auxiliar para a geração desse *baud rate*. Este registo auxiliar trata-se de um simples acumulador que quando atinge um certo valor envia um sinal, chamado *baud tick*, e recomeça a contagem. A equação 8 define esse valor.

$$BaudTick = \frac{Clock_{int}}{BaudRate} \quad (8)$$

Concluída esta análise foi desenvolvido numa primeira fase um sub-módulo de envio do dispositivo UART. Na figura 48 é apresentada a máquina de estados do módulo de envio.

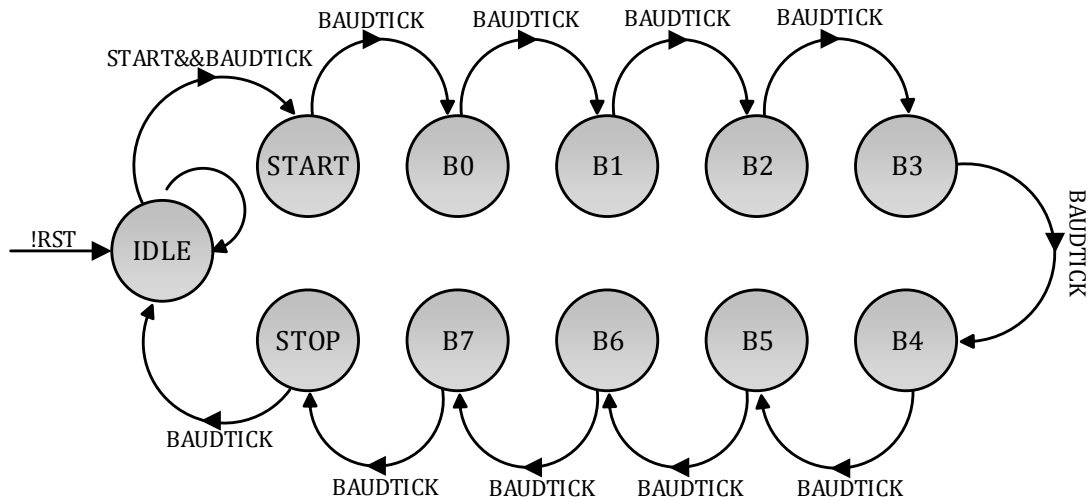


Figura 48 - Máquina de Estados do modo de transmissão - Módulo UART

Implementada a máquina de estados, foi verificado o seu funcionamento, primeiro através de uma simulação no ModelSim ilustrada na figura 49 e depois pelo envio de dados através da porta série, com o auxílio da aplicação “Terminal” instalada no PC.

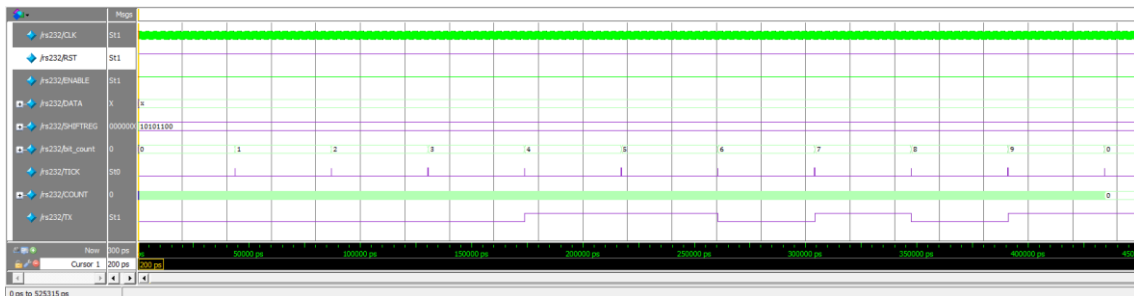


Figura 49 - Simulação de transmissão do carácter 'X' - Módulo UART (ModelSim)

A linha *TX* visualizada na figura 49 corresponde à saída do sub-módulo de transmissão. Esta muda o seu nível lógico sempre que acontece um *TICK*, isto é, quando o valor máximo do acumulador é atingido. Este valor lógico é dado pelo registo *SHIFTRREG*, registo para onde é carregado o valor de 8 *bits* que se pretende transmitir.

Por último, foi desenvolvida a máquina de estados do sub-módulo de receção de dados do módulo UART, como se pode observar na figura 50.

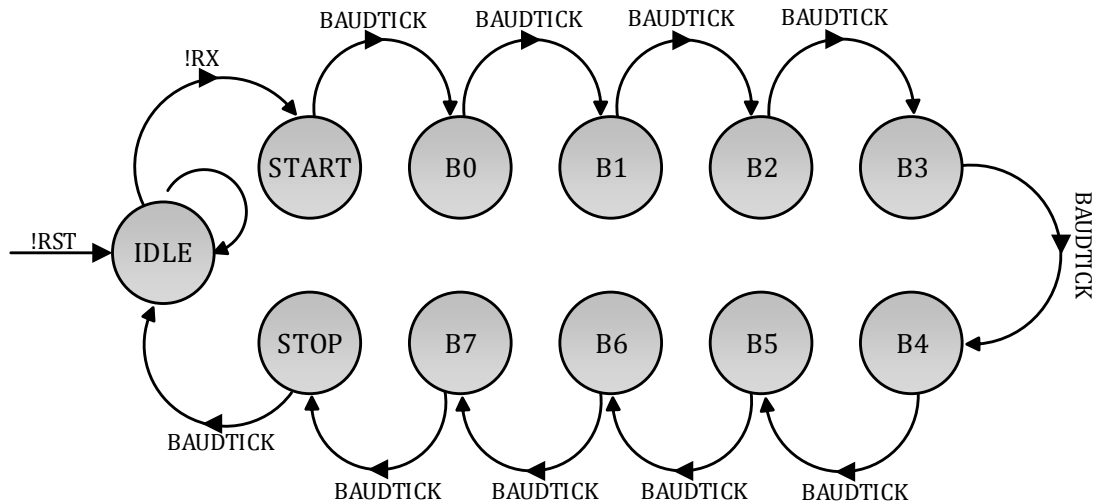


Figura 50 - Máquina de Estados do modo de recepção - Módulo UART

Implementado o sub-módulo de recepção, o seu funcionamento foi verificado de forma semelhante ao sub-módulo de transmissão, alterando-se apenas o modo como é realizado o teste experimental. Neste caso, utilizou-se o sub-módulo de transmissão no teste, sendo que o sistema ao receber um determinado caracter via porta série, respondia com a transmissão do mesmo. A simulação apresentada na figura 51 ilustra essa mesma situação.

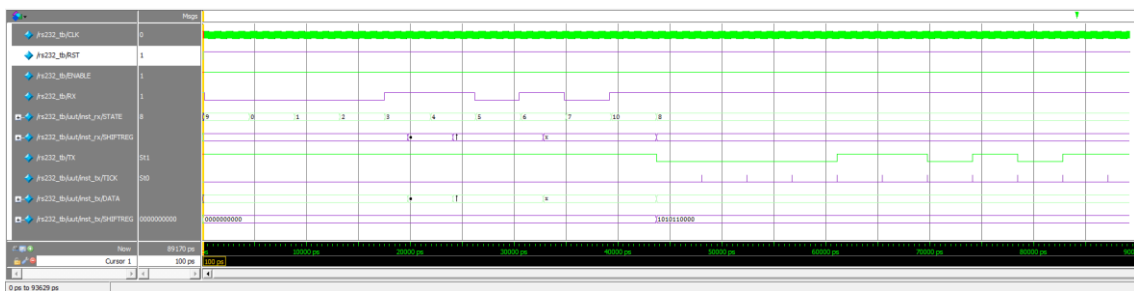


Figura 51 - Simulação de recepção e transmissão do caracter 'X' - Módulo UART (ModelSim)

Pode-se visualizar na figura 51 que após a recepção do caracter 'X' pela linha *RX*, este é carregado no *SHIFTREG* do sub-módulo de transmissão e enviado de seguida pela linha *TX*.

5.1.7 Módulo de Memória

Após a conclusão de todos os módulos necessários ao sistema de leitura de estruturas MEMS capacitivas, foi adicionado ao sistema um módulo de memória com o intuito de uma visualização em tempo real das variações de capacidade medidas. A velocidade de transmissão de 115200bps do módulo UART não é suficiente para uma visualização da maior parte dos dados adquiridos pelo ADC. Assim sendo, através da ferramenta MegaWizard Plug-In Manager do Quartus II, foi implementado um módulo *RAM Dual-Port* (para gravação dos dados lidos pelo ADC) como ilustrado na figura 52 [45].

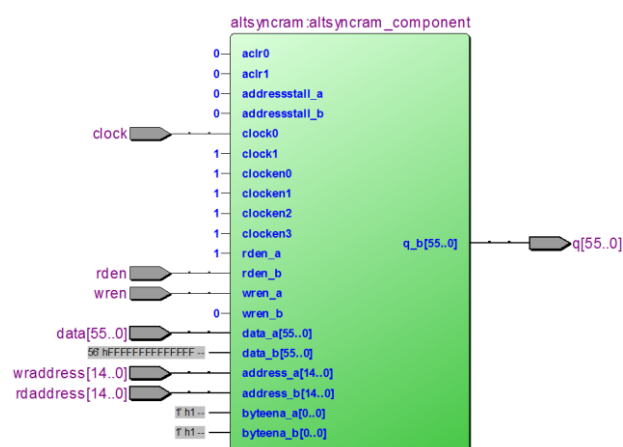


Figura 52 - Módulo RAM Dual-Port

Este módulo opera da seguinte forma: caso seja uma operação de escrita, deve-se seleccionar o endereço, carregar o valor para a entrada de dados e ativar o *write-enable*. Caso seja uma operação de leitura, deve-se seleccionar o endereço e ativar o *read-enable*. Depois o valor guardado no endereço pretendido aparecerá na saída de dados. Cada operação destas, seja de leitura ou escrita, demora um ciclo máquina a ser executada. Na figura 53 é apresentada uma simulação em conjunto com o módulo UART da receção de um valor do ADC que é guardado na memória, e após uma operação de leitura o valor é transmitido pela UART.

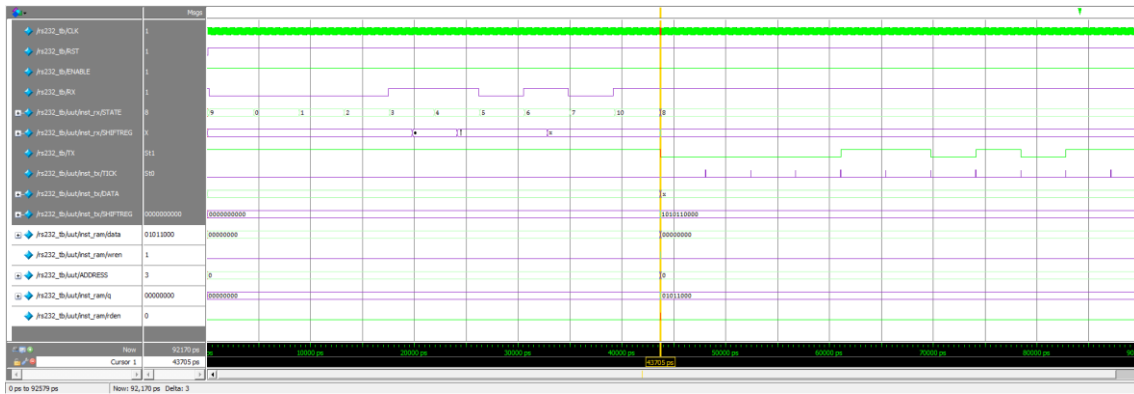


Figura 53 - Simulação RAM Dual-Port com módulo UART (ModelSim)

Após o teste do módulo RAM em conjunto com o módulo UART, estes foram implementados na FPGA e em conjunto com a aplicação do “Terminal” via porta série foram testados experimentalmente.

5.1.8 Módulo de *Top-Module*

Desenvolvidos e implementados os módulos necessários para o funcionamento do sistema e verificado individualmente o seu funcionamento, desenvolveu-se um módulo que controla e sincroniza todos estes módulos. Esse módulo é baseado na máquina de estados ilustrada na figura 54.

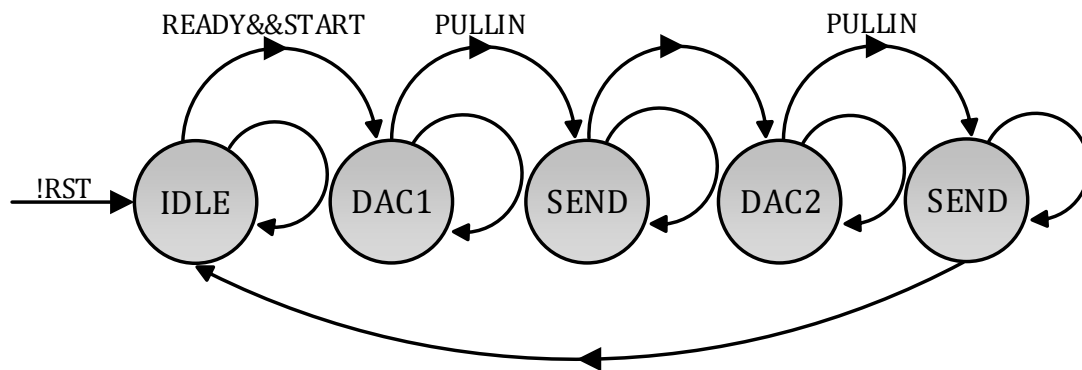


Figura 54 - Máquina de Estados - *Top-module*

Na máquina de estados ilustrada na figura 54, após o *RST*, o sistema encontra-se no estado *IDLE* à espera dos parâmetros de controlo enviados pelo

Matlab via RS232. Concluída esta receção o sistema gera uma rampa de atuação através do DAC1, e após ser detetada a tensão de *pull-in*, é enviado para o Matlab o valor de tensão aplicada à estrutura pelo DAC1. De seguida, é efetuado o mesmo procedimento de atuação através do DAC2. Concluído este processo, a máquina de estados volta para o estado *IDLE* onde aguarda que seja pedido pelo Matlab um novo teste.

De modo a proceder à implementação desta máquina de estados, foi necessário numa primeira fase o desenvolvimento de dois sub-módulos, um de deteção de *pull-in* e outro de controlo dos DACs, este último é o *top-module* do módulo de comunicação com o DAC apresentado no ponto 5.1.3.

O módulo *pull-in* foi desenvolvido para a deteção da tensão de *pull-in*, de modo que ao atingir essa tensão a estrutura deixe de ser atuada e assim não se danifique. Neste sentido, foram testados vários métodos de deteção de *pull-in*, sendo que o método com melhores resultados é apresentado no diagrama de blocos da figura 55.

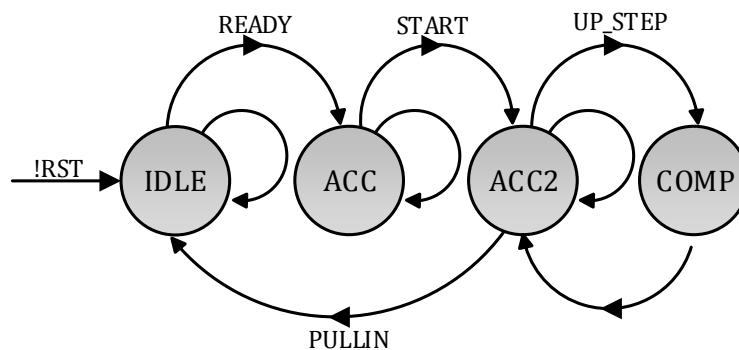


Figura 55 - Diagrama de blocos - Módulo *Pull-in*

No método ilustrado na figura 55, 0,8192ms antes de ser atuada a estrutura, o sinal de *READY* recebe o nível lógico 1, executando o estado *ACC*, que tem a função de somar todos os valores adquiridos à saída do amplificador *lock-in*. Após os 0,8192ms, o sinal *START* recebe o nível lógico 1 e é calculada a média desses valores. Esta média corresponde ao *offset* da estrutura quando esta se encontra em repouso, sendo que este *offset* a partir do momento em que a estrutura começa a ser atuada é retirado a todos os valores adquiridos à saída do amplificador *lock-in*. O tempo de 0,8192ms foi calculado de modo a que o número das amostras

somadas fosse um número de base 2, sendo mais fácil para o sistema efetuar o cálculo da sua média. Neste sentido e com uma frequência de amostragem de 5MHz, o número de amostras somadas é de 4096, equivalente a 2^{12} , o que faz com que a média seja realizada através da rotação do registo de acumulação, 12 vezes à direita.

No estado *ACC2* a estrutura encontra-se a ser atuada pelo DAC, com um valor inicial pré-definido, sendo este valor atualizado de 1,6ms em 1,6ms, tempo sinalizado pelo sinal *UP_STEP*. Neste estado, é também realizado o somatório das 8192 amostras retiradas à saída do amplificador *lock-in* de modo a que no estado *COMP* seja efetuado o cálculo da sua média e assim verificado se é ou não necessário diminuir o valor do *step* inicial. Isto é, à medida que a tensão à saída do amplificador *lock-in* se aproxima da região de *pull-in*, a tensão de cada *step* da rampa aplicada pelo DAC vai diminuindo até que seja mínima na zona de *pull-in*. A tensão de *pull-in* é dada por um parâmetro de entrada carregado inicialmente via RS232. A figura 56 ilustra as entradas e saídas deste módulo.

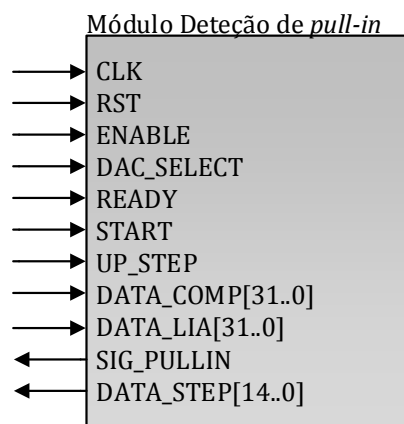


Figura 56 - Módulo detecção de *pull-in*

Concluído o módulo de detecção de *pull-in*, desenvolveu-se o *top-module* do módulo de comunicação com o DAC. Este módulo efetua o controlo da atuação dos quatro DACs existentes no sistema. Neste sentido, são instanciados quatro módulos de comunicação com os DACs, cada um deles ligado a um DAC do sistema em particular. Este *top-module* recebe inicialmente via RS232 como parâmetros de entrada, os valores de tensão dos DACs e o tempo de espera antes de cada atuação à estrutura. A figura 57 apresenta as entradas e saídas deste *top-module*.

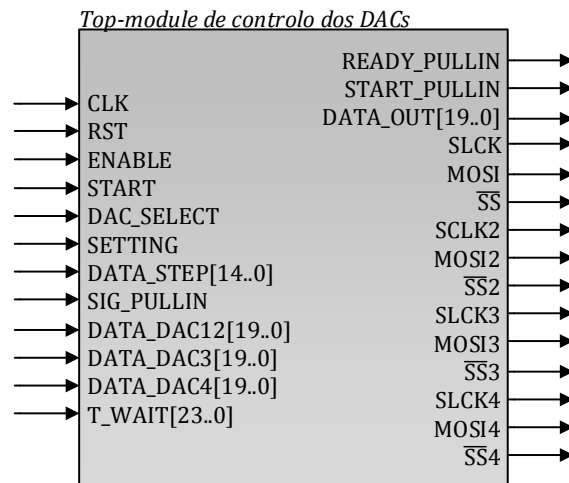


Figura 57 - *Top-module* de controlo dos DACs

Neste *top-module*, após o *RST* e depois de os parâmetros iniciais terem sido carregados via RS232, é feita a configuração e inicialização dos DACs. Após a inicialização dos DACs, é gerada uma rampa ou uma atuação fixa no DAC 1 ou DAC 2, dependo da atuação selecionada (*SETTING*) e DAC selecionado (*DAC_SELECT*). No modo de atuação fixa, passado um tempo pré-definido (*T_WAIT*), o *data switch* é aberto e a estrutura é atuada por uma determinada tensão. Caso seja detetado *pull-in*, o *data switch* fecha imediatamente e a estrutura deixa de ser atuada. No caso de a atuação ser através de uma rampa, este espera o tempo pré-definido (*T_WAIT*), abre o *data switch* com um valor inicial de atuação pré-definido que vai sendo incrementado com o valor *DATA_STEP* de 1,6 em 1,6ms como descrito anteriormente, até que seja detetado o *pull-in*. Após a deteção de *pull-in* o *data switch* é fechado, a estrutura deixa de ser atuada, e é inicializado o DAC para o valor de atuação inicial. Passado um tempo pré-definido (*T_WAIT*) este processo é reiniciado. Na figura 58 é demonstrada a máquina de estados descrita.

Nesta máquina de estados, após o *RST* e carregamento dos parâmetros, a estrutura é atuada através do DAC1 ou DAC2, mediante o valor lógico de um *switch* de entrada. Em paralelo, a uma frequência de amostragem pré-definida, são guardados os valores adquiridos pelo ADC e os valores de saída do amplificador *lock-in* até ao máximo de espaço suportado pelo bloco de memória instanciado. Quando a memória se encontra preenchida, a máquina de estados passa para o estado *LOAD*, onde adquire o primeiro valor guardado na memória e depois o envia por RS232 no estado *SEND*. Este processo termina quando são enviados todos os valores guardados na memória.

5.2 Interface do Sistema Digital com o Analógico

Concluído o desenvolvimento de todo o *gateway*, foi necessário interligar o sistema digital com o sistema analógico. Neste sentido, foram utilizados os dois *headers* de 40 pinos disponibilizados pela FPGA, juntamente com dois *flat cables* para a interligação com o sistema analógico. Na tabela 7 são especificados todos os sinais de entrada, de saída e a que pinos estão conectados.

Tabela 7 - Descrição dos pinos de entrada e saída

GPIO 0					
Header Pin	FPGA Pin	Sinal	Header Pin	FPGA Pin	Sinal
1	PIN_T25	NC	2	PIN_C30	PWM
3	PIN_T24	NC	4	PIN_C29	PWM2
5	PIN_E28	NC	6	PIN_D29	SCLK
7	PIN_E27	SCLK4	8	PIN_D28	NC
9	PIN_E29	SCLK3	10	PIN_G25	SCLK2
11	-	+5V	12	-	GND
13	PIN_E30	SS4	14	PIN_G26	MOSI4
15	PIN_F29	NC*	16	PIN_G29	LDAC4
17	PIN_F30	CLR4	18	PIN_G30	RESET4
19	PIN_H23	NC	20	PIN_H29	SS3
21	PIN_G24	NC	22	PIN_H30	MOSI3
23	PIN_J29	NC*	24	PIN_H25	LDAC3
25	PIN_J30	CLR3	26	PIN_H24	RESET3
27	PIN_J25	SS2	28	PIN_K24	MOSI2
29	-	+3.3V	30	-	GND
31	PIN_J24	NC*	32	PIN_K25	LDAC2
33	PIN_L22	CLR2	34	PIN_M21	RESET2
35	PIN_L21	SS	36	PIN_M22	MOSI

37	PIN_N22	NC*	38	PIN_N25	LDAC
39	PIN_N21	CLR	40	PIN_N24	RESET
GPIO 1					
Header Pin	FPGA Pin	Sinal	Header Pin	FPGA Pin	Sinal
1	PIN_AH14	NC	2	PIN_G27	DATA_IN[0]
3	PIN_AG15	NC	4	PIN_G28	DATA_IN[1]
5	PIN_H27	DATA_IN[2]	6	PIN_L24	DATA_IN[3]
7	PIN_H28	DATA_IN[4]	8	PIN_L25	DATA_IN[5]
9	PIN_K27	DATA_IN[6]	10	PIN_L28	DATA_IN[7]
11	-	+5V	12	-	GND
13	PIN_K28	DATA_IN[8]	14	PIN_L27	DATA_IN[9]
15	PIN_K29	DATA_IN[10]	16	PIN_M25	DATA_IN[11]
17	PIN_K30	DATA_IN[12]	18	PIN_M24	DATA_IN[13]
19	PIN_AF27	NC	20	PIN_L29	DATA_IN[14]
21	PIN_AF28	NC	22	PIN_L30	DATA_IN[15]
23	PIN_P26	NC*	24	PIN_P28	NC
25	PIN_P25	NC*	26	PIN_P27	CLKADS
27	PIN_M29	NC*	28	PIN_R26	CLKP
29	-	+3.3V	30	-	GND
31	PIN_M30	NC	32	PIN_R27	NC
33	PIN_P24	NC	34	PIN_N28	NC
35	PIN_P23	NC	36	PIN_N29	NC
37	PIN_R23	DS1	38	PIN_P29	DS2
39	PIN_R22	DS4	40	PIN_P30	DS3
Legenda					
NC	PWM	DAC	ADC	D. Switch	

Além disso, foram utilizados os pinos internos à FPGA assinados na tabela 8, para fornecer os *clocks* aos módulos desenvolvidos, para a comunicação com o PC via RS232 e de *interface* com o utilizador.

Tabela 8 - Descrição dos pinos internos à FPGA

FPGA Pin	Sinal	Descrição
PIN_AD15	CLK	<i>Clock Top-module</i>
PIN_D16	CLKSPI	<i>Clock</i> módulo DAC
PIN_R28	CLKADC	<i>Clock</i> módulo ADC
PIN_R3	CLKPLL	<i>Clock</i> módulo Gerador de Sinal Sinusoidal
PIN_D21	RX	Pino de receção módulo UART
PIN_E21	TX	Pino de transmissão módulo UART
PIN_T29	RST	Botão de inicialização do sistema
PIN_AA23	ENABLE	Botão de <i>switch</i> para ativação dos <i>clocks</i> do sistema.

Na figura 60 e 61, visualiza-se a ligação de todo o *hardware*, bem como a bancada de trabalho onde se realizaram os testes experimentais do sistema implementado.

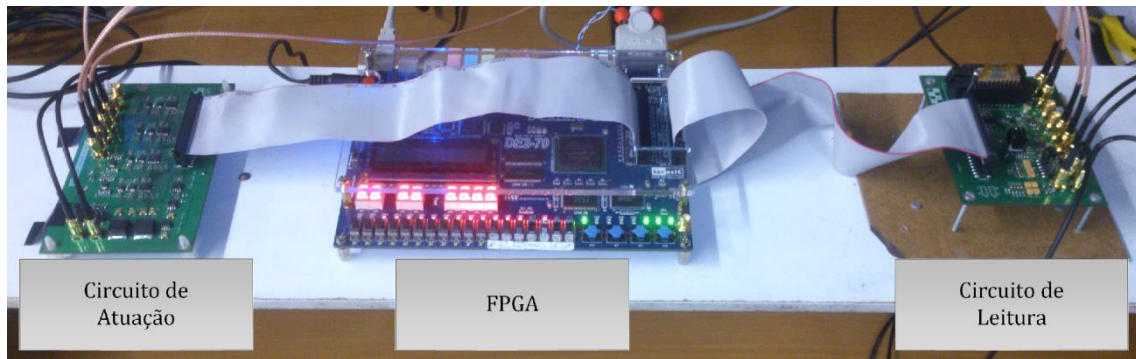


Figura 60 - Montagem utilizada para os testes experimentais

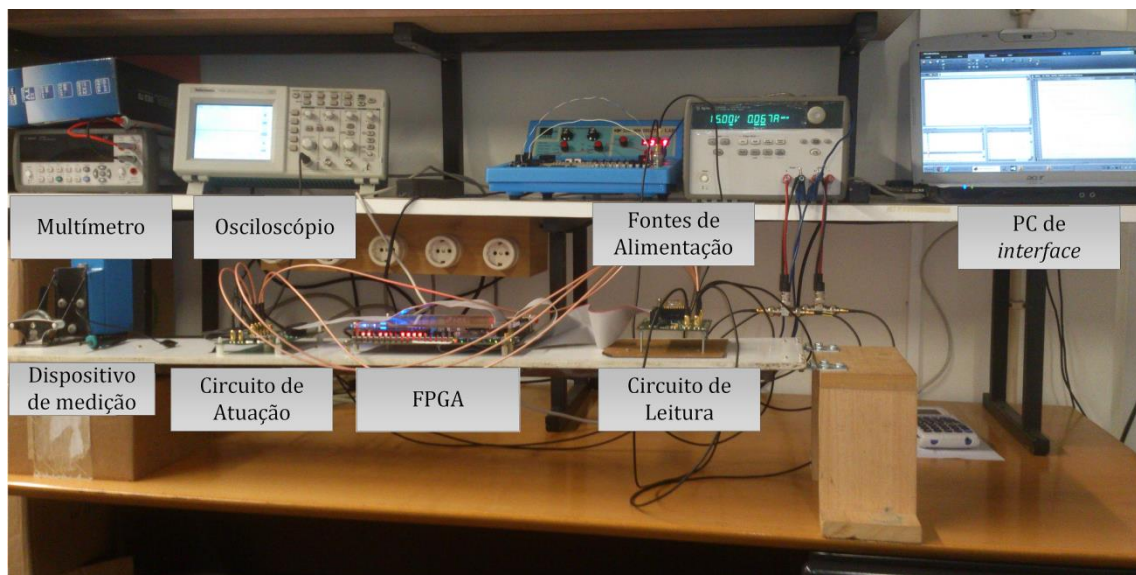


Figura 61 - Bancada de testes experimentais

Capítulo 6

Resultados Experimentais

Neste capítulo, são apresentados os testes efetuados e os resultados obtidos com o sistema de leitura de capacidades implementado. Desta forma, inicialmente é efetuada uma análise ao comportamento do módulo *mixer*, seguido de uma análise do módulo de deteção de *pull-in* e por fim a análise da sensibilidade do sistema. Para estes testes foi utilizada a máquina de estados ilustrada na figura 59 de modo a ser possível visualizar o funcionamento dos vários módulos do sistema.

6.1 Comportamento do *Mixer*

De modo a ser possível visualizar um evento de *pull-in* completo de uma estrutura MEMS capacitiva, e simultaneamente verificar o funcionamento passo a passo do módulo *mixer*, utilizou-se uma amostragem de 5kHz. Isto porque o módulo de memória implementado, não tem espaço suficiente para guardar todas as amostras (se fosse utilizada a frequência de 5MHz do sistema). Neste sentido, adquiriram-se dois eventos de *pull-in*, um através de uma rampa de atuação do DAC1 e outra através de uma rampa de atuação do DAC2. Ambas as rampas tiveram um valor inicial de 0V e um valor final de 5V.

6.1.1 Rampa de atuação DAC1

Como se pode observar na figura 44, inicialmente, no módulo *mixer*, é realizada a multiplicação do sinal modulado pelo sinal de referência e pelo sinal de referência desfasado 90°. Os resultados obtidos experimentalmente, podem ser observados na figura 62.

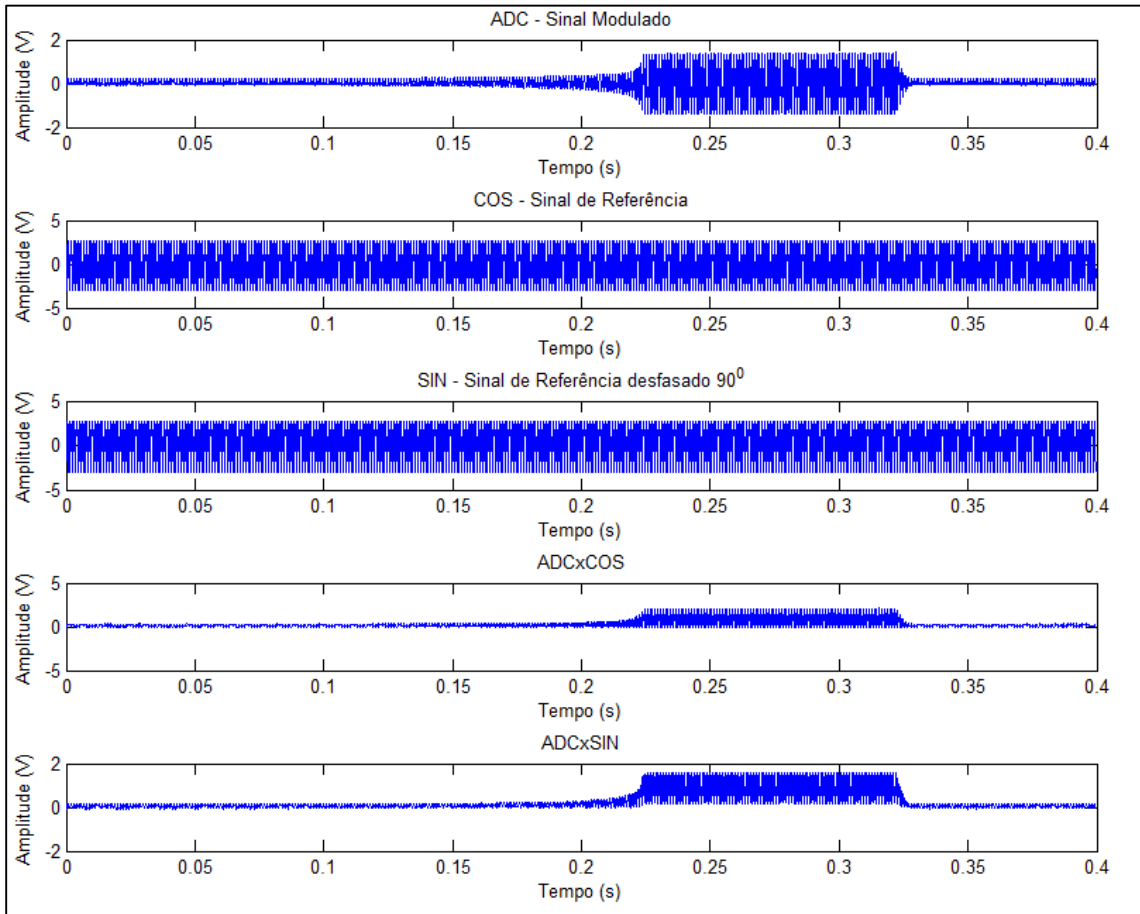


Figura 62 - Módulo *mixer* 1ª Fase - Atuação DAC1

Após a multiplicação dos sinais, os resultados são filtrados, através do filtro FIR anteriormente descrito. A figura 63 mostra o resultado obtido.

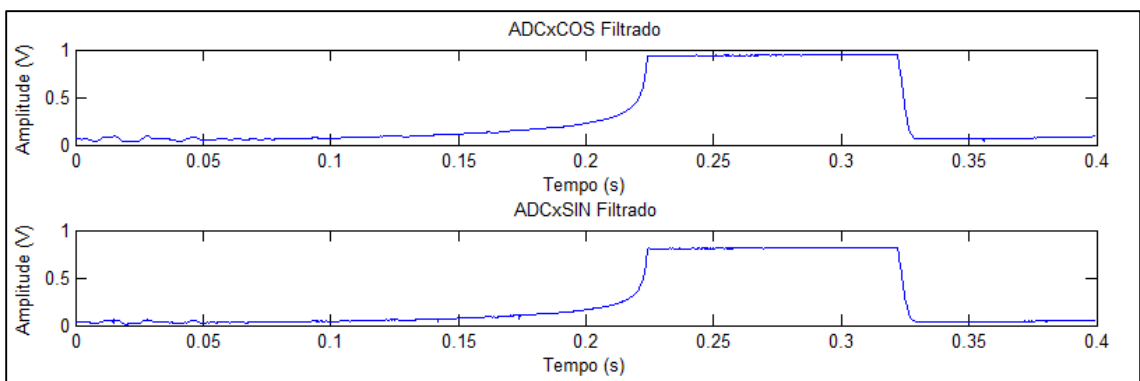


Figura 63 - Módulo *mixer* 2ª Fase - Atuação DAC1

Em seguida, é efetuado o cálculo do módulo e da fase, obtendo-se assim o sinal desmodulado. A figura 64 ilustra esse processo.

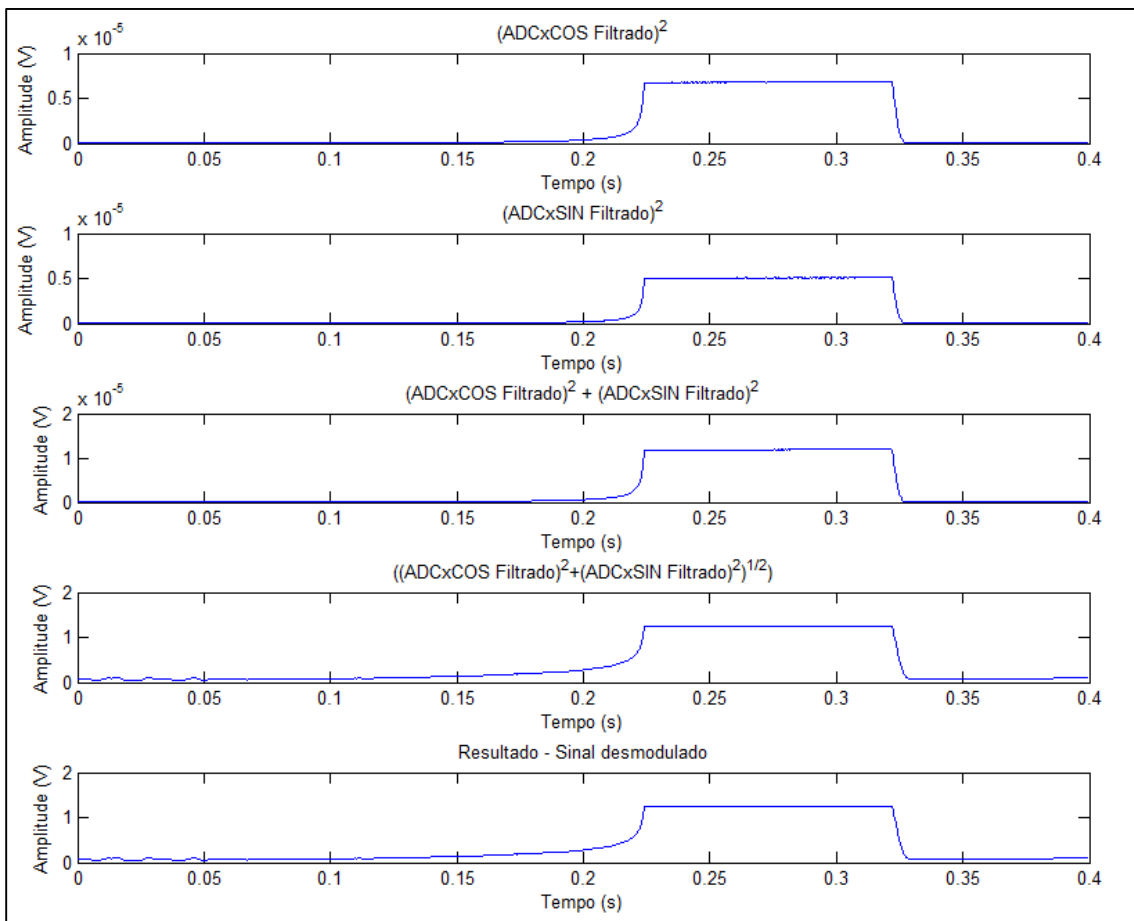


Figura 64 - Módulo *mixer* 3ª Fase - Atuação DAC1

6.1.2 Rampa de atuação DAC2

Neste caso, o processo é semelhante ao anterior, apenas a atuação é realizada a partir do DAC2 em vez do DAC1. Assim sendo, a figura 65 ilustra os sinais de entrada e a sua multiplicação.

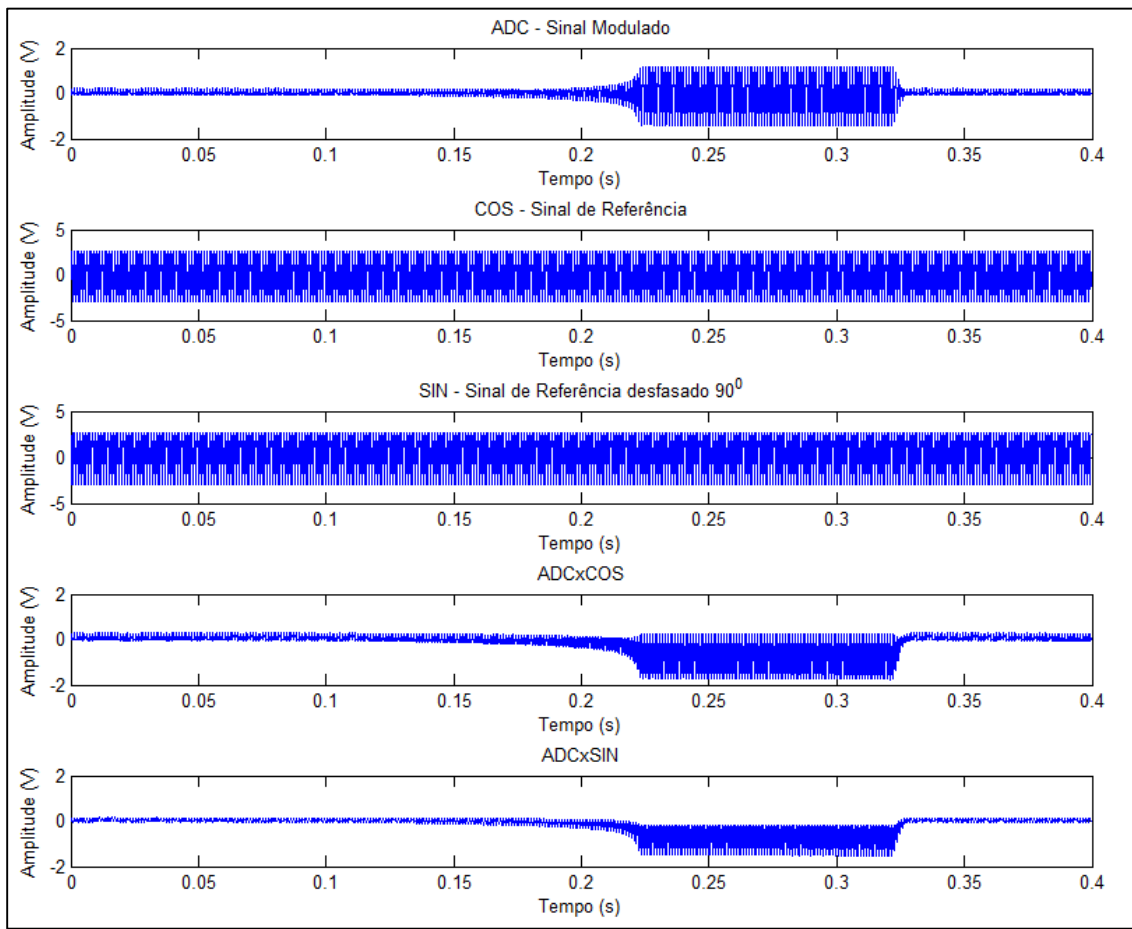


Figura 65 - Módulo *mixer* 1ª Fase - Atuação DAC2

Após esta fase é realizada a filtragem dos sinais resultantes da multiplicação. Na figura 66, pode-se visualizar o resultado obtido.

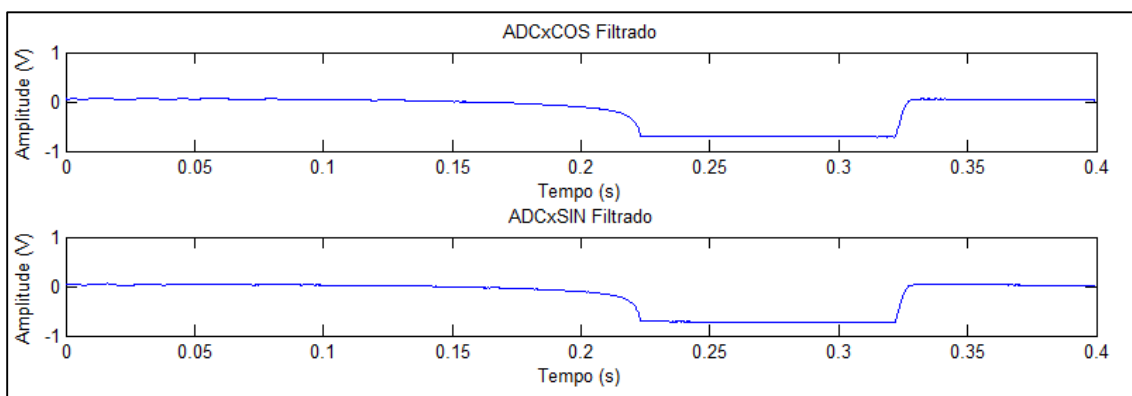


Figura 66 - Módulo *mixer* 2ª Fase - Atuação DAC2

Em seguida e como anteriormente, é calculado o módulo e a fase do sinal, de modo a obter o sinal pretendido desmodulado. A figura 67 ilustra esse processo.

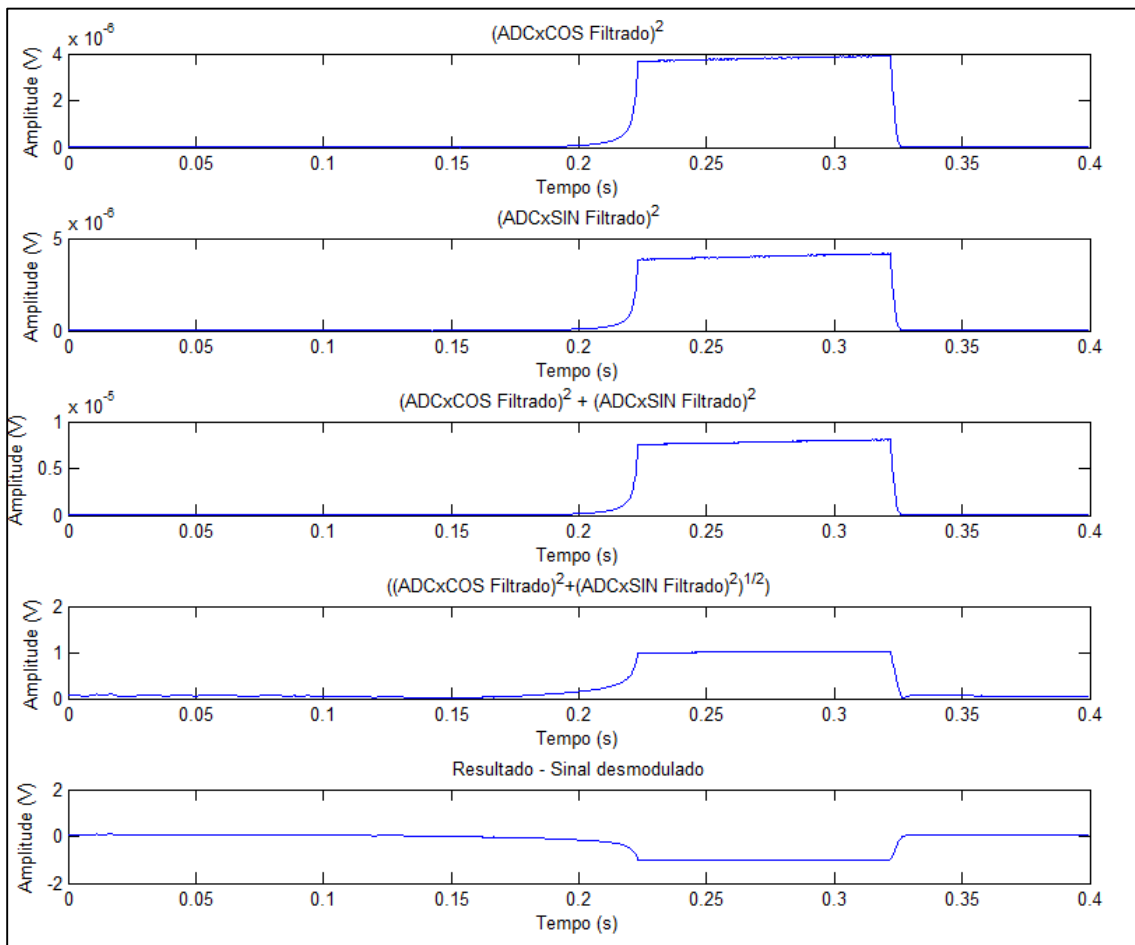


Figura 67 - Módulo *mixer* 3ª Fase - Atuação DAC2

Neste teste experimental, foi detetado um problema com o funcionamento deste módulo, que não tinha sido detetado na simulação do mesmo. O problema está relacionado com o *offset* inicial, neste caso positivo, o que faz com que no método usado para o cálculo da fase, haja problemas na obtenção do sinal no sinal desmodulado. Apesar de, nestes testes não se observar este problema, pois o *offset* nesta estrutura está muito perto do zero, este problema aumenta quanto maior for o *offset* que a estrutura tenha inicialmente. A figura 68 mostra de forma evidente o problema descrito numa situação em que o *offset* inicial é maior.

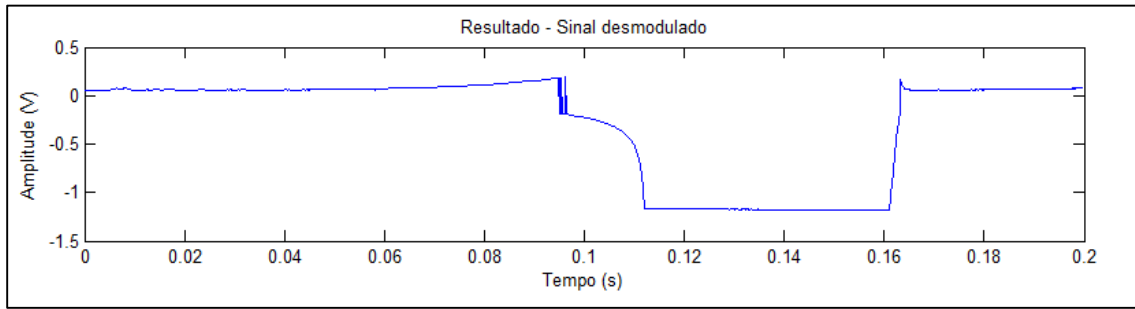


Figura 68 - Problema no Resultado do módulo *mixer*

No caso da figura 68, o *offset* é maior, observando-se melhor o problema identificado. Repara-se também que ao aumentar a rampa de atuação do DAC2, o sinal de saída começa a crescer no sentido contrário ao esperado. Este, só volta ao esperado quando o *offset* já não introduz uma grande diferença que faça com que os valores obtidos, em vez de serem negativos sejam positivos. Isto é, o método desenvolvido de sincronismo de obtenção do sinal da onda desmodulada funciona perfeitamente para casos sem *offset*. Quando existe *offset*, apesar de a fase ser bem calculada, este faz com que na zona crítica perto do eixo do *yy*, seja inverso ao esperado, dependendo do valor de *offset* ser positivo ou negativo e do lado para o qual a estrutura está a ser atuada. Este problema precisa de um estudo mais aprofundado para se perceber a origem do desvio e implementar mecanismos de correção.

6.2 Detecção de *pull-in*

Para se verificar o funcionamento do sub-módulo de deteção *pull-in*, inicialmente gerou-se uma rampa no DAC1 e retirou-se a tensão de *pull-in* da estrutura. Em seguida, foi aplicado um degrau com o valor de 1.01 da tensão de *pull-in*, confirmando-se o funcionamento correto do módulo. A figura 69 ilustra o seu funcionamento. Neste caso, a tensão de atuação é removida assim que o *pull-in* é detetado.

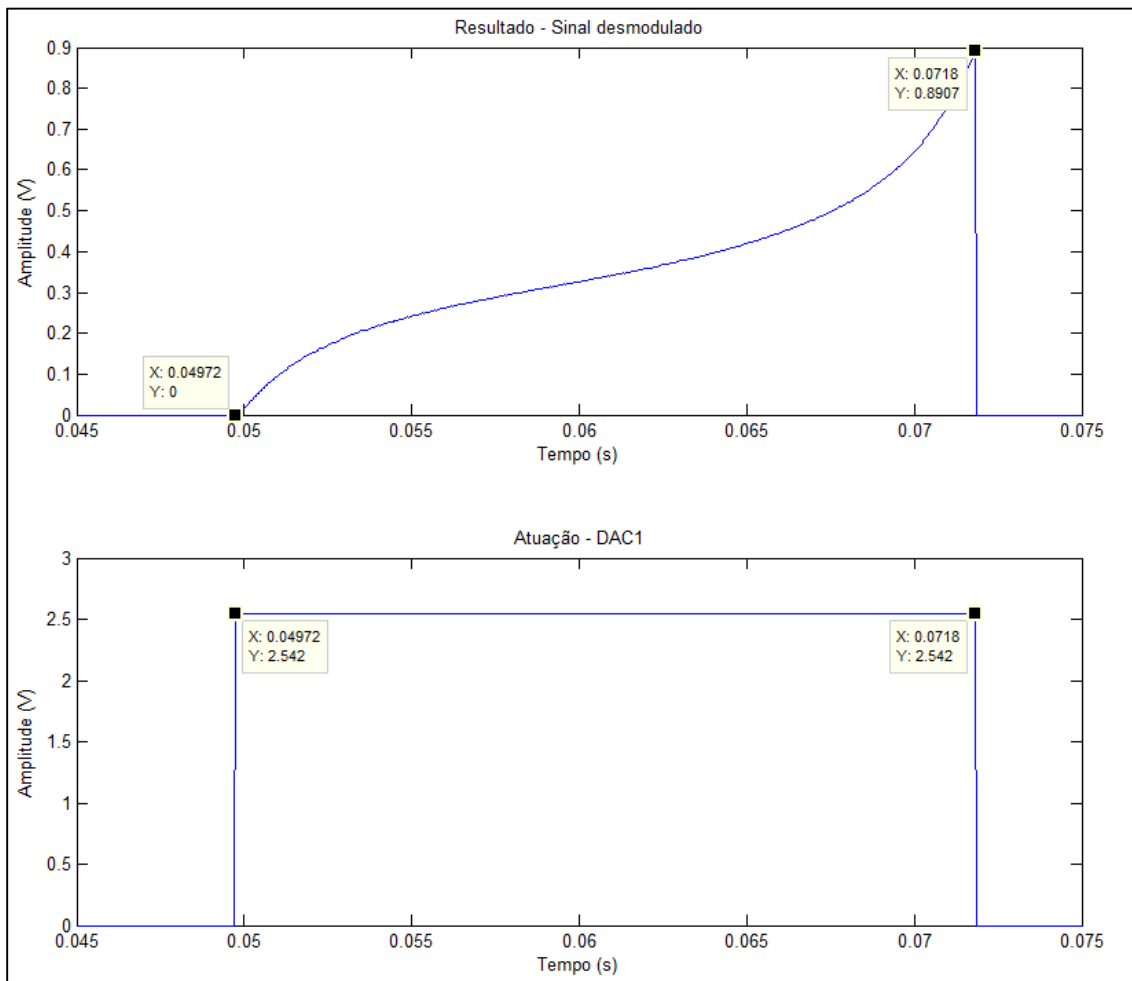


Figura 69 - Detecção de *pull-in*

6.3 Caracterização do Sistema

Verificado o funcionamento de todo o sistema, procedeu-se à sua caracterização, isto é, fizeram-se testes para verificar qual a variação mínima de capacidade que se consegue medir. Assim, inicialmente mediu-se o ruído do circuito de leitura, quando a variação de capacidade é máxima. Para isso, aplicou-se uma tensão à estrutura, de modo a que o deslocamento dos eléctrodos fosse máximo, ou seja, se deslocassem sobre todo o seu *gap*. A figura 70 mostra os resultados dessa medição.

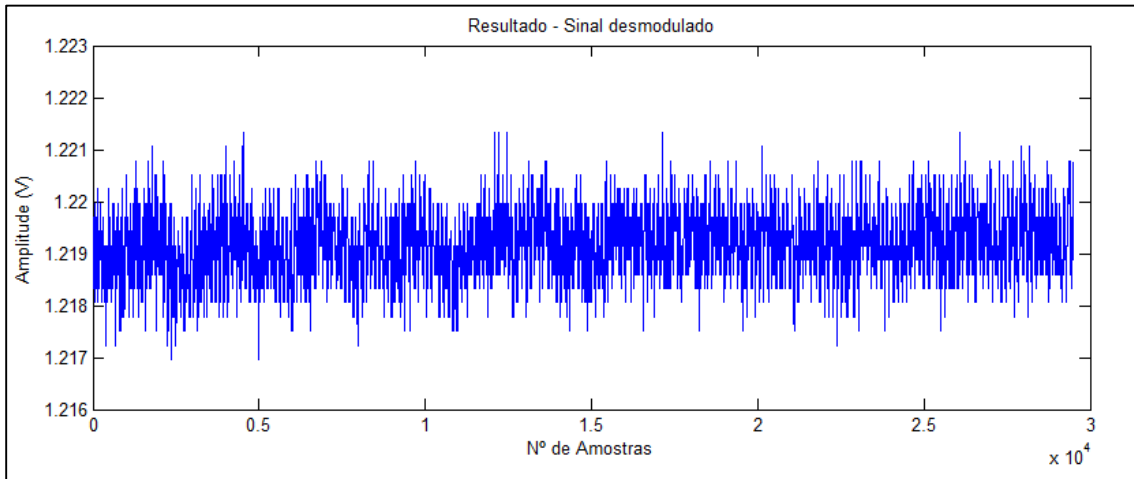


Figura 70 - Medição do ruído máximo do circuito de leitura

O desvio padrão obtido na análise do resultado ilustrado na figura 70 foi de $606\mu\text{V}$. Neste sentido, a sensibilidade do sistema foi calculada, através do gráfico apresentado na figura 71, que mostra o deslocamento total da estrutura. Os pontos escolhidos dizem respeito ao deslocamento de *pull-in* que para estruturas com apenas um grau de liberdade correspondem a um terço da distância entre eletrodos dos atuadores (no caso das estruturas usadas $750\mu\text{m}$).

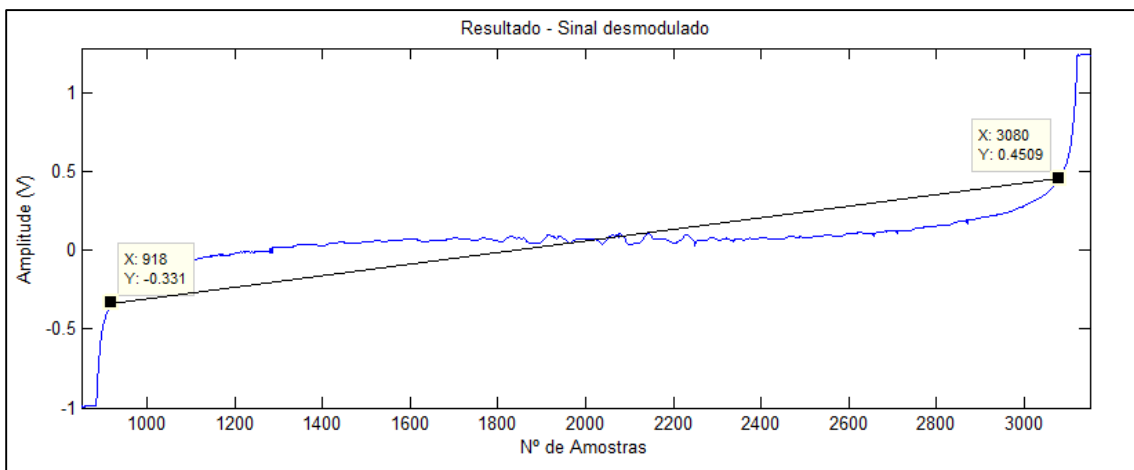


Figura 71 - Resposta do circuito de leitura

Deste modo, obteve-se uma sensibilidade de 521267 V/m (obtida com o auxílio da expressão 9 e sabendo que o *gap* da estrutura em questão é de $2.25\mu\text{m}$ [46]).

$$m = \frac{y_2 - y_1}{x_2 - x_1} \quad (9)$$

Calculada a sensibilidade e com o auxílio da equação 10, obtém-se uma deslocação mínima distinguível de 1.163 nm.

$$x_{min} = \frac{V_{ruído}}{m} \quad (10)$$

Assim sendo e através das equações 11 e 12, a variação mínima de capacidade detetada é de 2.6fF, com $C_0 = 5.06pF$ e $C_x = 5.0626pF$.

$$\Delta C_{min} = C_x - C_0 \quad (11)$$

$$C = \frac{n \cdot \epsilon_0 \cdot \epsilon_n \cdot A}{d_0 - x} \quad (12)$$

Capítulo 7

Conclusões e Trabalho Futuro

Neste capítulo são expostas as conclusões retiradas pelo autor, com base no que foi desenvolvido e implementado. Além disso, são apresentadas algumas sugestões de melhoramento do sistema.

Nesta dissertação foi apresentada a implementação em Verilog HDL de um circuito de leitura digital para MEMS capacitivos, além dos seus módulos de controle e de comunicação com os dispositivos. Durante o seu desenvolvimento foram encontrados alguns problemas, tais como o tempo de propagação dos sinais, causado pelo número de lógica combinacional utilizada e do dessincronismo entre os módulos, devido às diferentes frequências de *clock* utilizadas. Isto fez com que se gerassem problemas de meta-estabilidade (*setup and hold time*), o que obrigou a um maior cuidado e a uma análise do comportamento do sistema à medida que se integravam os vários módulos. Apesar disso a implementação digital tornou o sistema mais robusto e flexível, pois sempre que foi necessário alguma modificação no comportamento do sistema, esta era de fácil alteração e posterior integração no sistema. Para além disso, a implementação digital permitiu reduzir drasticamente o *hardware* externo utilizado.

Um dos fatores de limitação dos resultados obtidos é o ruído adquirido pelo ADC, uma vez que este não é previamente filtrado, e que após a desmodulação provoca uma diminuição na resolução do sinal obtido. Outro fator tem a ver com a frequência de amostragem do sistema de aquisição, que limita o sincronismo entre o sinal adquirido e o sinal de referência a cinco pontos.

Os resultados obtidos, apesar do problema de *offset* encontrado no teste experimental do comportamento do *mixer*, são bastantes promissores. O grande problema é a dificuldade em detetar variações positivas e negativas para sinais de

pequenas amplitudes devido ao *offset*. Uma possível solução é a alteração da FPGA atual por uma com maiores recursos. Isso possibilitaria aumentar a resolução da onda sinusoidal implementada pelo módulo gerador de sinal (parte do *offset* está relacionado com o ligeiro desfasamento das ondas sinusoidais de 1MHz de entrada do sistema), aumentar a resolução dos coeficientes do filtro digital e inserir um mecanismo no módulo *mixer* de correção de *offset*. A FPGA atual utiliza 90% dos seus recursos e como tal é impossível na configuração atual implementar as melhorias propostas.

Posteriormente pode ser implementado um módulo de comunicação USB, de modo a aumentar a velocidade de comunicação com o PC.

Bibliografia

- [1] T. Tashev, "Signal measuring instrument lock-in amplifier," in *Proceedings of the 7th WSEAS Conference Circuits, Systems, Electronics, Control and Signal Processing, (CSECS'08) (WSEAS Journals, Puerto De La Cruz, Canary Islands, Spain, 2008)*, pp. 243–245.
- [2] R. Davies and G. Meuli, "Development of a digital lock-in amplifier for open-path light scattering measurement," *2010 IEEE Symposium on Industrial Electronics and Applications (ISIEA)*, no. Isiea, pp. 50–55, Oct. 2010.
- [3] P. Instruments, "What is a lock-in amplifier," *Technical Note TN1000*, pp. 1–4. [Online]. <http://www.signalrecovery.com/literature/technical-notes.aspx>
- [4] J. L. Scott, "Introduction to lock-in amplifiers," *Ithaco Application Note IAN-47*, pp. 1-4. [Online]. <ftp://ftp.sic.rm.cnr.it/incoming/ifa.rm.cnr.it/Maurizio.Viterbini/Public/Lin/technotes.html>
- [5] Stanford Research Systems, "About Lock-In Amplifiers," *Application Note #3*, 2000. [Online]. <http://www.thinksrs.com/support/app.htm>
- [6] A. De Marcellis, G. Ferri et al., "An integrated analog lock-in amplifier for low-voltage low-frequency sensor interface," *2007 2nd International Workshop on Advances in Sensors and Interface*, pp. 1–5, 2007.
- [7] P. Instruments, "Specifying Lock-in Amplifiers," *Technical Note TN1001*, pp. 1–4. [Online]. <http://www.signalrecovery.com/literature/technical-notes.aspx>
- [8] J. H. Scofield, "A Frequency-Domain Description of a Lock-in Amplifier," *American Journal of Physics*, vol. 62, no. 2, pp. 129-133, February 1994.
- [9] J. Immanuel, L. S. Sudheer, P. Bhaskar, and C. S. Parvathi, "Review on Lock-in Amplifier," *International Journal of Science, Engineering and Technology Research (IJSETR)*, vol. 1, no. 5, November 2012.

- [10] P. Instruments, "The Analog Lock-in Amplifier," *Technical Note TN1002*, pp. 1–4. [Online]. <http://www.signalrecovery.com/literature/technical-notes.aspx>
- [11] P. Instruments, "The Digital Lock-in Amplifier," *Technical Note TN1003*, pp. 1–4. [Online]. <http://www.signalrecovery.com/literature/technical-notes.aspx>
- [12] O. Laboratories, "The Benefits of DSP Lock-in Amplifiers," *Application Note A12*, Rev. A, September 1996. [Online]. [http://www.olinet.com/content/library/1223931847A12 THE-BENEFITS-OF-DSP-LOCKIN-AMPLIFIERS 9-96.pdf](http://www.olinet.com/content/library/1223931847A12%20THE-BENEFITS-OF-DSP-LOCKIN-AMPLIFIERS%209-96.pdf)
- [13] J. L. Scott, "Digital lock-in amplifiers minimize noise and distortion," *Laser Focus World*, December 1991. [Online]. <http://dlinstruments.com/wp-content/uploads/2013/04/Reprint-Digital-lock-in-amplifiers-minimize-noise-and-distortion.pdf>
- [14] N. Yazdi, H. Kulah, and K. Najafi, "Precision readout circuits for capacitive microaccelerometers," *Sensors*, 2004. *Proceedings of IEEE*, no. 2, pp. 28–31, 2004.
- [15] K. Chan, S. Lewis, Y. Zhao, and R. Howe, "An integrated force-balanced capacitive accelerometer for low-g application," *Solid-State Sensors and Actuators, 1995 and Eurosensors IX. Transducers '95. The 8th International Conference on*, vol.1, no., pp.593-596, 25-29 Jun 1995.
- [16] M. Tavakoli and R. Sarpeshkar, "An offset-canceling low-noise lock-in architecture for capacitive sensing," *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 2, pp. 244–253, 2003.
- [17] M. Suster and J. Guo, "Low-noise CMOS integrated sensing electronics for capacitive MEMS strain sensors," *Custom Integrated Circuits Conference (CICC), 2004. Proceedings of the IEEE 2004*.
- [18] M. Suster and J. Guo, "A high-performance MEMS capacitive strain sensing system," *Microelectromechanical Systems, Journal of*, vol. 15, no. 5, pp. 1069–077, Oct. 2006.

- [19] L. Mol. G. de Graaf, L.A. Rocha, R.F. Wolffenbuttel, "High-Resolution Capacitive Measurement of Microstructure displacement using coherent detection", *Euroensors XIX, Barcelona*, 2005.
- [20] L. Novak, P. Neuzil, J. Li, and M. Woo, "Ultrasensitive MEMS-based inertial system," *2009 IEEE Sensors*, pp. 552–554, Oct. 2009.
- [21] Analog Devices, "Balanced Modulator/Demodulator AD630," *Datasheet*, Rev. E, pp. 1-13, 2004. [Online]. http://www.analog.com/static/imported-files/data_sheets/AD630.pdf
- [22] J. Wei, C. Yue, Z. L. Chen, Z. W. Liu, and P. M. Sarro, "A silicon MEMS structure for characterization of femto-farad-level capacitive sensors with lock-in architecture," *Journal of Micromechanics and Microengineering*, vol. 20, no. 6, p. 064019, June 2010.
- [23] Stanford Research Systems, "Model SR830 DSP Lock-In Amplifier," *Manual*, Rev. 2.5, October 2011. [Online]. <http://www.thinksrs.com/downloads/PDFs/Manuals/SR830m.pdf>
- [24] F.S. Alves, R.A. Dias, J. Cabral, L.A. Rocha, "Pull-in MEMS Inclinator," *Proc. Euroensors XXVI, September 9-12, Kraków, 2012, Procedia Engineering*, vol. 47, pp. 1239-1242, 2012.
- [25] Cirrus Logic, "CS4334/5/8/9," *Datasheet*, pp. 1-25, January 2012. [Online]. http://www.cirrus.com/en/pubs/proDatasheet/CS4334-5-8-9_F6.pdf
- [26] Analog Devices, "AD5791," *Datasheet*, Rev. C, pp. 1-28, 2011. [Online]. http://www.analog.com/static/imported-files/data_sheets/AD5791.pdf
- [27] L. a. Rocha, E. Cretu, and R. F. Wolffenbuttel, "Analysis and Analytical Modeling of Static Pull-In With Application to MEMS-Based Voltage Reference and Process Monitoring," *Journal of Microelectromechanical Systems*, vol. 13, no. 2, pp. 342–354, Apr. 2004.
- [28] F. S. Alves, R. A. Dias, J. Cabral, and L. A. Rocha, "Autonomous MEMS Inclinator," in *Autonomous and Intelligent Systems*, Aveiro, Portugal, 2012, pp. 26-33.
- [29] Tektronix, "Arbitrary/Function Generators AFG 3011 / 3021B / 3022B / 3101 / 3102 / 3251 / 3252 Datasheet," *Datasheet*, pp. 1-8. [Online]. http://www.tek.com/sites/tek.com/files/media/media/resources/AFG300_0_Series_Arbitrary-Function_Generators_Datasheet_76W-18656-5.pdf

- [30] Analog Devices, "ADG1433/ADG1434," *Datasheet*, Rev. C, pp. 1-20, 2009. [Online]. http://www.analog.com/static/imported-files/data_sheets/ADG1433_1434.pdf
- [31] N. Maluf and K. Williams, "An Introduction to Microelectromechanical Systems Engineering," Artech House *microelectromechanical library*, Second Edition, ISBN 1-58053-590-9.
- [32] S. Beeby, G. Ensell, M. Kraft and N. White, "MEMS Mechanical Sensors," Artech House MEMS *library*, ISBN 1-58053-536-4.
- [33] Texas Instruments, "LME49710," *Datasheet*, Rev. 2007, pp. 1-32. [Online]. <http://www.ti.com/lit/ds/symlink/lme49710.pdf>
- [34] Texas Instruments, "ADS5560/ADS5562," *Datasheet*, Rev. 2012, pp. 1-56. [Online]. <http://www.ti.com/lit/ds/slws207/slws207.pdf>
- [35] Altera, "DE2-70 Develop and Education Board," *User Manual*, Rev. 1.08, pp. 1-94, 2009. [Online]. ftp://ftp.altera.com/up/pub/Altera_Material/12.1/Boards/DE2-70/DE2_70_User_Manual.pdf
- [36] Altera, "PLLs in Cyclone II Devices," *Cyclone II Device Handbook*, vol. 1, pp. 1-34, February 2007. [Online]. http://www.altera.com/literature/hb/cyc2/cyc2_cii51007.pdf
- [37] Altera, "The Quartus II TimeQuest Timing Analyzer," *Quartus II Handbook*, vol. 3, pp 1-92, March 2009. [Online]. http://ridl.cfd.rit.edu/products/manuals/Altera/User%20Guides%20and%20AppNotes/External%20Memory/qts_qii53018.pdf
- [38] Altera, "TimeQuest Timing Analyzer Quick Start Tutorial," *Tutorial*, Rev. 1.1, pp. 1-24, December 2009. [Online]. http://www.altera.com/literature/ug/ug_tq_tutorial.pdf
- [39] Altera, "Using TimeQuest Timing Analyzer," *Tutorial*, pp. 1-12, January 2011. [Online]. ftp://ftp.altera.com/up/pub/Altera_Material/10.1/Tutorials/Timequest.pdf
- [40] National Instruments, "High-Accuracy M Series Multifunction DAQ for USB – 18Bit, up to 625kS/s, up to 32 Analog Inputs," *Datasheet*, , pp. 1-17, December 2012. [Online].

- <http://web.mst.edu/~cottrell/me240/homework/transducers/daq/NI%20USB-6281.pdf>
- [41] Tektronix, "Mixed Signal Oscilloscopes MSO4000B, DPO4000B Series Datasheet," *Datasheet*, pp. 1-24, April 2013. [Online].
<http://www.tek.com/sites/tek.com/files/media/media/resources/MSO4000-DPO4000-Mixed-Signal-Oscilloscope-Datasheet-17.pdf>
- [42] Tektronix, "Digital Storage Oscilloscopes TDS2000C Series Datasheet," *Datasheet*, pp. 1-12, April 2013. [Online].
http://www.tek.com/sites/tek.com/files/media/media/resources/TDS2000C-Digital-Storage-Oscilloscope-Datasheet-4_1.pdf
- [43] Yokogawa, "Model 7651 Programmable DC Source," *Instruction Manual, First Edition*, pp. 1-93. [Online].
<http://support.us.yokogawa.com/downloads/TMI/GMI/DC%20Source/7651/Instruction%20Manuals/Yokogawa%207651%20IM.pdf>
- [44] A. Oppenheim, R. Schafer and J. Buck, "Discrete-Time Signal Processing," Prentice Hall, *Second Edition*, ISBN 0-13-754920-2.
- [45] Altera, "Internal Memory (RAM and ROM)," *User Guide*, pp. 1-58, May 2013. [Online]. http://www.altera.com/literature/ug/ug_ram_rom.pdf
- [46] F. S. Alves, R. A. Dias, J. Cabral, J. Gaspar and L. A. Rocha, "High Resolution Pull-in Inclinometer," *Transducers 2013, June, Barcelona, Spain*.

